

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-148425

(P2005-148425A)

(43) 公開日 平成17年6月9日(2005.6.9)

(51) Int.Cl.⁷

G09G 3/36
G02F 1/133
G02F 1/1343
G02F 1/1368
G09F 9/30

F I

G09G 3/36
G02F 1/133 575
G02F 1/1343
G02F 1/1368
G09F 9/30 338

テーマコード (参考)

2H092
2H093
5C006
5C080
5C094

審査請求 未請求 請求項の数 3 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2003-386089 (P2003-386089)

(22) 出願日 平成15年11月17日(2003.11.17)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100102185

弁理士 多田 繁範

(72) 発明者 寺西 康幸

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 2H092 GA15 GA26 GA28 JA24 JB07 PA06

2H093 NA16 NA54 NC13 NC34 NC40
ND06 NE03

最終頁に続く

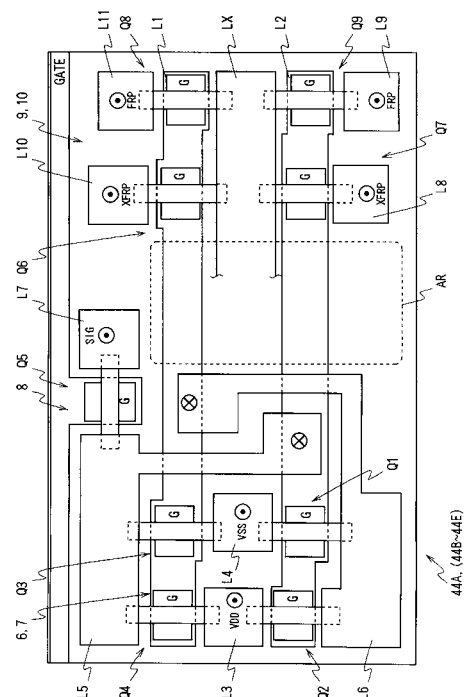
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 本発明は、表示装置に関し、例えば1つの画素を複数のサブ画素により構成し、これら複数のサブ画素の駆動により階調を表現する方式の液晶表示装置に適用して、多ビットメモリ方式による表示装置において、サブ画素を構成する画素回路、電極のレイアウトを簡略化し、容易に多ビット化して高階調化、高解像度化することができるようにする。

【解決手段】 本発明は、各サブ画素の回路44A~44Eを配置する領域において、メモリ回路とスイッチ回路とをそれぞれ両端側に配置してこの領域の中央に電極接続用の領域ARを形成し、この電極接続用の領域ARでこれらの回路44A~44Eと電極とを接続する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

マトリックス状に画素を配置してなる表示部と、ゲート線により前記画素を順次選択する垂直駆動回路と、前記画素の階調を指示する階調データに応じて前記垂直駆動回路により選択された画素の駆動信号を出力する水平駆動回路とを有する表示装置において、

前記画素は、

順次表示に供する部位の面積が増大してなる複数のサブ画素を有し、

前記複数のサブ画素は、

それぞれ信号線の信号レベルを取得して保持するメモリ回路と、

該取得して保持した信号レベルに応じて前記表示に供する部位の電極に駆動信号を出力する駆動信号のスイッチ回路と、

ゲート信号に応動して前記メモリ回路を前記信号線に接続する信号線のスイッチ回路とによる画素回路を有し、

前記表示部は、

1つの前記画素に割り当ててなる領域を前記信号線に沿った方向に等分割して前記画素回路をそれぞれ設ける画素回路の領域が形成され、

前記各画素回路の領域は、

前記メモリ回路、前記駆動信号のスイッチ回路、前記信号線のスイッチ回路が同一に配置され、

前記メモリ回路、前記駆動信号のスイッチ回路がそれぞれ両端側に設けられて、前記メモリ回路と前記駆動信号のスイッチ回路との間に、前記表示に供する部位の電極への接続用の領域が形成され、

前記接続用の領域で、前記表示に供する部位の電極に前記駆動信号を出力する配線が接続された

ことを特徴とする表示装置。

【請求項 2】

前記画素が反射型液晶による画素である

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記表示に供する部位の電極に前記駆動信号を出力する配線を接続する箇所が、少なくとも隣接するサブ画素で水平方向に異なる位置に設けられた

ことを特徴とする請求項 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、例えば 1つの画素を複数のサブ画素により構成し、これら複数のサブ画素の駆動により階調を表現する方式の液晶表示装置に適用することができる。本発明は、各サブ画素の回路を配置する領域において、メモリ回路とスイッチ回路とをそれぞれ両端側に配置してこの領域の中央に電極接続用の領域を形成し、この電極接続用の領域でこれらの回路と電極とを接続することにより、多ビットメモリ方式による表示装置において、サブ画素を構成する画素回路、電極のレイアウトを簡略化し、容易に多ビット化して高階調化、高解像度化することができるようにする。

【背景技術】

【0002】

従来、液晶表示装置においては、マトリックス状に画素を配置してなる表示部を駆動回路により駆動して所望の画像を表示するようになされており、この駆動回路による駆動方式にいわゆる電圧階調法、フレームレート制御階調法が適用されるようになされている。

【0003】

このような駆動方式に対して、液晶表示装置においては、例えば特開平 6 - 13884

10

20

30

40

50

4号公報に開示されているように、ほぼ2倍により面積が順次増大する複数のサブ画素により1つの画素を形成し、これら複数のサブ画素の表示、非表示を制御することにより、表示に供する領域の面積を可変して各画素の階調を可変するいわゆる面積階調方式も提案されるようになされている。しかしてこの方法の場合、各サブ画素の駆動においては、単なる2値による表示、非表示の制御であることにより、表示に供する入力データの各ビットの論理値により対応するサブ画素を駆動して、駆動回路の構成を簡略化することができると考えられる。また例えば特開平9-243995号公報等に提案されているように、各サブ画素にメモリを設け、このメモリの記録により各サブ画素を駆動することにより、駆動回路の消費電力を格段的に低減することができると考えられる。以下、このような面積階調方式であって、各画素にメモリを設けた方式を多ビットメモリ方式と呼ぶ。

10

【0004】

すなわち図7は、この多ビットメモリ方式による液晶表示装置について、本願出願人が検討した構成を示すブロック図である。この液晶表示装置1においては、電圧階調法による液晶表示装置を利用した構成であり、この電圧階調法による液晶表示装置の表示部を多ビットメモリ方式による画素により構成し、この画素の構成に対応するように水平駆動回路の構成を変更したものである。

【0005】

すなわちこの液晶表示装置1において、表示部2は、いわゆる反射型液晶表示パネルであり、赤色、緑色、青色のカラーフィルタを設けてなる画素をマトリックス状に配置して形成される。ここで図8にこの表示部2の1つの画素2Aの構成を示すように、各画素2Aは、表示に供する部位である電極3A、3B、3C、3D、3Eの面積が1:2:4:8:16に設定されてなる複数のサブ画素2AA~2AEにより形成される。ここで各サブ画素2AA~2AEは、このような電極3A~3Eの面積が一定の比例関係に設定される点を除いて同一に形成され、図9に示す画素回路4A~4Eによりそれぞれ電極3A~3Eによる液晶セル5A~5Eを駆動する。

20

【0006】

すなわち画素回路4A~4Eは、図9の接続図によるブロック図を図10に示すように、ゲート及びドレインがそれぞれ共通に接続されたNチャンネルMOS（以下、NMOSと呼ぶ）トランジスタQ1及びPチャンネルMOS（以下、PMOSと呼ぶ）トランジスタQ2からなるCMOSインバーター6と、同様に、ゲート及びドレインがそれぞれ共通に接続されたNMOSTランジスタQ3及びPMOSTランジスタQ4からなるCMOSインバーター7とが正側電源ラインVEEと負側電源ラインVSSとの間に並列に設けられ、これらCMOSインバーター6、7がループ状に接続されてSRAM（Static Random Access Memory）構成によるメモリが形成される。

30

【0007】

画素回路4A~4Eは、NMOSTランジスタQ5によりこれらCMOSインバーター6、7に信号線SIGを接続して信号線SIGの信号レベルをメモリに供給するスイッチ回路8が形成され、これにより図11に示すように、ゲート信号GATE（図11（B））によるNMOSTランジスタQ5の制御により、信号線SIG（図11（A））によるデータをメモリにセットするようになされている（図11（C））。なおここでV1は、このスイッチ回路8による入力側であるインバーター6の入力側の電位である。

40

【0008】

画素回路4A~4Eは、このようにしてメモリに保持してなるデータに応じて、液晶セル5A（5B~5E）の共通電極に印加される共通電圧VCOM（図11（G））に対して、同相の駆動信号FRP（図11（D））又は逆相の駆動信号XFRP（図11（E））を選択して液晶セル5A（5B~5E）に印加し、これにより液晶セル5A（5B~5E）を駆動する。すなわち画素回路4A~4Eは、NMOSTランジスタQ6及びPMOSTランジスタQ7からなるスイッチ回路9をインバーター7の出力によりオンオフ制御し、このスイッチ回路9を介して共通電位VCOMと逆相の駆動信号XFRPを液晶セル5A（5B~5E）に印加する。また同様のNMOSTランジスタQ8及びPMOSTラ

50

ンジスタQ9からなるスイッチ回路10をインバータ6の出力によりオンオフ制御し、このスイッチ回路10を介して共通電位VCOMと同相の駆動信号FRPを液晶セル5A(5B~5E)に印加する。

【0009】

これにより図11に示すように、信号線SIGの電位を切り換えた場合、続くゲート信号GATEの立ち上がりの時点t1より液晶セル5A(5B~5E)に印加される電圧V5(図11(F))が共通電位VCOMに対して同相から逆相に切り換わり、液晶セル5A(5B~5E)の表示、非表示を切り換えることができるようになされている。なおこの図11に示す例は、いわゆるノーマリーブラックによる場合である。

【0010】

このようにして構成されてなる表示部2に対して、DC-DCコンバータ12は、タイミングジェネレータ14から出力される基準信号DDCVにより動作し、外部から入力される電源VDDから動作用の電源VDD2等を生成して出力する。

【0011】

インターフェース(IF)13は、この液晶表示装置1に同時並列的に入力される赤色、緑色、青色の各画素の階調を指示する階調データR[5-1]、G[5-1]、B[5-1]に対して、この階調データR[5-1]、G[5-1]、B[5-1]に同期したマスタクロックMCK(MCK5)、水平同期信号HSYNC(HD)、垂直同期信号VSYNC(VD)等を入力してタイミングジェネレータ14に出力し、タイミングジェネレータ14は、このインターフェース13からの入力信号を基準にして各部の動作に必要な各種基準信号を生成して出力する。

【0012】

垂直駆動回路16は、タイミングジェネレータ14で生成された基準信号により表示部2の画素2Aをライン単位で選択するゲート信号を生成してゲート線GATEに出力する。なおここで図7において、ゲート線GATEに付した符号GP1、GP2、GP3は、それぞれ水平方向に並ぶ画素2Aのグループを示す符号である。

【0013】

これに対して水平駆動回路20は、順次入力される階調データR[5-1]、G[5-1]、B[5-1]の対応するビットをサンプリングして対応する信号線SIGに出力することにより、垂直駆動回路16により選択された画素2Aを信号線SIGにより駆動するようになされている。

【0014】

これらによりこの液晶表示装置1においては、水平駆動回路20において、各サブ画素2AA~2AEに対応する階調データR[5-1]、G[5-1]、B[5-1]の各ビットをサンプリングして出力するだけでよいことにより、その分、電圧階調法による液晶表示装置等に比して駆動回路の構成を簡略化することができる。また垂直駆動回路、水平駆動回路の動作を停止して単に駆動信号FRP、XFRPを供給し続けるだけで静止画像を表示し得、これにより電圧階調法による液晶表示装置等に比して消費電力も低減することができる。

【0015】

しかしながらこのように単に多ビットメモリ方式による画素2Aによる表示部2を形成した場合、各画素回路4A~4E、電極3A~3Eのレイアウトが煩雑になり、これにより多ビット化による高階調化、高解像度化が困難な問題がある。

【0016】

すなわちこれらの各画素回路4A~4Eにおいては、同一に構成されることにより、各画素回路4A~4Eを同一のレイアウトにより作成することが望まれ、このようにすれば各種の動作確認、さらにはビット数の変更等に係る設計変更にも簡易に対応することができる。しかしながら各サブ画素2A~2Eにおいては、駆動対象である電極3A~3Eの大きさが大きく異なり、ビット数の増大により大きさの変化が一段と激しくなる。具体的に、単に各画素回路4A~4Eを同一のレイアウトにより作成した場合、各画素回路4A

10

20

30

40

50

～ 4 E と対応する電極 3 A ～ 3 E との接続が、隣接する画素 2 A A ～ 2 A E 間で交差するようになり、これらの接続が煩雑になる。

【特許文献 1】特開平 6 - 1 3 8 8 4 4 号公報

【特許文献 2】特開平 9 - 2 4 3 9 9 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 7 】

本発明は以上の点を考慮してなされたもので、多ビットメモリ方式による表示装置において、サブ画素を構成する画素回路、電極のレイアウトを簡略化し、容易に多ビット化して高階調化、高解像度化することができる表示装置を提案しようとするものである。

10

【課題を解決するための手段】

【 0 0 1 8 】

かかる課題を解決するため請求項 1 の発明においては、マトリックス状に画素を配置してなる表示部と、ゲート線により画素を順次選択する垂直駆動回路と、画素の階調を指示する階調データに応じて垂直駆動回路により選択された画素の駆動信号を出力する水平駆動回路とを有する表示装置に適用して、1つの画素に割り当ててなる領域を信号線に沿った方向に等分割して画素回路をそれぞれ設ける画素回路の領域が形成され、各画素回路の領域は、メモリ回路、駆動信号のスイッチ回路、信号線のスイッチ回路が同一に配置され、メモリ回路、駆動信号のスイッチ回路がそれぞれ両端側に設けられて、メモリ回路と駆動信号のスイッチ回路との間に、表示に供する部位の電極への接続用の領域が形成され、接続用の領域で、表示に供する部位の電極に駆動信号を出力する配線が接続されてなるようにする。

20

【 0 0 1 9 】

請求項 1 の構成により、1つの画素に割り当ててなる領域を信号線に沿った方向に等分割して画素回路をそれぞれ設ける画素回路の領域が形成され、各画素回路の領域は、メモリ回路、駆動信号のスイッチ回路、信号線のスイッチ回路が同一に配置され、メモリ回路、駆動信号のスイッチ回路がそれぞれ両端側に設けられて、メモリ回路と駆動信号のスイッチ回路との間に、表示に供する部位の電極への接続用の領域が形成され、接続用の領域で、表示に供する部位の電極に駆動信号を出力する配線が接続されてなるようにすれば、各画素回路を同一にレイアウトし、表示に供する部位の電極の隅部を避けて駆動信号の配線と接続して、かつこの電極との間の接続については、高い自由度を確保することができる。これにより電極の隅部で接続することによる各種の不具合を有効に回避して、これら画素回路の領域に比して電極の大きさが大きく異なる場合であっても、簡易に、画素回路と対応する電極とを接続し得、またビット数の変更等にも容易に対応することができる。これらにより多ビットメモリ方式による表示装置において、サブ画素を構成する画素回路、電極のレイアウトを簡略化し、容易に多ビット化して高階調化、高解像度化することができる。

30

【発明の効果】

【 0 0 2 0 】

本発明によれば、多ビットメモリ方式による表示装置において、サブ画素を構成する画素回路、電極のレイアウトを簡略化し、容易に多ビット化して高階調化、高解像度化することができる。

40

【発明を実施するための最良の形態】

【 0 0 2 1 】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例 1】

【 0 0 2 2 】

(1) 実施例の構成

(1 - 1) 全体構成

図 2 は、この実施例に係る液晶表示装置を示すブロック図である。この液晶表示装置 3

50

1においては、表示部32、垂直駆動回路33、水平駆動回路34、タイミングジェネレータ(TG)35、インターフェース(IF)36、DC-DCコンバータ(DDC)37を一体にガラス基板上に形成して作成され、表示部32にカラー画像を表示する。このためこの液晶表示装置31では、表示に供する各画素の階調を指示する各5ビットによる赤色、緑色、青色の階調データR〔5-1〕、G〔5-1〕、B〔5-1〕がラスタ走査順に同時並列的に入力されるようになされている。

【0023】

この液晶表示装置31において、表示部32は、垂直方向に同一の色彩によるカラーフィルタが延長し、かつ水平方向に順次循環してなるいわゆる縦ストライプ方式の反射型液晶表示パネルにより形成され、この縦ストライプに係るカラーフィルタが画像データR〔5-1〕、G〔5-1〕、B〔5-1〕に対応する3色により形成されるようになされている。

10

【0024】

また表示部32は、このようなカラーフィルタが設けられている画素がそれぞれ水平方向及び垂直方向にN×M画素によりマトリックス状に配置されて形成され、各画素が多ビットメモリ方式による画素により形成されるようになされている。

【0025】

すなわち各画素32Aにおいては、図8との対比により図3に示すように、表示に供する部位である電極43A、43B、43C、43D、43Eの面積がほぼ2倍により変化させるサブ画素32AA～32AEにより形成され、これら各サブ画素32AA～32AEに、それぞれ同一に構成された画素回路44A～44Eが設けられるようになされている。

20

【0026】

ここで画素回路44A～44Eは、図9及び図10について上述した画素回路4A～4Eに比して、信号線SIGが共通化されている点を除いて同一に形成され、その分、この表示部32においては、信号線の数进行少なくした分、容易に多ビット化して高階調化、高解像度化できるようになされている。

【0027】

しかしてこれにより各画素32Aにおいては、MOSトランジスタにより、信号線SIGの信号レベルを取得して保持するインバータ6、7によるメモリと、ゲート信号GATE1～5に応動してこのメモリに信号線SIGの信号レベルを供給するスイッチ回路8と、表示に供する部位の一方の電極に印加される共通電圧VCOMに対する同相又は逆相の駆動信号FRP、XFRPを、メモリの保持結果に応じて選択し、表示に供する部位の他方の電極43A～43Eに印加するスイッチ回路9、10とがそれぞれ各サブ画素32AA～32AEに設けられるようになされている。

30

【0028】

このようにして信号線SIGを各サブ画素32AA～32AEで共通化した分、この液晶表示装置31においては、各サブ画素32AA～32AEに対する信号線SIGを時分割により駆動する。

【0029】

すなわち水平駆動回路34は、順次入力される階調データR〔5-1〕、G〔5-1〕、B〔5-1〕を順次循環的に取得することにより、これら階調データR〔5-1〕、G〔5-1〕、B〔5-1〕をライン単位でまとめた後、これらのサブ画素32AA～32AEの配列に対応する順序により順次これら階調データR〔5-1〕、G〔5-1〕、B〔5-1〕の各ビットを選択出力し、これによりサブ画素32AA～32AEに共通の信号線SIGに時分割により対応する階調データR〔5-1〕、G〔5-1〕、B〔5-1〕の各ビットに割り当てるようになされている。これによりこの実施例では、垂直方向に延長する各画素を時分割により駆動し、さらに各画素におけるサブ画素においても、時分割により駆動するようになされている。

40

【0030】

50

このような水平駆動回路 3 4 による各階調データのシリアル転送に対応して、垂直駆動回路 3 3 は、ゲート線により画素 3 2 A を順次選択する。またこの各画素 3 2 A の選択において、各サブ画素 3 2 A A ~ 3 2 A E に接続されたゲート線により各サブ画素 3 2 A A ~ 3 2 A E を順次選択する。

【0031】

DC - DC コンバータ 3 7 は、タイミングジェネレータ 3 5 から出力される基準信号 DDCV により動作し、外部から入力される電源 VDD から動作用の電源 VDD2 等を生成して出力する。

【0032】

インターフェース (IF) 3 6 は、この液晶表示装置 3 1 に同時並列的に入力される赤色、緑色、青色の各画素の階調を指示する階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] に対して、この階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] に同期したマスタークロック MCK (MCK5)、水平同期信号 HSYNC (HD)、垂直同期信号 VSYNC (VD) 等を入力してタイミングジェネレータ 3 5 に出力し、タイミングジェネレータ 3 5 は、このインターフェース 3 6 からの入力信号を基準にして各部の動作に必要な各種基準信号を生成して出力する。 10

【0033】

(1 - 2) 画素のレイアウト

図 4 は、この液晶表示装置 3 1 の 1 つの画素 3 2 A の構成を示す平面図である。この液晶表示装置 3 1 の表示部 3 2 においては、この画素 3 2 A をマトリックス状に配置して形成される。ここで表示部 3 2 は、赤色、緑色、青色の画素 3 2 A による組み合わせに係る水平方向の連続する 3 つの画素に対してほぼ正方形形状の領域が割り当てられるようになされ、これにより 1 つの画素には、縦横比がほぼ 3 : 1 に設定された縦長による長方形形状の領域が割り当てられるようになされている。 20

【0034】

各画素 3 2 A は、この縦長の方向に延長するように信号線が形成され、この信号線の延長する方向に、この長方形形状の領域がビット数により等分割され、各画素回路 4 4 A ~ 4 4 E を形成する領域 (以下、画素回路の領域と呼ぶ) が形成されるようになされている。

【0035】

各画素 3 2 A は、このようにして形成されて縦方向に延長する画素回路の領域に対して、最下位側が中央側となるようにして、中央側の隣接する 2 つの領域に、それぞれ下位側 2 ビットの画素回路が割り当てられるようになされている。またこの下位側 2 ビットの画素回路が割り当てられてなる領域の外側の領域については、残るビット数に応じて、上位側 2 ビットの画素回路が割り当てられる。またこれらの外側の領域には、上位側 2 ビットの割り当てに応じて、残るビットの画素回路が割り当てられる。 30

【0036】

すなわちこの図 4 に示す例では、階調データが 5 ビットであることにより、中央の領域に、最下位ビットの画素回路 4 4 A が割り当てられ、この画素回路 4 4 A が割り当てられてなる領域に隣接する領域 (この例では、上側領域である) に、続く上位側ビットの画素回路 4 4 B が割り当てられる。また最下位側の画素回路 4 4 B が割り当てられてなる領域の上側領域に、最上位のビットに対応する画素回路 4 4 E が割り当てられ、これとは逆に、画素回路 4 4 A が割り当てられた領域の下側の領域に、上位側 2 ビット目の画素回路 4 4 D が割り当てられる。またこの画素回路 4 4 D が割り当てられてなる下側の領域に、残る上位側ビットの画素回路 4 4 C が割り当てられる。 40

【0037】

これによりこの実施例では、各画素 3 2 A に係る表示領域の長手方向の重心に対して、各サブ画素 3 2 A A ~ 3 2 A E に係る表示領域の重心を極力近づけて配置するようになされている。またさらに面積の小さな電極と面積の小さな電極とを組み合わせ、面積の小さな電極を正方形形状により形成すると共に、この面積の小さな電極に対応するようにな 50

積の大きな電極を矩形形状により変形させて作成し、これにより面積の大きく異なる電極を効率良く配置して高い精度により階調を確保するようになされている。

【0038】

しかしてこのようなサブ画素32AA~32AEに係る画素回路44A~44Eの割り当てに対して、各画素回路44A~44Eにより駆動される各サブ画素32AA~32AEにおいては、全体として対応する電極43A~43Eがラスト走査開始側にほぼ1/4側ピッチだけ偏って形成され、これにより後述する接続領域ARにおいて、高い自由度により画素回路44A~44Eに対応する電極43A~43Eに接続できるようになされている。

【0039】

具体的に、これらの電極43A~43Eは、画素回路44A~44Eに対応するように順次設けられる。またこれら電極43A~43Eによる画素32Aに割り当てられている領域(画素回路44A~44Eを割り当ててなる縦長の領域と等しい形状の領域である)を各電極43A~43Eの面積比16:8:4:2:1により分割して計算される各電極43A~43Eの面積について、各電極43A~43Eを正方形形状により形成して一辺の長さが所定値より短い場合、この電極については、正方形形状が形成されて、電極43A~43Eを偏らせてなる側とは逆側の辺に沿って、すなわち後述する接続領域AR側に形成される。

【0040】

またこれとは逆に正方形形状に設定してなる電極の長さがこの所定値より長い場合、原則として、画素32Aに割り当てられている領域の短辺側を1つの辺にしてなる長方形形状の領域がこのサブ画素に割り当てられる。またこのとき内側に隣接して矩形形状による電極が割り当てられている場合、この矩形形状に電極を割り当てて残る部位に延長するように、すなわち内側に部分的に突出したL字の形状により電極が形成される。

【0041】

これによりこの図4の例では、最下位側2ビットが割り当てられてなる電極43A、43Bの電極については、正方形形状により形成されて、水平走査方向の終了端側に形成されるようになされている。またこの外側の最上位側2ビットの電極43E、43Dにあっては、それぞれ電極43B、43A側に部分的に突出してなるL字形状により形成されるようになされている。また残る電極43Cにあっては、この画素32Aに割り当てられて

【0042】

これらによりこの実施例では、表示に供する領域の面積が小さなサブ画素についても、エッチング処理等によるばらつきを防止し、所望の精度を確保して各サブ画素を作成できるようになされている。

【0043】

またこのようにして各サブ画素32AA~32AEに係る表示に供する領域の形状を設定して、この表示部32においては、各表示に供する領域を所定の大きさにより角取りし、これによってもエッチング処理等によるばらつきを防止し、所望の精度を確保してサブ画素を作成できるようになされている。

【0044】

なお實際上、表示部32においては、このようにして各電極43A~43Eを設定して、角取りし、さらには電極43A~43E間で絶縁に必要な空隙を設定し、これらにより変化する各電極32AA~32AEの面積が最終的に上述した16:8:4:2:1になるように、各電極32AA~32AEの形状を微調整するようになされている。

【0045】

このようにして画素32Aの領域に割り当てられる各画素回路44A~44Eにおいては、図9について上述したトランジスタQ1~Q9により構成され、図1に示すようにレイアウトされる。すなわち画素回路44A~44Eは、各MOSトランジスタQ1~Q9のゲート電極(図1において符号Gにより示す)を作成する際に、このゲート電極材料に

10

20

30

40

50

より併せて各領域の上端に沿ってゲート線 G A T E が設けられる。またこのゲート線 G A T E を作成する際に、ゲート電極材料により併せてトランジスタ Q 1 ~ Q 4 によるインバーター 6、7 をトランジスタ Q 6 ~ Q 9 によるスイッチ回路 9、10 に接続する配線パターン L 1 及び L 2 が、ゲート線 G A T E を作成して残る領域をほぼ 3 等分するようにゲート線 G A T E と平行に形成される。

【0046】

画素回路 44 A ~ 44 E は、これらの配線パターン L 1 及び L 2 による左端側に、トランジスタ Q 1 ~ Q 4 が形成されてインバーター 6、7 が形成され、また右端側にトランジスタ Q 6 ~ Q 9 が形成されてスイッチ回路 9、10 が形成される。すなわち画素回路 44 A ~ 44 E は、信号線 S I G にゲートを接続するトランジスタ Q 1、Q 2 のうち、正側電源 V D D にソースを接続するトランジスタ Q 2 が下側の配線パターン L 2 の左端側に形成され、残るトランジスタ Q 1 がその内側に形成される。また残るインバーター 7 のトランジスタ Q 3、Q 4 のうち、正側電源 V D D にソースを接続するトランジスタ Q 4 が中央の配線パターン L 1 の左端側に形成され、残るトランジスタ Q 3 がその内側に形成される。画素回路 44 A ~ 44 E は、トランジスタ Q 2、Q 4 を正側電源 V D D に接続する配線パターン L 3、トランジスタ Q 1、Q 3 を負側電源 V S S に接続する配線パターン L 4、トランジスタ Q 3、Q 4 をスイッチ回路 8 によるトランジスタ Q 5 に接続する配線パターン L 5、トランジスタ Q 1、Q 2 のソースをトランジスタ Q 3、Q 4 のゲートに接続する配線パターン L 6 が、トランジスタ Q 1 ~ Q 4 に続いて作成され、これによりインバーター

10

20

【0047】

また画素回路 44 A ~ 44 E は、ゲート線 G A T E が局所的に下方に延長して信号線 S I G をインバーター 6、7 に接続するスイッチ回路 8 のトランジスタ Q 5 が形成され、このトランジスタ Q 5 に、信号線 S I G への接続用の配線パターン L 7 が形成されるようになされている。

【0048】

また配線パターン L 1 及び L 2 の右端側に、それぞれ共通電圧 V C O M と同相の駆動信号 F R P に係るスイッチ回路 10 のトランジスタ Q 8、Q 9 が形成され、これらトランジスタ Q 8、Q 9 にこの駆動信号 F R P を入力する電極 L 9、L 11 が形成される。またこれらトランジスタ Q 8、Q 9 の内側に、共通電圧 V C O M と逆相の駆動信号 X F R P に係るスイッチ回路 9 のトランジスタ Q 6、Q 7 が形成され、これらトランジスタ Q 8、Q 9 にこの駆動信号 X F R P を入力する電極 L 10、L 8 が形成される。またこれらトランジスタ Q 6 ~ Q 9 を液晶セルの電極 43 A ~ 43 E に接続する電極 L X が形成される。

30

【0049】

これらによりこの画素回路 44 A ~ 44 E においては、サブ画素 32 A A ~ 32 A E の画素回路 44 A ~ 44 E を配置するこの横長の領域において、信号線 S I G による論理値を記録するメモリ回路 (6、7) と、このメモリ回路の内容により液晶セルへの駆動信号を切り換えるスイッチ回路 9、10 とを、この領域の左右両端に配置して、この領域の中央にスイッチ回路 9、10 を電極 43 A ~ 43 E に接続するための領域 A R を形成し、この接続用の領域 A R でスイッチ回路 9、10 を電極 43 A ~ 43 E に接続するようになされている。これによりこの実施例では、サブ画素 32 A ~ 32 E を構成する画素回路 44 A ~ 44 E、電極 43 A ~ 43 E のレイアウトを簡略化し、容易に多ビット化して高階調化、高解像度化することができるようになされている。

40

【0050】

なおこの図 1 及び図 5 等において、内側に黒点を設けた丸印は、上層側に形成される配線パターンとの接続箇所を示す印であり、内側に × を設けた丸印は、下層側の配線パターンとの接続箇所を示す印である。

【0051】

すなわち図 5 に示すように、このような画素回路 44 A ~ 44 E においては、上層側に、図 5 に示すような配線パターンが形成される。ここでこれら配線パターンは、水平駆動

50

回路 3 4 から延長する信号線 S I G が上下方向に延長するように形成され、またこの信号線 S I G と平行に、正側電源 V D D 及び負側電源 V S S の配線パターン、駆動信号 F R P、X F R P の配線パターンが設けられる。

【 0 0 5 2 】

これらの配線パターンのうち、駆動信号 F R P、X F R P の配線パターン、正側電源 V D D 及び負側電源 V S S の配線パターンにあっては、それぞれ下層の対応する配線パターンの部位に形成されるのに対し、信号線 S I G においては、電極接続用の領域 A R を避けるように形成され、画素回路 4 4 A ~ 4 4 E は、これらの配線パターンのレイヤーにおいて、この接続用の領域 A R に、図 6 に示すように、下層の電極接続用の配線パターン L X を、続く上層の電極 4 3 A ~ 4 3 E に接続する配線パターン L X 1 が形成されるようになさ

10

【 0 0 5 3 】

すなわちこのようにして画素回路 4 4 A ~ 4 4 E でトランジスタ等を同一にレイアウトして、最も上位側ビットである画素回路 4 4 E においては、トランジスタ Q 6 ~ Q 9 によるスイッチ回路を液晶セルの電極 4 3 A ~ 4 3 E に接続する電極 L X が、接続用の領域 A R に延長し、この接続用領域 A R において、信号線 S I G 等の配線パターンに係るレイヤーに設けられた接続用の配線パターン L X 1 を介して、対応する電極 4 3 E に接続される。これに対して続く画素回路 4 4 B の電極 L X においては、接続用の領域 A R に延長し、この接続用の領域 A R において、ほぼ直角に折れ曲がって対応する電極 4 3 B が設けられている隣接する画素回路 4 4 E の領域 A R まで延長し、この隣接する画素回路 4 4 E の領域 A R に設けられた接続用の配線パターン L X 1 を介して、対応する電極 4 3 B に接続される。

20

【 0 0 5 4 】

また続く画素回路 4 4 A の電極 L X においては、同様に、接続用の領域 A R に延長し、この接続用領域 A R において、ほぼ直角に折れ曲がって対応する電極 4 3 A が設けられている領域 A R 内の部位まで延長し、この部位に設けられた接続用の配線パターン L X 1 を介して、対応する電極 4 3 A に接続される。また続く画素回路 4 4 D 及び 4 4 B の電極 L X においては、接続用の領域 A R に延長し、この接続用領域 A R に設けられた接続用の配線パターン L X 1 を介して、対応する電極 4 3 D 及び 4 3 B に接続される。

【 0 0 5 5 】

これらによりこの液晶表示装置 3 1 では、このようにして作成してなる接続用の領域 A R を有効に利用して、大きく面積の異なる電極 4 3 A ~ 4 3 E に対して、同一のレイアウトにより作成した各画素回路 4 4 A ~ 4 4 E を簡易かつ確実に接続できるようになされている。

30

【 0 0 5 6 】

このようにして電極 4 3 A ~ 4 3 E と対応する画素回路 4 4 A ~ 4 4 E を接続するにつき、各画素 3 2 A においては、電極 4 3 A ~ 4 3 E に対する配線パターン L X 1 の接続箇所が、垂直方向より見て重なり合わないように、水平方向に不規則に異なってなるように配置され、これによりこのような接続箇所が一行に並ぶことにより各種干渉縞の発生を有効に回避するようになされている。

40

【 0 0 5 7 】

(2) 実施例の動作

以上の構成において、この液晶表示装置 3 1 では (図 2)、描画に係るコントローラ等からそれぞれ赤色、緑色、青色による各画素の階調を指示する 5 ビットによる階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] が順次同時並列的にラスタ走査順に入力され、この階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] が水平駆動回路 3 4 により順次サンプリングされて表示部 3 2 のライン単位でまとめられる。またさらにこのようにライン単位でまとめられてなる各階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] の各ビットが順次循環的に選択されてシリアル転送により各画素 3 2 A に 1 つの信号線 S I G に出力される (図 3)。

50

【 0 0 5 8 】

またこの水平駆動回路 3 4 によるライン単位の処理に対応するように、垂直駆動回路 3 3 により順次循環的に表示部 3 2 の各ラインを選択する選択信号が生成され、さらにこのラインに係る画素において、サブ画素 3 2 A A ~ 3 2 A E を順次選択する選択信号が生成され、この選択信号が各サブ画素 3 2 A A ~ 3 2 A E のゲート線 G A T E 1 ~ G A T E 5 に出力される。

【 0 0 5 9 】

これによりこの液晶表示装置 3 1 では、ゲート信号により順次ライン単位で画素を選択し、さらには各画素の選択において順次サブ画素を選択し、時系列により各サブ画素を駆動して面積階調法により階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] に応じた 10
画像が表示される。

【 0 0 6 0 】

このような面積階調法による表示において、液晶表示装置 3 1 では、1つの画素に割り当ててなる領域が信号線に沿った方向に等分割され、これにより各サブ画素の駆動回路を設けてなる画素回路 4 4 A ~ 4 4 E の領域が形成される (図 4)。また各画素回路 4 4 A ~ 4 4 E の領域においては (図 1 及び図 5)、対応する電極 4 3 A ~ 4 3 E への接続を除いて、同一のレイアウトにより形成され、これにより各種の動作確認、ビット数の変更等に係る設計変更にも簡易に対応することができるよう形成される。

【 0 0 6 1 】

画素回路 4 4 A ~ 4 4 E は、それぞれ信号線の信号レベルを取得して保持するインバーター 6、7 によるメモリ回路と、この取得して保持した信号レベルに応じて表示に供する部位の電極 4 3 A ~ 4 3 E に駆動信号を出力する駆動信号のスイッチ回路 9、10 と、ゲート信号に応動してメモリ回路を信号線に接続する信号線のスイッチ回路 8 (図 3) とにより形成され、画素回路 4 4 A ~ 4 4 E の領域の両端側に、それぞれメモリ回路、駆動信号のスイッチ回路が設けられて、これらメモリ回路と駆動信号のスイッチ回路との間に、電極 4 3 A ~ 4 3 E への接続用の領域 A R が形成される (図 1 及び図 5)。 20

【 0 0 6 2 】

これによりこの液晶表示装置 3 1 においては、一定の広さを有する接続用の領域 A R が各画素回路 4 4 A ~ 4 4 E の作成領域のほぼ中央に設けられて、この領域 A R を用いて画素回路 4 4 A ~ 4 4 E が対応する電極 4 3 A ~ 4 3 E に接続され、高い自由度により電極 4 3 A ~ 4 3 E の配線パターンを作成することができる。従って多ビット化により電極の面積がさらに一段と異なるようになった場合であっても、同一に形成された画素回路のこれらの電極への接続を簡易に設計し得、その分、サブ画素を構成する画素回路、電極のレイアウトを簡略化し、容易に多ビット化して高解像度化、高階調化することができる。 30

【 0 0 6 3 】

またこのようにして接続用の領域 A R を各画素回路 4 4 A ~ 4 4 E の作成領域のほぼ中央に設ける場合にあっては、電極 4 3 A ~ 4 3 E への接続箇所であっても、各電極 4 3 A ~ 4 3 E の縁部を避けることができ、これによりこのような接続箇所を電極 4 3 A ~ 4 3 E の縁部に設けることにより各種の不具合を防止することができる。なおこのような不具合にあっては、この電極 4 3 A ~ 4 3 E の微細な傾き等に由来すると考えられる輝度ムラ 40
等である。

【 0 0 6 4 】

さらにこの実施例においては、このようにして作成されてなる電極 4 3 A ~ 4 3 E への接続箇所が垂直方向より見て重なり合わないよう、水平方向に不規則に異なっているように配置され、これによりこのような接続箇所が一行に並ぶことにより各種干渉縞の発生を有効に回避することができるようになされている。

【 0 0 6 5 】

(3) 実施例の効果

以上の構成によれば、各サブ画素の回路を配置する領域において、メモリ回路とスイッチ回路とをそれぞれ両端側に配置してこの領域の中央に電極接続用の領域を形成し、この 50

電極接続用の領域でこれらの回路と電極とを接続することにより、多ビットメモリ方式による表示装置において、サブ画素を構成する画素回路、電極のレイアウトを簡略化し、容易に多ビット化して高階調化、高解像度化することができる。

【0066】

また具体的に、これらの画素を反射型液晶により作成して、多ビットメモリ方式による表示装置において、サブ画素を構成する画素回路、電極のレイアウトを簡略化し、容易に多ビット化して高階調化、高解像度化することができる。

【0067】

また電極への接続箇所が垂直方向より見て重なり合わないよう、水平方向に不規則に異なるとなるように接続箇所を配置し、これにより駆動信号の配線を電極に接続する箇所が、少なくとも隣接するサブ画素で水平方向に異なる位置に設けられたことにより、各種の干渉縞による画質劣化を有効に回避することができる。

10

【実施例2】

【0068】

なお上述の実施例においては、同一色彩のカラーフィルタが垂直方向に延長してなるいわゆる縦方向ストライプにより表示部を形成する場合について述べたが、本発明はこれに限らず、同一色彩のカラーフィルタが水平方向に延長してなるいわゆる横方向ストライプにより表示部を形成する場合、モザイク状にカラーフィルタを配置して表示部を形成する場合、さらにはデルタ状にカラーフィルタを配置して表示部を形成する場合等に広く適用することができる。

20

【0069】

また上述の実施例においては、共通電圧に対して同相、逆相の駆動信号を選択的に印加することにより、1つのサブ画素をオンオフの2階調により駆動する場合について述べたが、本発明はこれに限らず、さらに位相の異なる多数の駆動信号を選択的に印加することにより、さらには時間軸方向の変調により、1つのサブ画素を2階調より多くの階調により駆動する場合にも広く適用することができる。

【0070】

また上述の実施例においては、1つの画素を形成する複数のサブ画素の全てで信号線を共通化する場合について述べたが、本発明はこれに限らず、サブ画素のレイアウトによっては、1つの画素を形成する複数のサブ画素の一部のみについて、信号線を共通化する場合、さらには各サブ画素に個々に信号線を設ける場合にも広く適用することができる。

30

【0071】

また上述の実施例においては、各5ビットの赤色、緑色、青色による3種類の階調データを同時並列的に入力して処理する場合について述べたが、本発明はこれに限らず、5ビット以外のビット数により階調データの処理に適用する場合、4種類以上の階調データによりカラー画像を表示する場合等にも広く適用することができる。

【0072】

また上述の実施例においては、ガラス基板上に表示部等を作成してなる反射型液晶表示装置に本発明を適用する場合について述べたが、本発明はこれに限らず、透過型液晶表示装置、EL(Electro Luminescence)表示装置等、種々の表示装置に広く適用することができる。

40

【産業上の利用可能性】

【0073】

本発明は、例えば1つの画素を複数のサブ画素により構成し、これら複数のサブ画素の駆動により階調を表現する方式の液晶表示装置に適用することができる。

【図面の簡単な説明】

【0074】

【図1】本発明の実施例に係る液晶表示装置の1つのサブ画素のレイアウトを示す平面図である。

【図2】本発明の実施例に係る液晶表示装置を示すブロック図である。

50

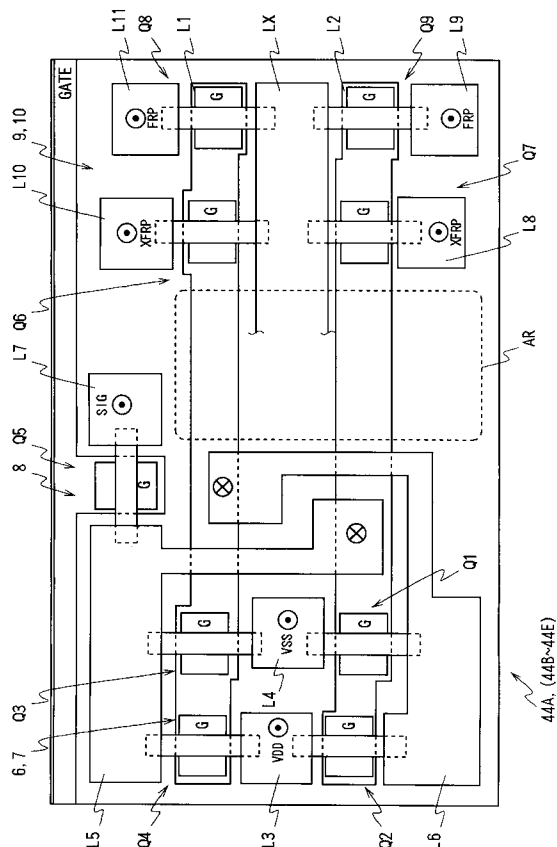
- 【図 3】図 2 の液晶表示装置の 1 つの画素の構成を示す接続図である。
 【図 4】図 2 の液晶表示装置の 1 つの画素の構成を示す平面図である。
 【図 5】図 1 の上層側の配線パターンを示す平面図である。
 【図 6】画素回路と電極との接続の説明に供する平面図である。
 【図 7】多ビットメモリ方式により液晶表示装置を示すブロック図である。
 【図 8】図 7 の液晶表示装置の 1 画素を示す接続図である。
 【図 9】図 8 の 1 画素に設けられる画素回路を示す接続図である。
 【図 10】図 9 の画素回路の等化回路を示す接続図である。
 【図 11】図 9 の画素回路の動作の説明に供するタイムチャートである。

【符号の説明】

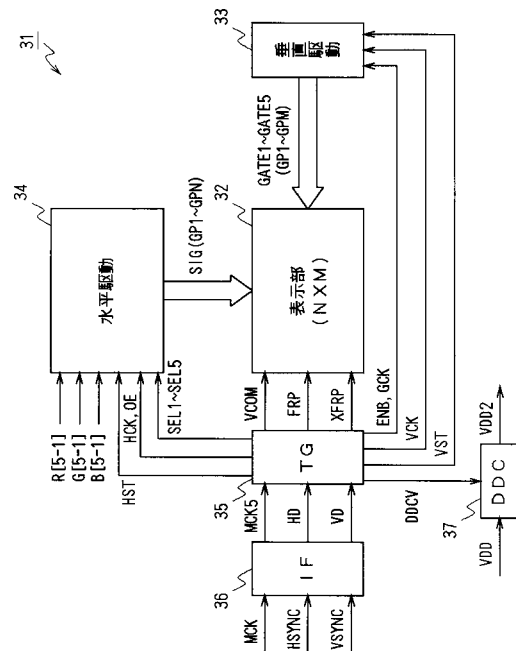
【 0 0 7 5 】

1、31 …… 液晶表示装置、2、32 …… 表示部、2A、32A …… 画素、2AA～2AE、32AA～32AE …… サブ画素、3A～3E、43A～43E …… 電極、4A～4E、44A～44E …… 画素回路、5A～5E …… 液晶セル、6、7、65 …… インバーター、8、9、10 …… スイッチ回路、16、33 …… 垂直駆動回路、20、34 …… 水平駆動回路

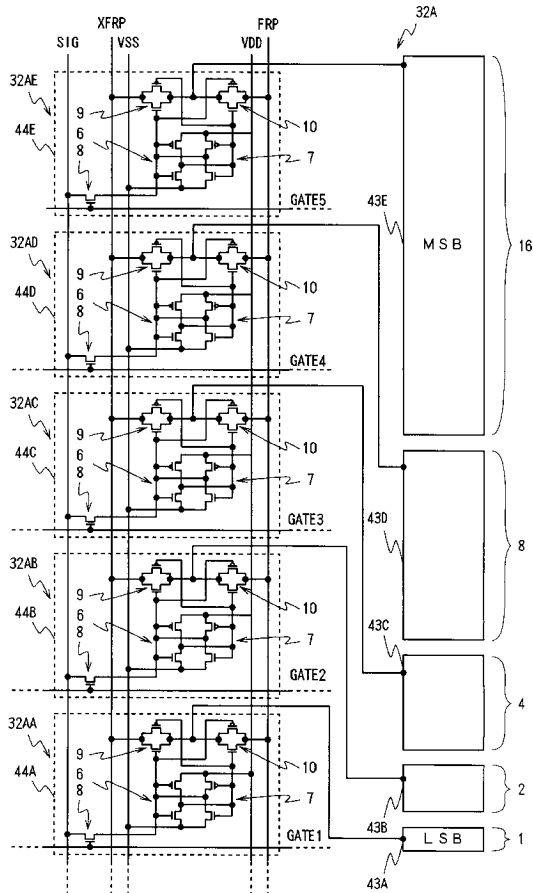
【図 1】



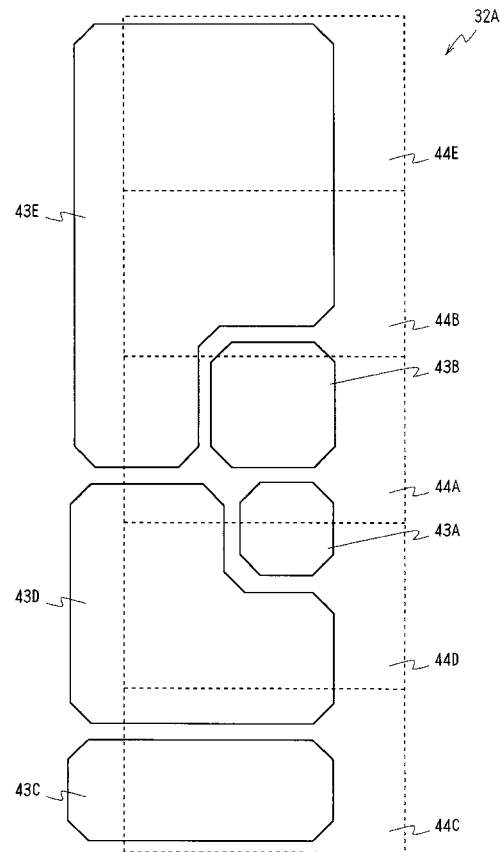
【図 2】



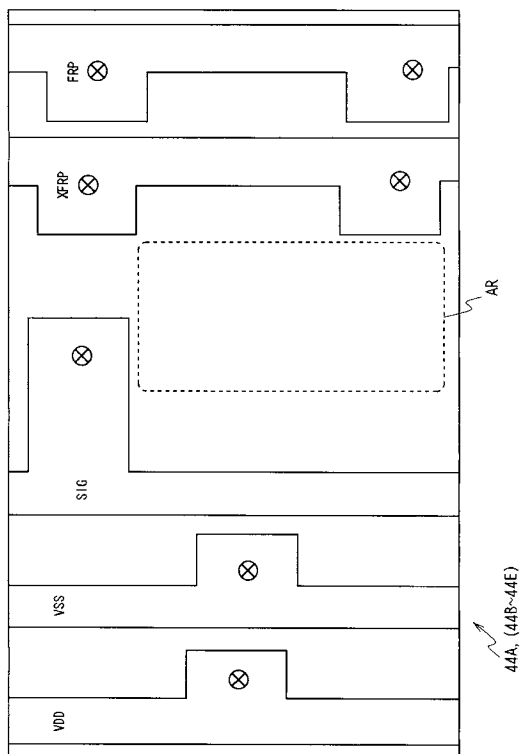
【図 3】



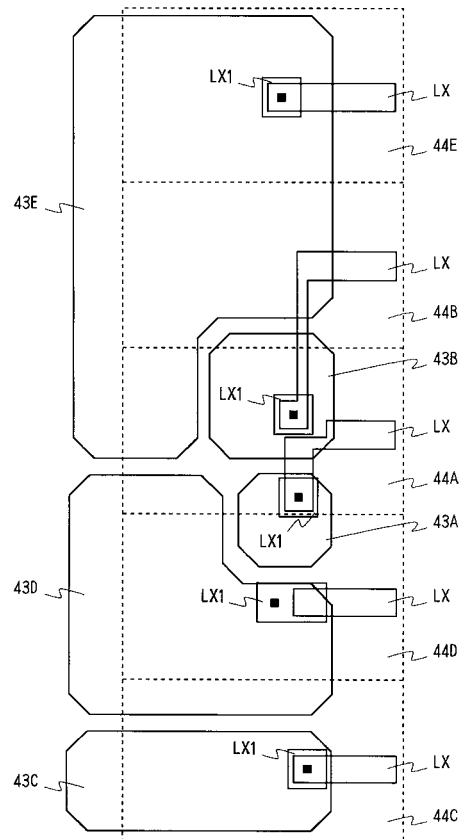
【図 4】



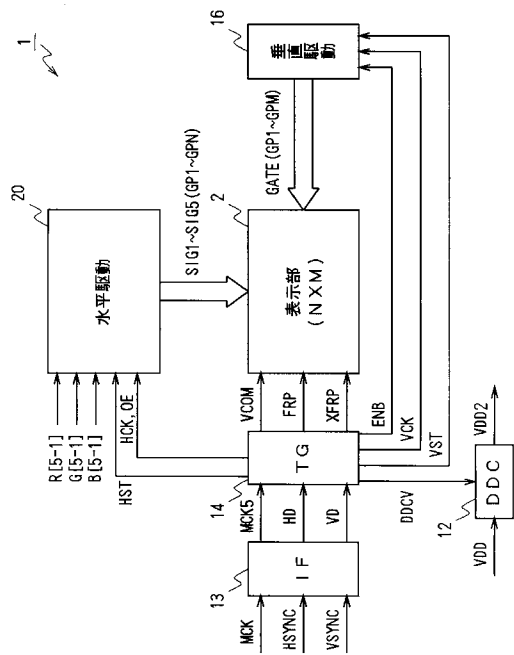
【図 5】



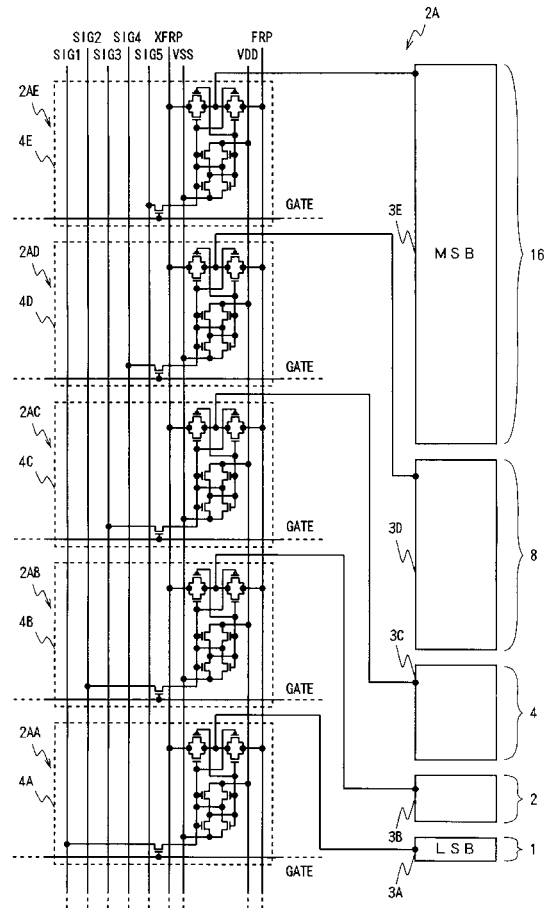
【図 6】



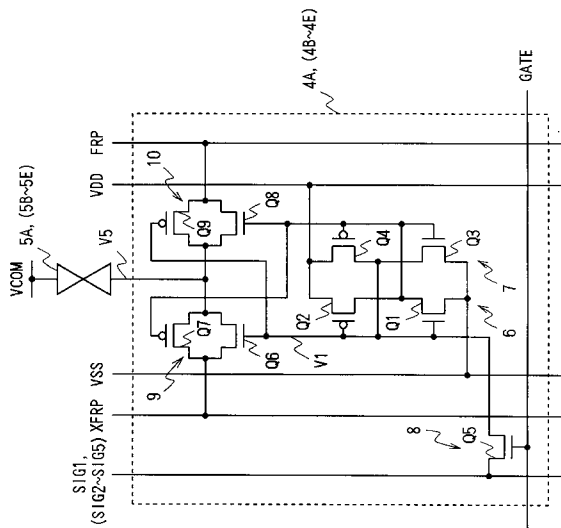
【図 7】



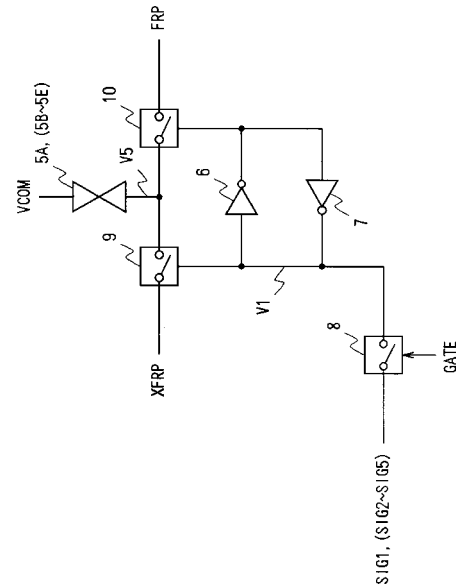
【図 8】



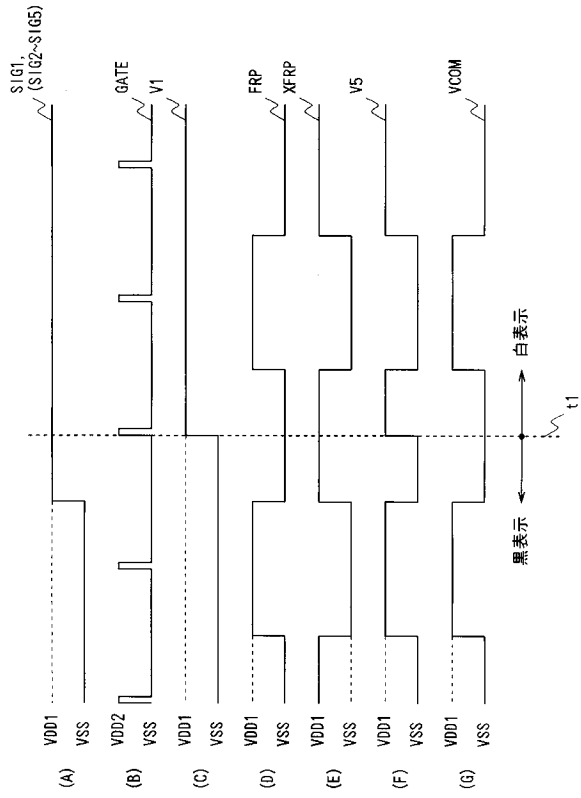
【図 9】



【図 10】



【図 11】



(51) Int.Cl.⁷

FI

テーマコード（参考）

G 0 9 F	9/30	3 9 0 Z
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 3 1 M
G 0 9 G	3/20	6 4 1 G
G 0 9 G	3/20	6 8 0 G

F ターム(参考)	5C006	AA12	BB16	BB28	BC06	BC08	BF33	FA41	FA47	FA56	
	5C080	AA06	AA10	BB05	CC03	DD22	DD26	EE29	FF11	GG12	JJ02
		JJ03	JJ06								
	5C094	AA05	AA06	AA45	BA03	BA43	CA20	CA25	DA09	DA13	DB01
		EA04	FA01								

专利名称(译)	表示装置		
公开(公告)号	JP2005148425A	公开(公告)日	2005-06-09
申请号	JP2003386089	申请日	2003-11-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	寺西康幸 仲島義晴		
发明人	寺西 康幸 仲島 義晴		
IPC分类号	G02F1/1343 G02F1/133 G02F1/1368 G09F9/30 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.575 G02F1/1343 G02F1/1368 G09F9/30.338 G09F9/30.390.Z G09G3/20.624.B G09G3/20.631.M G09G3/20.641.G G09G3/20.680.G G09F9/302.Z		
F-TERM分类号	2H092/GA15 2H092/GA26 2H092/GA28 2H092/JA24 2H092/JB07 2H092/PA06 2H093/NA16 2H093/NA54 2H093/NC13 2H093/NC34 2H093/NC40 2H093/ND06 2H093/NE03 5C006/AA12 5C006/BB16 5C006/BB28 5C006/BC06 5C006/BC08 5C006/BF33 5C006/FA41 5C006/FA47 5C006/FA56 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD22 5C080/DD26 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C094/AA05 5C094/AA06 5C094/AA45 5C094/BA03 5C094/BA43 5C094/CA20 5C094/CA25 5C094/DA09 5C094/DA13 5C094/DB01 5C094/EA04 5C094/FA01 2H192/AA24 2H192/BC02 2H192/BC24 2H192/CB12 2H192/CB24 2H192/EA41 2H192/GD61 2H193/ZA04 2H193/ZA20 2H193/ZD24 2H193/ZP03		
其他公开文献	JP4457646B2		
外部链接	Espacenet		

摘要(译)

显示装置技术领域本发明涉及一种显示装置，例如，一个像素由多个子像素构成，并且适用于通过驱动多个子像素来表现灰度的系统的液晶显示装置以及多位存储器。在根据该方法的显示装置中，简化了形成子像素的像素电路和电极的布局，并且可以容易地增加位数以实现高灰度和高分辨率。根据本发明，在布置每个子像素的电路44A至44E的区域中，在两端布置存储电路和开关电路，并且在该区域的中心处形成用于电极连接的区域AR。这些电路44A至44E连接到用于连接电极的区域AR中的电极。[选型图]图1

