

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-31112**(P2005-31112A)**

(43) 公開日 平成17年2月3日(2005.2.3)

(51) Int.Cl.⁷**G09G 3/36****G09G 3/20**

F I

G09G 3/36

G09G 3/20

G09G 3/20 612G

G09G 3/20 623F

G09G 3/20 623G

テーマコード (参考)

5C006

5C080

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21) 出願番号

特願2003-192626 (P2003-192626)

(22) 出願日

平成15年7月7日(2003.7.7)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100102185

弁理士 多田 繁範

(72) 発明者 木田 芳利

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

Fターム(参考) 5C006 AF73 BB16 BC06 BC12 BC20

BF04 BF11 BF33 BF42 FA01

FA43

最終頁に続く

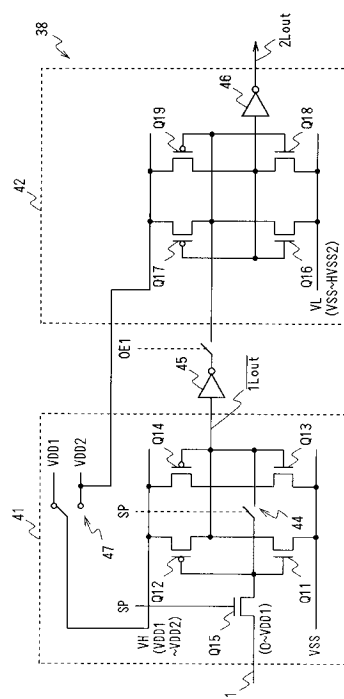
(54) 【発明の名称】 データ転送回路及びフラットディスプレイ装置

(57) 【要約】

【課題】本発明は、データ転送回路及びフラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用して、TFT等による構成において、データ転送に係る構成を簡略化することができるようにする。

【解決手段】本発明は、第1ラッチ部42のラッチ結果の反転出力のみ、又は非反転出力のみ第2ラッチ部42にデータ転送するようにし、少なくともこの第2ラッチ部42にデータ転送する期間の間、第1ラッチ部41の電源電圧を立ち上げる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力データを第 1 ラッチ部でラッチし、前記第 1 ラッチ部のラッチ結果を第 2 ラッチ部にデータ転送してラッチするデータ転送回路において、
前記第 1 ラッチ部のラッチ結果の反転出力のみ、又は前記ラッチ結果の非反転出力のみ前記第 2 ラッチ部にデータ転送すると共に、
少なくとも前記第 1 ラッチ部のラッチ結果を前記第 2 ラッチ部にデータ転送する期間の間、前記第 1 ラッチ部の電源電圧を立ち上げる
ことを特徴とするデータ転送回路。

【請求項 2】

各画素の明るさを示す階調データを順次入力し、所定の表示部に前記階調データによる画像を表示するフラットディスプレイ装置において、
前記階調データを順次循環的にサンプリングし、前記階調データを対応する列に振り分ける複数のラッチ回路と、
前記ラッチ回路のラッチ結果により前記対応する列への出力信号レベルを設定するデジタルアナログ変換回路とを有し、
前記各ラッチ回路は、
それぞれ対応するタイミングにより前記階調データを第 1 ラッチ部でラッチし、前記複数のラッチ回路で同時並列的に、前記第 1 ラッチ部のラッチ結果を第 2 ラッチ部にデータ転送して前記デジタルアナログ変換回路に出力し、
前記第 1 ラッチ部のラッチ結果の反転出力のみ、又は前記第 1 ラッチ部のラッチ結果の非反転出力のみ前記第 2 ラッチ部にデータ転送すると共に、
少なくとも前記第 1 ラッチ部のラッチ結果を前記第 2 ラッチ部にデータ転送する期間の間、前記第 1 ラッチ部の電源電圧を立ち上げる
ことを特徴とするフラットディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ転送回路及びフラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。本発明は、第 1 ラッチ部のラッチ結果の反転出力のみ、又は非反転出力のみ第 2 ラッチ部にデータ転送するようにし、少なくともこの第 2 ラッチ部にデータ転送する期間の間、第 1 ラッチ部の電源電圧を立ち上げることにより、TFT 等による構成において、データ転送に係る構成を簡略化することができるようにする。

【0002】

【従来の技術】

近年、例えば PDA、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に構成するものが提供されるようになされている。

【0003】

すなわち図 3 は、この種の液晶表示装置を示すブロック図である。この液晶表示装置 1 は、液晶セル 2、この液晶セル 2 のスイッチング素子であるポリシリコン TFT (Thin Film Transistor: 薄膜トランジスタ) 3、図示しない保持容量とにより各画素が形成され、この各画素をマトリックス状に配置して矩形形状による表示部 4 が形成される。この液晶表示装置 1 では、このようにして表示部 4 に形成される各画素へのカラーフィルタの配置により、水平方向に、赤色、緑色、青色の画素 R、G、B を順次循環的に繰り返し、これら赤色、緑色、青色の画素 R、G、B を 1 組とした 240 組により水平方向の画素が形成されて表示部 4 が形成される。この液晶表示装置 1 では、これら赤色、緑色、青色の画素 R、G、B の階調を指示する各 6 ビットの階調データ R0 ~ R5、G0 ~ G5、B0 ~ B5 が同時並列的にラスタ走査の順序により入力され、この階調デ

10

20

30

40

50

ータD1(R0~R5、G0~G5、B0~B5)により各画素を駆動して所望の画像を表示するようになされている。

【0004】

液晶表示装置1においては、この表示部4の信号線SL及びゲート線SGがそれぞれ水平駆動回路5及び垂直駆動回路6に接続され、水平駆動回路5は、階調データD1に基づいて各信号線SLに対応する画素の駆動信号を出力し、垂直駆動回路6は、この水平駆動回路5による信号線SLへの駆動信号の出力に対応してゲート線SGの制御によりライン単位で表示部4の画素を選択する。これにより液晶表示装置1では、これら水平駆動回路5及び垂直駆動回路6により表示部4の各画素を駆動して所望の画像を表示するようになされている。

10

【0005】

具体的に、水平駆動回路5は、例えば特開2000-242209号公報に開示されているように、複数の基準電圧V0~V63を階調データD1に応じて選択することにより、階調データD1をディジタルアナログ変換処理して駆動信号を生成するようになされている。すなわち水平駆動回路5は、水平方向への画素の配置に対応して設けられてなるサンプリングラッチ回路(SL)8により順次循環的に階調データD1の対応するビットR0~R5、G0~G5、B0~B5をサンプリングすることにより、この階調データD1を1ライン単位でまとめ、対応する基準電圧セレクタ9に出力する。基準電圧発生回路10は、階調データD1の各階調に対応する複数の基準電圧V0~V63を生成して出力する。基準電圧セレクタ9は、それぞれサンプリングラッチ回路8の出力データにより、この基準電圧発生回路10から出力される基準電圧V0~V63を選択することにより、対応する階調データD1をディジタルアナログ変換処理してなる駆動信号を出力する。バッファ回路11は、この駆動信号を対応する信号線SLに出力する。

20

【0006】

図4は、このようにして構成される水平駆動回路5において、サンプリングラッチ回路8の1ビット分の構成を示す接続図である。サンプリングラッチ回路8においては、対応する画素の水平方向の位置に対応するタイミングにより第1ラッチ部21で階調データD1をラッチして保持した後、垂直ブランキング期間に設定された所定のタイミングで第1ラッチ部21のラッチ結果を第2ラッチ部22に転送して出力し、これにより階調データをライン単位でまとめて基準電圧セレクタ9に出力する。ここでこの種のサンプリングラッチ回路8等を構成する低温ポリシリコンTFT等の絶縁基板上に形成されるアクティブ素子においては、その特性にばらつきが大きい。このためサンプリングラッチ回路8においては、ラッチ結果の反転出力、非反転出力を出力する、いわゆる両相出力により第2ラッチ部22にラッチ結果を出力し、第1ラッチ部21及び第2ラッチ部22間で安定かつ確実にラッチ結果をデータ転送するようになされている。

30

【0007】

すなわちこのサンプリングラッチ回路8において、第1ラッチ部21は、ゲート及びドレインがそれぞれ共通に接続されたNチャンネルMOS(以下、NMOSと呼ぶ)トランジスタQ1及びPチャンネルMOS(以下、PMOSと呼ぶ)トランジスタQ2からなるCMOSインバータと、同様に、ゲート及びドレインがそれぞれ共通に接続されたNMOSトランジスタQ3及びPMOSトランジスタQ4からなるCMOSインバータとが電源電圧VCCの正側電源ラインと電圧VSSの負側電源ラインとの間に並列に設けられる。第1ラッチ部21は、トランジスタQ1及びQ2によるインバータ出力が、トランジスタQ3及びQ4によるインバータに入力され、またサンプリングパルスspの反転信号xspにより動作するPMOSトランジスタQ5を介して、トランジスタQ3及びQ4によるインバータ出力が、トランジスタQ1及びQ2によるインバータに入力され、さらにサンプリングパルスspにより動作するPMOSトランジスタQ6を介して、トランジスタQ1及びQ2によるインバータに階調データD1が入力される。

40

【0008】

これによりサンプリングラッチ回路8は、トランジスタQ1~Q6により比較器構成のC

50

MOSラッチセルが形成され、図5(A)~(D)により示すように、サンプリングパルス s_p により階調データD1をラッチするようになされ、このラッチのタイミングが対応する画素の水平方向の位置に応じて設定されるようになされている。

【0009】

サンプリングラッチ回路8は、この第1ラッチ部21によるラッチ結果の反転出力、非反転出力をそれぞれ転送スイッチ24、25を介して第2ラッチ部22に入力する。ここでこの転送スイッチ24、25は、例えば水平ブランキング期間の立ち上がりのタイミングでオン状態に切り換わる(図9(E))。

【0010】

第2ラッチ部22は、NMOSトランジスタQ7及びPMOSトランジスタQ8からなるCMOSインバータと、NMOSトランジスタQ9及びPMOSトランジスタQ10からなるCMOSインバータとによりラッチセルが形成され、転送スイッチ24、25を介して入力されるラッチ結果の反転出力、非反転出力がそれぞれトランジスタQ7、Q8によるCMOSインバータ、トランジスタQ9、Q10によるCMOSインバータに入力される。これによりサンプリングラッチ回路8は、水平ブランキング期間の立ち上がりのタイミングで、第1ラッチ部21のラッチ結果をデータ転送して第2ラッチ部22でラッチし(図5(F))、このラッチ結果をインバータ26より出力するようになされている。なお第2ラッチ部22においては、正側電源及び負側電源の設定により、続く基準電圧セレクタ9における処理に適するように、ラッチ出力をレベルシフトさせて出力する場合もある。

【0011】

【特許文献1】

特開2000-242209号公報

【0012】

【発明が解決しようとする課題】

ところでこのように両相によりラッチ結果等をデータ転送する場合、単相によるデータ転送に比して、構成が煩雑になる問題がある。このようなデータ転送に係る構成を簡略化することができれば、その分、全体構成を簡略化し得、この種の表示装置においては、いわゆる狭額縁化することができる。また消費電力も少なくすることができる。

【0013】

本発明は以上の点を考慮してなされたもので、TFT等による構成において、データ転送に係る構成を簡略化することができるデータ転送回路及びフラットディスプレイ装置を提案しようとするものである。

【0014】

【課題を解決するための手段】

かかる課題を解決するため請求項1の発明においては、入力データを第1ラッチ部でラッチし、第1ラッチ部のラッチ結果を第2ラッチ部にデータ転送してラッチするデータ転送回路に適用して、第1ラッチ部のラッチ結果の反転出力のみ、又はラッチ結果の非反転出力のみ第2ラッチ部にデータ転送すると共に、少なくとも第1ラッチ部のラッチ結果を第2ラッチ部にデータ転送する期間の間、第1ラッチ部の電源電圧を立ち上げるようにする。

【0015】

また請求項2の発明においては、フラットディスプレイ装置に適用して、階調データを順次循環的にサンプリングし、階調データに対応する列に振り分ける複数のラッチ回路と、ラッチ回路のラッチ結果により対応する列への出力信号レベルを設定するデジタルアナログ変換回路とを有し、各ラッチ回路は、第1ラッチ部のラッチ結果の反転出力のみ、又は第1ラッチ部のラッチ結果の非反転出力のみ第2ラッチ部にデータ転送すると共に、少なくとも第1ラッチ部のラッチ結果を第2ラッチ部にデータ転送する期間の間、第1ラッチ部の電源電圧を立ち上げるようにする。

【0016】

10

20

30

40

50

請求項１の構成により、第１ラッチ部のラッチ結果の反転出力のみ、又はラッチ結果の非反転出力のみ第２ラッチ部にデータ転送すれば、その分、反転出力、非反転出力の双方によりラッチ結果をデータ転送する場合に比して構成を簡略化することができる。また少なくとも第１ラッチ部のラッチ結果を第２ラッチ部にデータ転送する期間の間、第１ラッチ部の電源電圧を立ち上げるようにすれば、データ転送におけるマージンを拡大することができ、この拡大したマージンによりラッチ結果の反転出力のみ、又はラッチ結果の非反転出力のみ第２ラッチ部にデータ転送することによるマージンの減少を補い、安定かつ確実にラッチ結果をデータ転送することができる。

【００１７】

これにより請求項２の発明によれば、フラットディスプレイ装置のラッチ回路において、簡易な構成により安定かつ確実にラッチ結果をデータ転送することができる。 10

【００１８】

【発明の実施の形態】

以下、適宜図面を参照しながら本発明の実施の形態を詳述する。

【００１９】

(１) 第１の実施の形態

図１は、図４との対比により、本発明の実施の形態に係る液晶表示装置に適用されるサンプリングラッチ回路の１ビット分の構成を示す接続図である。この実施の形態に係る液晶表示装置においては、このサンプリングラッチ回路３８の構成が異なる点を除いて、図３、図４について上述した液晶表示装置１と同一に構成されることにより、重複した説明は省略する。 20

【００２０】

このサンプリングラッチ回路３８においては、水平方向における画素の配置に対応するタイミングで第１ラッチ部４１により階調データＤ１をラッチした後、水平ブランキング期間の所定のタイミングで、この第１ラッチ部４１によるラッチ結果を第２ラッチ部４２に転送してラッチし、続く基準電圧セレクタ９に出力する。このサンプリングラッチ回路３８は、これら第１ラッチ部４１から第２ラッチ部４２へのラッチ結果のデータ転送を単相により実行し、また単相によりデータ転送して不足するマージンを電源電圧の立ち上げにより確保する。

【００２１】

すなわちこのサンプリングラッチ回路３８において、第１ラッチ部４１は、ＮＭＯＳトランジスタＱ１１及びＰＭＯＳトランジスタＱ１２からなるＣＭＯＳインバータ、ＮＭＯＳトランジスタＱ１３及びＰＭＯＳトランジスタＱ１４からなるＣＭＯＳインバータとが正側電源ＶＨと負側電源ＶＳＳとの間に並列に設けられる。第１ラッチ部４１は、トランジスタＱ１１及びＱ１２によるインバータ出力が、トランジスタＱ１３及びＱ１４によるインバータに入力され、またサンプリングパルスｓｐによりオフ動作するスイッチ回路４４を介して、トランジスタＱ１１及びＱ１２によるインバータ入力が、トランジスタＱ１３及びＱ１４によるインバータに入力され、さらにサンプリングパルスｓｐによりオン動作するＰＭＯＳトランジスタＱ１５を介して、トランジスタＱ１１及びＱ１２によるインバータに階調データＤ１が入力される。 30

【００２２】

これによりサンプリングラッチ回路３８は、トランジスタＱ１１～Ｑ１５によりＣＭＯＳラッチセルが形成され、図２（Ａ）～（Ｃ）により示すように、サンプリングパルスｓｐによりスイッチ回路４４をオフ状態に設定して階調データＤ１を取り込んだ後、スイッチ回路４４をオン状態に設定して取り込んだ階調データＤ１を保持するようになされ、これらラッチに係るタイミングが対応する画素の水平方向の位置に応じて設定されるようになされている。 40

【００２３】

さらに第１ラッチ部４１は、スイッチ回路４７による電源の選択により、これらラッチに係る処理が、前段の回路に係る電源電圧と等しい電圧２．９〔Ｖ〕の電源ＶＤＤ１に設定 50

された状態で実行される。また第2ラッチ部42にラッチ結果をデータ転送する直前で、ラッチ時に比して電圧の高い電圧5.8〔V〕の電源VDD2が選択され、データ転送を完了すると、元の電源VDD1が選択される。これによりこのサンプリングラッチ回路38では、少なくとも第1ラッチ部41から第2ラッチ部42にラッチ結果をデータ転送する期間の間、電源電圧を立ち上げ、ラッチ結果を単相でデータ転送することにより低下するマージンを確保するようになされている。

【0024】

第1ラッチ部41は、これにより転送スイッチ45を介して水平ブランキング期間の所定のタイミングで、ラッチ結果の振幅を拡大して第2ラッチ部42に転送し、この実施の形態では、このデータ転送に供するラッチ結果に反転出力が適用されるようになされている（図2（C）～（E））。 10

【0025】

第2ラッチ部42は、NMOSトランジスタQ16及びPMOSトランジスタQ17からなるCMOSインバータ、NMOSトランジスタQ18及びPMOSトランジスタQ19からなるCMOSインバータとが正側電源VDD2と負側電源VLとの間に並列に設けられ、これらのCMOSインバータにより比較器回路構成のラッチセルが形成され、このラッチセルに転送スイッチ45の出力が供給される。これにより第2ラッチ部42は、第1ラッチ部41のラッチ結果をラッチするようになされ、このラッチ結果をインバータ46を介して出力するようになされている。

【0026】

さらに第2ラッチ部42は、この負側電源VLの設定により、基準電圧セクタ9における処理に適するように、ラッチ出力をレベルシフトさせて出力するようになされている。 20

【0027】

（2）実施の形態の動作

以上の構成において、この液晶表示装置では（図3）、表示に供する各画素の階調を示すデータの連続による階調データD1が水平駆動回路5に入力され、ここでこの階調データD1がサンプリングラッチ回路38により順次サンプリングされてライン単位でまとめられ、続く基準電圧セクタ9により各階調データに応じた基準電圧V0～V63が選択される。液晶表示装置1では、この基準電圧V0～V63の選択により各画素を駆動する駆動信号が生成され、この駆動信号が信号線SLにより表示部4に供給され、垂直駆動回路6により選択された画素にこの駆動信号が印加される。これにより液晶表示装置1では、表示部4の各画素に対応する階調データD1により駆動して所望の画像を表示する。 30

【0028】

このようにして表示部4を駆動する水平駆動回路5において、このように階調データD1を順次循環的にサンプリングするサンプリングラッチ回路38では（図1）、階調データD1の各ビットが対応するタイミングで第1のラッチ部41でラッチされた後、水平ブランキング期間の所定のタイミングで、各ビット、各サンプリングラッチ回路38で同時並列的に第2ラッチ部42に転送されてラッチされ、このラッチ結果が基準電圧セクタ9に出力される。これにより液晶表示装置1では、階調データD1がライン単位でまとめられ、基準電圧セクタ9によりデジタルアナログ変換処理される。 40

【0029】

サンプリングラッチ回路38では、このような第1ラッチ部41から第2ラッチ部42へのデータ転送が、ラッチ結果の反転出力により実行され、これにより単相によりラッチ結果をデータ転送して、両相によりデータ転送する場合に比して、構成が簡略化される。具体的に、このようなデータ転送に係る転送スイッチにおいては、最低でもインバータ構成に係る2個のトランジスタが必要となる。これに対してこのように単相によりデータ転送する場合、この実施の形態では240組×3（赤色、緑色、青色分）×6ビット分の転送スイッチを省略し得、これにより両相によりデータ転送する場合に比して4320×2個のトランジスタを省略することができる。これによりこの液晶表示装置では、構成を簡略化して消費電力を低減することができ、さらにはいわゆる狭額縁化することができる。 50

【 0 0 3 0 】

またこのようにしてデータ転送する期間の間、第 1 ラッチ部 4 1 においては、電源電圧が立ち上げられ、これにより単相によりラッチ結果をデータ転送する際に低下するマージンが確保される。これにより液晶表示装置では、単相によりラッチ結果をデータ転送するようにして、安定かつ確実にラッチ結果を第 2 ラッチ部 4 2 にデータ転送することができる。

【 0 0 3 1 】

(3) 実施の形態の効果

以上の構成によれば、第 1 ラッチ部のラッチ結果の反転出力のみ第 2 ラッチ部にデータ転送するようにし、少なくともこの第 2 ラッチ部にデータ転送する期間の間、第 1 ラッチ部の電源電圧を立ち上げることにより、T F T による構成において、データ伝送に係る構成を簡略化することができる。

【 0 0 3 2 】

(4) 他の実施の形態

なお上述の実施の形態においては、第 1 ラッチ部のラッチ結果の反転出力のみ第 2 ラッチ部にデータ転送する場合について述べたが、本発明はこれに限らず、ラッチ結果の非反転出力のみ第 2 ラッチ部にデータ転送する場合にも広く適用することができる。

【 0 0 3 3 】

また上述の実施の形態においては、ガラス基板上に表示部等を作成してなる T F T 液晶に本発明を適用する場合について述べたが、本発明はこれに限らず、C G S (C o n t i n u o u s G r a i n S i l i c o n) 液晶等、各種の液晶表示装置、さらには E L (E l e c t r o L u m i n e s c e n c e) 表示装置等、種々のフラットディスプレイ装置に広く適用することができる。

【 0 0 3 4 】

また上述の実施の形態においては、液晶表示装置に適用して、絶縁基板上に形成した低温ポリシリコン T F T によるアクティブ素子により第 1 及び第 2 ラッチ部を構成する場合について述べたが、本発明はこれに限らず、絶縁基板上に形成される各種アクティブ素子により第 1 及び第 2 ラッチ部を構成してデータ転送するデータ転送回路に広く適用することができる。

【 0 0 3 5 】

【 発明の効果 】

上述のように本発明によれば、第 1 ラッチ部のラッチ結果の反転出力のみ、又は非反転出力のみ第 2 ラッチ部にデータ転送するようにし、少なくともこの第 2 ラッチ部にデータ転送する期間の間、第 1 ラッチ部の電源電圧を立ち上げることにより、T F T 等による構成において、データ伝送に係る構成を簡略化することができる。

【 図面の簡単な説明 】

【 図 1 】 本発明の実施の形態に係るサンプリングラッチ回路を示す接続図である。

【 図 2 】 図 1 のサンプリングラッチ回路の動作の説明に供するタイムチャートである。

【 図 3 】 液晶表示装置の構成を示すブロック図である。

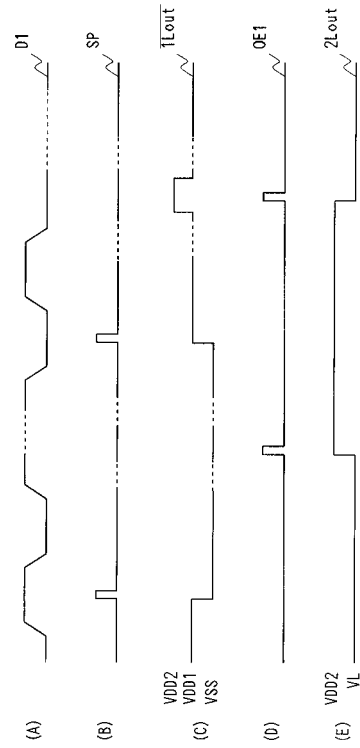
【 図 4 】 従来の液晶表示装置に適用されるサンプリングラッチ回路を示す接続図である。

【 図 5 】 図 4 のサンプリングラッチ回路の動作の説明に供するタイムチャートである。

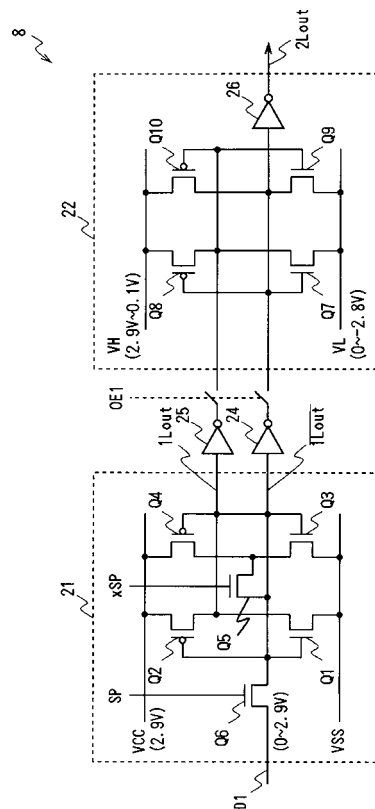
【 符号の説明 】

1 ... 液晶表示装置、 8、 3 8 ... サンプリングラッチ回路、 9 ... 基準電圧セレクタ、
1 0 ... 基準電圧発生回路、 2 1、 4 1 ... 第 1 ラッチ部、 2 2、 4 2 ... 第 2 ラッチ部

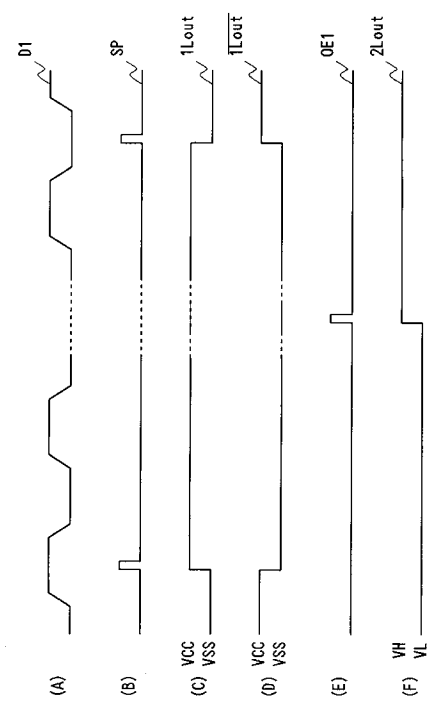
【 図 2 】



【 図 4 】



【図 5】



フロントページの続き

F ターム(参考) 5C080 AA06 AA10 BB05 DD22 EE29 FF01 FF07 FF11 JJ02 JJ03
JJ04

专利名称(译)	数据传输电路和平板显示设备		
公开(公告)号	JP2005031112A	公开(公告)日	2005-02-03
申请号	JP2003192626	申请日	2003-07-07
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	木田芳利 仲島義晴		
发明人	木田 芳利 仲島 義晴		
IPC分类号	G09G3/20 G09G3/36 G09G5/02 G11C19/00 H03K3/037 H03K3/356		
CPC分类号	H03K3/356156 G09G3/3688 G09G2300/0408 G09G2310/027 G09G2310/0289 G09G2310/0294 G09G2330/02 G09G2330/021 G11C19/00 H03K3/0375		
FI分类号	G09G3/36 G09G3/20.612.G G09G3/20.623.F G09G3/20.623.G		
F-TERM分类号	5C006/AF73 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF04 5C006/BF11 5C006/BF33 5C006/BF42 5C006/FA01 5C006/FA43 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD22 5C080/EE29 5C080/FF01 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
其他公开文献	JP4147480B2 JP2005031112A5		
外部链接	Espacenet		

摘要(译)

本发明涉及数据传输电路和平面显示装置，并且例如应用于液晶显示装置，在该液晶显示装置中，驱动电路整体形成在绝缘基板上，以简化诸如TFT的结构中与数据传输有关的结构。为了能够。根据本发明，仅第一锁存器部分的锁存结果的反相输出或非反相输出被传送到第二锁存器部分，并且至少在其期间数据被传送到第二锁存器部分。在该时段期间，第一锁存单元41的电源电压升高。[选型图]图1

