

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-10690

(P2005-10690A)

(43) 公開日 平成17年1月13日(2005.1.13)

(51) Int.Cl.⁷

G02F 1/1333
G02F 1/133
G02F 1/1335
G02F 1/135
G02F 1/1368

F I

G02F 1/1333 500
G02F 1/133 530
G02F 1/133 550
G02F 1/1335
G02F 1/135

テーマコード (参考)

2H090
2H091
2H092
2H093
5C094

審査請求 未請求 請求項の数 5 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2003-177346 (P2003-177346)

(22) 出願日 平成15年6月20日 (2003.6.20)

(71) 出願人 302020207

東芝松下ディスプレイテクノロジー株式会社

東京都港区港南4-1-8

(74) 代理人 100062764

弁理士 樺澤 襄

(74) 代理人 100092565

弁理士 樺澤 聡

(74) 代理人 100112449

弁理士 山田 哲也

(72) 発明者 多田 典生

東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内

最終頁に続く

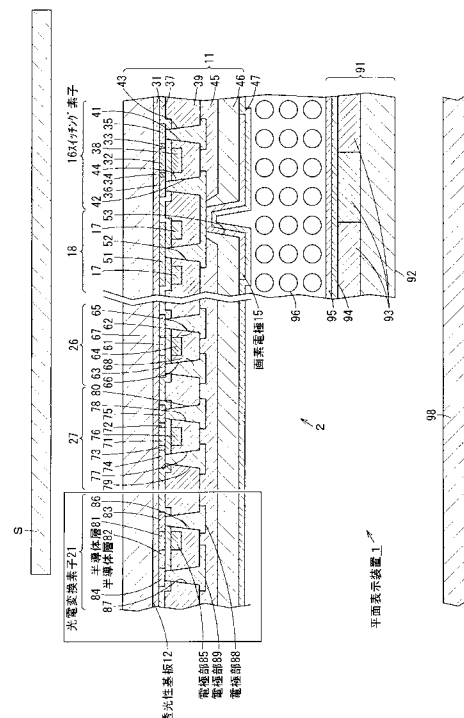
(54) 【発明の名称】 平面表示装置

(57) 【要約】

【課題】 光センサの光検出感度を向上できる液晶表示装置を提供する。

【解決手段】 アレイ基板11のガラス基板12の厚さを70 μm 以上100 μm 以下にする。ガラス基板12の表面側から入射する光の多重反射光を十分減衰できる。ガラス基板12の表面上に光センサ21を形成する。ガラス基板12の表面側から入射する光の光センサ21への入射を防止できる。ガラス基板12の表面側から入射する光による光センサ21の余分な光電流の発生を防止できる。光センサ21による光検出感度を向上できる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

透光性基板と、この透光性基板の一主面に設けられたスイッチング素子および光電変換素子と、前記透光性基板の一主面に設けられ前記スイッチング素子により制御される画素電極とを具備し、

前記透光性基板は、この透光性基板の一主面側から入射する光の多重反射による前記光電変換素子への入射を防止する厚さを有している

ことを特徴とした平面表示装置。

【請求項 2】

透光性基板の厚さは、 $70\text{ }\mu\text{m}$ 以上 $100\text{ }\mu\text{m}$ 以下である

10

ことを特徴とした請求項 1 記載の平面表示装置。

【請求項 3】

透光性基板と、この透光性基板の一主面に設けられたスイッチング素子および光電変換素子と、前記透光性基板の一主面に設けられ前記スイッチング素子により制御される画素電極と、

前記透光性基板に取り付けられ、この透光性基板の一主面側から入射する光の多重反射による光電変換素子への入射を防止するフィルム体と

を具備したことを特徴とした平面表示装置。

【請求項 4】

透光性基板と、この透光性基板の一主面に設けられたスイッチング素子および光電変換素子と、前記透光性基板の一主面に設けられ前記スイッチング素子により制御される画素電極とを具備し、

20

前記透光性基板は、この透光性基板の一主面側から入射する光の多重反射による光電変換素子への入射を防止する屈折率を有している

ことを特徴とした平面表示装置。

【請求項 5】

光電変換素子は、受光により光電流を発生する半導体層と、この半導体層の電極となる電極部を具備し、

前記半導体層は、この半導体層の一主面側が前記電極部により覆われている

ことを特徴とした請求項 1 ないし 4 いずれか記載の平面表示装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スイッチング素子および光電変換素子を備えた平面表示装置に関する。

【0002】

【従来の技術】

近年、液晶ディスプレイなどの平面表示装置は、薄型かつ軽量であり低消費電力であるという大きな利点を持ち、パーソナルコンピュータや携帯電話などのディスプレイとして広く用いられている。さらに、これら平面表示装置は、タッチパネルやペン入力などの入力機能を付加させることで、これら平面表示装置の用途の拡大が進んでいる。しかしながら、これら機能を平面表示装置に付加させるためには、これら機能を付加することに伴う部品を追加する必要があるから、これら平面表示装置を備えた装置のトータルコストが上がってしまう。

40

【0003】

一方、この種の平面表示装置としての液晶表示装置は、従来、外付け部品であった駆動回路を、スイッチング素子を集積した透光性基板としてのガラス基板の一主面である表面に取り込んで、この液晶表示装置のトータルコストを低減させる技術が開発されている。この技術により、ガラス基板の表面に入力機能を取り込むことが可能であれば、入力機能を備えた液晶表示装置のトータルコストを低下できると同時に、付加価値を向上できる。

【0004】

50

ところが、このような入力機能を有するデバイスを光電変換素子としての光センサで実現するためには、入射する光を受けることにより光電流を発生する光センサで検出物からの光を効率良く受けなければならない。

【0005】

そこで、この種の液晶表示装置としては、光センサが一主面に配設されて集積されたガラス基板を有するアレイ基板を備えている。このアレイ基板は、このアレイ基板のガラス基板の他主面側を、このアレイ基板の光センサにて検出する検出物側に向けて配置されている。また、このアレイ基板の一主面側には対向基板が対向して配設されており、この対向基板とアレイ基板との間には、液晶が介挿されて封止されている。さらに、この対向基板に対向してバックライトが配設された構成が知られている（例えば、特許文献1参照。） 10

【0006】

【特許文献1】

特開平10-333605号公報（第3-5頁、図2）

【0007】

【発明が解決しようとする課題】

しかしながら、上記液晶表示装置の光センサは、検出物で反射した光のみではなく、バックライトから入射する光がアレイ基板のガラス基板の内部を多重に反射して入射する迷光を受ける。そして、この迷光は、検出物から反射した光とは関係なく光センサで光電流を発生させるので、検出物で反射した光の強度を検知する妨げとなるという問題を有している。 20

【0008】

本発明は、このような点に鑑みなされたもので、光電変換素子の光検出感度を向上できる平面表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明は、透光性基板と、この透光性基板の一主面に設けられたスイッチング素子および光電変換素子と、前記透光性基板の一主面に設けられ前記スイッチング素子により制御される画素電極とを具備し、前記透光性基板は、この透光性基板の一主面側から入射する光の多重反射による前記光電変換素子への入射を防止する厚さを有しているものである。 30

【0010】

そして、透光性基板の一主面側から入射する光の多重反射による光電変換素子への入射を防止する厚さを透光性基板が有する。この結果、この透光性基板の一主面側から入射する光による光電変換素子の余分な光電流の発生を防止できるから、この光電変換素子による光検出感度が向上する。

【0011】

また、本発明は、透光性基板と、この透光性基板の一主面に設けられたスイッチング素子および光電変換素子と、前記透光性基板の一主面に設けられ前記スイッチング素子により制御される画素電極と、前記透光性基板に取り付けられ、この透光性基板の一主面側から入射する光の多重反射による光電変換素子への入射を防止するフィルム体とを具備したものである。 40

【0012】

そして、透光性基板に取り付けたフィルム体によって、透光性基板の一主面側から入射する光の多重反射による光電変換素子への入射を防止できる。このため、この透光性基板の一主面側から入射する光による光電変換素子の余分な光電流の発生を防止できるから、この光電変換素子による光検出感度が向上する。

【0013】

さらに、本発明は、透光性基板と、この透光性基板の一主面に設けられたスイッチング素子および光電変換素子と、前記透光性基板の一主面に設けられ前記スイッチング素子により制御される画素電極とを具備し、前記透光性基板は、この透光性基板の一主面側から入 50

射する光の多重反射による光電変換素子への入射を防止する屈折率を有しているものである。

【0014】

そして、透光性基板の一主面側から入射する光の多重反射による光電変換素子への入射を防止する屈折率を透光性基板が有する。この結果、この透光性基板の一主面側から入射する光による光電変換素子の余分な光電流の発生を防止できるから、この光電変換素子による光検出感度が向上する。

【0015】

【発明の実施の形態】

以下、本発明の平面表示装置の第1の実施の形態の構成を図1ないし図3を参照して説明する。 10

【0016】

図1ないし図3において、1は平面表示装置としての液晶表示装置で、この液晶表示装置1は、図2に示すように、画素部としての略矩形平板状の液晶セル2を備えている。この液晶セル2は、入力機能付きのアクティブマトリクス型である。そして、この液晶セル2の一主面である表面には、表示部としての画素部3が設けられている。この画素部3は、画像などを取り込む光入力機能を有するとともに、この取り込んだ画像を表示させる。さらに、この画素部3は、液晶セルよりも小さい矩形状である。また、この画素部3は、液晶セル2の表面の幅方向としてのX方向における一側縁と、この液晶セル2の長手方向としてのY方向における一端縁とのそれぞれに沿っている。 20

【0017】

そして、この液晶セル2の表面上におけるX方向に沿った他側には、駆動回路としての細長平板状のX方向ドライバ回路4がY方向に沿って取り付けられている。このX方向ドライバ回路4は、液晶セル2の画素部3の各画素をX方向に沿って駆動させる。また、この液晶セル2の表面上におけるY方向に沿った他端には、駆動回路としての細長平板状のY方向ドライバ回路5が取り付けられている。このY方向ドライバ回路5は、液晶セル2の画素部3の各画素をY方向に沿って駆動させる。

【0018】

一方、この液晶セル2は、図1および図3に示すように、略矩形平板状のアレイ基板11を備えている。このアレイ基板11は、透光性基板としてのガラス基板12を備えている 30。このガラス基板12は、厚さが70 μm 以上100 μm 以下である略透明な矩形平板状の絶縁基板である。すなわち、このガラス基板12は、このガラス基板12の表面側から入射する光が、このガラス基板12内において多重反射した後に十分減衰し、光センサ21に入射しない厚さを有している。

【0019】

さらに、このガラス基板12の一主面である表面上には、このガラス基板12の幅方向であるX方向に沿った複数本の走査線13が配設されている。これら走査線13のそれぞれは、ガラス基板12の長手方向であるY方向に向けて等間隔に離間されている。さらに、このガラス基板12の表面上には、このガラス基板12のY方向に沿った複数本の信号線14が配設されている。これら信号線14のそれぞれは、ガラス基板12のX方向に向けて等間隔に離間されている。また、これら信号線14のそれぞれは、各走査線13に対して直角に交差するように配設されている。 40

【0020】

そして、これら走査線13と信号線14とにより囲まれたガラス基板12上の領域内には、表示用電極として画素電極15が設けられている。さらに、これら走査線13と信号線14との交差部である交点部には、画素スイッチング用のスイッチング素子としての薄膜トランジスタである画素TF T (Thin Film Transistor) 16が設けられている。これら画素TF T 16は、各走査線13と信号線14との交点に対応したガラス基板12上に形成されている。また、これら画素TF T 16は、これら画素TF T 16に対応した走査線13および信号線14により囲まれた領域内の画素電極15を制御 50

する。具体的に、これら画素TFT16は、走査線13から供給される走査信号によりオンオフが制御され、オンのときに信号線14に供給された映像データを画素電極15に書き込む。

【0021】

さらに、ガラス基板12の表面上には、このガラス基板12のX方向に沿って複数本の補助容量線17が配設されている。これら補助容量線17は、各走査線13に対して平行に配置されている。また、この補助容量線17は、この補助容量線17とこの補助容量線17に近接する画素TFT16との間に形成された補助容量18を形成するための金属である。この補助容量18は、画素電極15に電氣的に接続されている。すなわち、この補助容量18は、補助容量線17により所定の電圧が供給されて、この補助容量線17と画素TFT16の半導体層32との間で形成される。

10

【0022】

また、走査線13と信号線14とにより囲まれたガラス基板12上の領域内には、光電変換素子としての光センサ21と電気信号変換回路22とのそれぞれが設けられている。ここで、この光センサ21は、受光のときに光電流を発生する光入力機能用である。また、電気信号変換回路22は、光センサ21で発生した光電流を電気信号として信号線へと出力する。

【0023】

そして、これら光センサ21および電気信号変換回路22は、これら光センサ21および電気信号変換回路22が形成された領域を囲む各信号線14に電氣的に接続されている。さらに、これら光センサ21および電気信号変換回路22は、ガラス基板12のX方向に沿って配設された複数本の制御線23および電源線24のそれぞれを備えている。これら制御線23および電源線24のそれぞれは、走査線13に対して平行に配置されている。

20

【0024】

一方、図1に示すように、アレイ基板11のガラス基板12上には、酸化シリコン膜であるアンダーコート層31が積層されて成膜されている。さらに、このアンダーコート層31上には、画素TFT16、補助容量18、P型駆動回路TFT26、N型駆動回路TFT33および光センサ21のそれぞれが形成されている。これら画素TFT16、補助容量18、P型駆動回路TFT26、N型駆動回路TFT27および光センサ21のそれぞれは、アンダーコート層31上における同一層に並べられた状態でそれぞれが設けられている。

30

【0025】

ここで、画素TFT16は、アンダーコート層31上に積層されて形成された半導体層32を備えている。この半導体層32の両側には、LDD(Lightly Doped Drain)部33, 34がそれぞれ形成されている。これらLDD部33, 34は、半導体層32に接続されてアンダーコート層31上に積層されている。また、これらLDD部33, 34の両側には、ソース領域35およびドレイン領域36のそれぞれが形成されている。これらソース領域35およびドレイン領域36は、各LDD部33, 34に接続されてアンダーコート層31上に積層されている。

【0026】

さらに、これら半導体層32、LDD部33, 34、ソース領域35およびドレイン領域36それぞれを含んだアンダーコート層31上には、酸化シリコン膜であるゲート絶縁膜37が積層されて成膜されている。このゲート絶縁膜37上には、ゲート電極38が積層されて形成されている。このゲート電極38は、半導体層32の下方に設けられており、この半導体層32の幅寸法に等しい幅寸法を有している。そして、このゲート電極38を含むゲート絶縁膜37上には、酸化シリコン膜である層間絶縁膜39が積層されて成膜されている。

40

【0027】

そして、この層間絶縁膜39およびゲート絶縁膜37には、ソース領域35およびドレイン領域36のそれぞれに連通したコンタクトホール41, 42が形成されている。これら

50

コンタクトホール４１，４２には、ソース電極４３およびドレイン電極４４が積層されて形成されている。ここで、このドレイン電極４４は、コンタクトホール４２を介してドレイン領域３６に電氣的に接続されている。また、このドレイン電極４４は、補助容量線１７に電氣的に接続されている。さらに、ソース電極４３は、コンタクトホール４１を介してソース領域３５に電氣的に接続されている。また、このソース電極４３は、信号線１４に電氣的に接続されている。

【００２８】

さらに、これらソース電極４３およびドレイン電極４４を含んだ層間絶縁膜３９上には、窒化シリコン膜である保護絶縁膜４５が積層されて成膜されている。この保護絶縁膜４５は、ソース電極４３およびドレイン電極４４を含んだ層間絶縁膜３９上を覆っている。また、この保護絶縁膜４５上には、透明有機絶縁膜４６が積層されて成膜されて、この透明有機絶縁膜４６により保護絶縁膜４５上が覆われている。さらに、この透明有機絶縁膜４６上には、配向膜４７が積層されて成膜されて、この配向膜４７により透明有機絶縁膜４６上が覆われている。

10

【００２９】

次いで、補助容量１８は、アンダーコート層３１上に形成された半導体層５１を備えている。この半導体層５１上には、ゲート絶縁膜３７が積層されている。そして、このゲート絶縁膜３７上には、一对の補助容量線１７が形成されている。これら補助容量線１７は、半導体層５１の下方に位置し、この半導体層５１との間で容量を形成する。また、これら補助容量線１７は、互いに平行に離間された状態で配設されている。

20

【００３０】

さらに、これら補助容量線１７を含んだゲート絶縁膜３７上には、層間絶縁膜３９が積層されている。また、この層間絶縁膜３９およびゲート絶縁膜３７には、補助容量１８の半導体層５１に連通したコンタクトホール５２が形成されている。このコンタクトホール５２は、一对の補助容量線１７間に設けられている。また、このコンタクトホール５２には、ドレイン電極４４が積層されている。このドレイン電極４４は、コンタクトホール５２を介して半導体層５１に電氣的に接続されている。

【００３１】

また、このドレイン電極４４を含んだ層間絶縁膜３９上に形成された保護絶縁膜４５および透明有機絶縁膜４６には、このドレイン電極４４に連通したコンタクトホール５３が形成されている。そして、このコンタクトホール５３を含む透明有機絶縁膜４６上には、ITO (Indium Tin Oxide) により構成された画素電極１５が設けられている。この画素電極１５は、コンタクトホール５３を介してドレイン電極４４に電氣的に接続されている。また、この画素電極１５を含んだ透明有機絶縁膜４６上には、配向膜４７が積層されている。

30

【００３２】

次いで、P型駆動回路TF T 26は、アンダーコート層３１上に積層されて設けられた半導体層６１を備えている。この半導体層６１の両側には、ドレイン領域６２およびソース領域６３が設けられている。これらドレイン領域６２およびソース領域６３は、アンダーコート層３１上に積層されており、半導体層６１に電氣的に接続されている。

40

【００３３】

そして、これら半導体層６１、ドレイン領域６２およびソース領域６３のそれぞれを含んだアンダーコート層３１上に積層されたゲート絶縁膜３７上には、ゲート電極６４が積層されている。このゲート電極６４は、半導体層６１の下方に位置し、この半導体層６１の幅寸法に等しい幅寸法を有している。

【００３４】

さらに、このゲート電極６４を含んだゲート絶縁膜３７上に積層された層間絶縁膜３８およびゲート絶縁膜３７には、ドレイン領域６２およびソース領域６３のそれぞれに連通したコンタクトホール６５，６６が形成されている。これらコンタクトホール６５，６６には、ドレイン電極６７およびソース電極６８が積層されて形成されている。ここで、この

50

ドレイン電極 67 は、コンタクトホール 65 を介してドレイン領域 62 に電氣的に接続されている。さらに、ソース電極 68 は、コンタクトホール 66 を介してソース領域 63 に電氣的に接続されている。

【0035】

次いで、N 型駆動回路 TFT 27 は、アンダーコート層 31 上に積層されて形成された半導体層 71 を備えている。この半導体層 71 の両側には、この半導体層 71 に電氣的に接続されてアンダーコート層 31 上に積層された LDD 部 72, 73 がそれぞれ形成されている。これら LDD 部 72, 73 の両側には、これら LDD 部 72, 73 に電氣的に接続されてアンダーコート層 31 上に積層されたドレイン領域 74 およびソース領域 75 のそれぞれが形成されている。

10

【0036】

さらに、これら半導体層 71、LDD 部 72, 73、ドレイン領域 74 およびソース領域 75 のそれぞれを含んだアンダーコート層 31 上に積層されたゲート絶縁膜 37 上には、ゲート電極 76 が積層されている。このゲート電極 76 は、半導体層 71 の上方に位置し、この半導体層 71 の幅寸法に等しい幅寸法を有している。

【0037】

そして、このゲート電極 76 を含むゲート絶縁膜 37 上に積層された層間絶縁膜 39 およびゲート絶縁膜 37 には、ドレイン領域 74 およびソース領域 75 のそれぞれに連通したコンタクトホール 77, 78 が形成されている。これらコンタクトホール 77, 78 には、ドレイン電極 79 およびソース電極 80 が積層されて形成されている。ここで、このドレイン電極 79 は、コンタクトホール 77 を介してドレイン領域 74 に電氣的に接続されている。さらに、ソース電極 80 は、コンタクトホール 78 を介してソース領域 75 に電氣的に接続されている。また、これらドレイン電極 79 およびソース電極 80 を含んだ層間絶縁膜 39 上には、保護絶縁膜 45 が積層されている。

20

【0038】

次いで、光センサ 21 は、アンダーコート層 31 に積層された半導体層としての低濃度不純物注入領域である P 型の P⁻ 領域 81 および N 型の N⁻ 領域 82 を備えている。これら P⁻ 領域 81 および N⁻ 領域 82 は、互いに電氣的に接続されており、受光により光電流を発生する光電変換部である。また、これら P⁻ 領域 81 および N⁻ 領域 82 の両側には、これら P⁻ 領域 81 および N⁻ 領域 82 に接続されてアンダーコート層 31 上に積層された P 型の P⁺ 領域 83 および N 型の N⁺ 領域 84 が設けられている。ここで、この N⁺ 領域 84 は、N⁻ 領域 82 に電氣的に接続されている。また、P⁺ 領域 83 は、P⁻ 領域 81 に電氣的に接続されている。

30

【0039】

そして、これら P⁻ 領域 81、N⁻ 領域 82、P⁺ 領域 83 および N⁺ 領域 84 のそれぞれを含んだアンダーコート層 31 上には、ゲート絶縁膜 37 が積層されている。また、このゲート絶縁膜 37 上における P⁻ 領域 81 上には、電極として機能する電極部としてのゲート電極 85 が積層されている。このゲート電極 85 は、P⁻ 領域 81 の幅寸法に等しい幅寸法を有している。

【0040】

さらに、このゲート電極 85 を含むゲート絶縁膜 37 上に積層された層間絶縁膜 39 およびゲート絶縁膜 37 には、P⁺ 領域 83 および N⁺ 領域 84 のそれぞれに連通したコンタクトホール 86, 87 が形成されている。これらコンタクトホール 86, 87 には、電極として機能する電極部としての P 型領域電極 88 と、電極として機能する電極部としての N 型領域電極 89 とが積層されて形成されている。ここで、P 型領域電極 88 は、コンタクトホール 86 を介して P⁺ 領域 83 に電氣的に接続されている。また、この P 型領域電極 88 は、ゲート電極 85 の下方を覆うように N 型領域電極 89 側に向けて突出している。

40

【0041】

ここで、N 型領域電極 89 は、コンタクトホール 87 を介して N⁺ 領域 84 に電氣的に接

50

続されている。また、このN型領域電極89は、N⁻領域82の下方を覆うようにP型領域電極88側に向けて突出している。さらに、このN型領域電極89は、N⁻領域82およびP⁻領域81の一部をも覆うようにP型領域電極88側に向けて突出している。よって、このN型領域電極89は、N⁻領域82の下方である表面側から入射する光が遮光されるように配置されている。

【0042】

この結果、光センサ21のN⁻領域82およびP⁻領域81は、これらN⁻領域82およびP⁻領域81の表面側が、この光センサ21のゲート電極85、P型領域電極88およびN型領域電極89によって覆われている。

【0043】

一方、アレイ基板11に対向して矩形平板状の対向基板91が配設されている。この対向基板91は、透光性基板としてのガラス基板92を備えている。このガラス基板92は、厚さが70μm程度である略透明な矩形平板状の絶縁基板である。すなわち、対向基板91は、この対向基板91のガラス基板92の一主面である表面側をアレイ基板11のガラス基板12の表面側に平行に対向させた状態で配設されている。

【0044】

さらに、この対向基板91のガラス基板92の表面上には、顔料が分散された赤、緑、青の3色の着色層としてのカラーフィルタ93のそれぞれがストライプ状に積層されて形成されている。これらカラーフィルタ93の表面上には、ITO (Indium Tin Oxide) により構成された対向電極94が積層されて形成されている。この対向電極94上には、この対向電極94を覆う配向膜95が積層されて形成されている。そして、この対向基板91の配向膜95とアレイ基板11の配向膜47との間には、これら対向基板91の配向膜95とアレイ基板11の配向膜47とを平行に対向させてセル化した後に、液晶96が注入されて介挿されて封止されている。

【0045】

また、この対向基板の裏面側には、矩形平板状のバックライト98が対向して配設されている。このバックライト98は、対向基板91の裏面に対して平行に設置されており、この対向基板91およびアレイ基板11を介して、このアレイ基板11の裏面側に位置する被写体としての検出物Sへと光を照射させる。

【0046】

次に、上記第1の実施の形態の液晶表示装置の製造方法を説明する。

【0047】

まず、厚さが700μm程度のガラス基板12の表面上に、プラズマCVD (Chemical Vapor Deposition) 法によって酸化シリコン膜のアンダーコート層31と、活性層となる非晶質半導体膜としての図示しないアモルファスシリコン膜とを50nm程度成膜する。

【0048】

このとき、イオンドーピング法によりB₂H₆/H₂をソースガスとし、加速電圧を10KeVおよびドーズ量を4×10¹¹ atoms/cm²としてアモルファスシリコン膜にボロン(B)を低濃度注入する。

【0049】

次いで、エキシマレーザアニール(ELA)法によってアモルファスシリコン膜を多結晶化させて多結晶半導体膜としての図示しないポリシリコン膜にする。

【0050】

この後、このポリシリコン膜をフォトリソグラフィ工程により島状にエッチング加工して、画素TF T16、P型駆動回路TF T26、N型駆動回路TF T27、光センサ21および補助容量18を構成する半導体層32、51、61、71、P⁻領域81およびN⁻領域82のそれぞれを形成する。

【0051】

さらに、これら半導体層32、51、61、71、P⁻領域81およびN⁻領域82のそ

10

20

30

40

50

れぞれを含むアンダーコート層 31 の表面上の全面に、プラズマ CVD 法により酸化シリコン膜のゲート絶縁膜 37 を 80 nm 程度成膜する。

【0052】

次いで、このゲート絶縁膜 37 上にレジスト膜を形成した後、このレジスト膜を所定の形状にパターンニングする。

【0053】

この後、このレジスト膜をマスクとして補助容量 18 の半導体層 51 と、画素 TFT 16 のソース領域 35 およびドレイン領域 36 と、N 型駆動回路 TFT 27 のドレイン領域 74 およびソース領域 75 と、光センサ 21 の N^+ 領域 84 とのそれぞれに、イオンドーピング法により PH_3 / H_2 をソースガスとし、加速電圧を 50 KeV およびドーズ量を $2 \times 10^{15} \text{ atoms/cm}^2$ としてリン (P) を高濃度注入する。 10

【0054】

この後、ゲート絶縁膜 37 上のレジスト膜を除去した後、このゲート絶縁膜 37 の表面上の全面に、スパッタ法によりモリブデン—タングステン (MoW) 合金膜としての図示しない電極膜を 300 nm 程度被着する。

【0055】

さらに、フォトリソグラフィ工程により P 型駆動回路 TFT 26 および光センサ 21 それぞれの電極膜を所定の形状にパターンニングする。

【0056】

この後、この電極膜をマスクとして、イオンドーピング法により B_2H_6 / H_2 をソースガスとし、加速電圧を 44 KeV およびドーズ量を $1 \times 10^{15} \text{ atoms/cm}^2$ としてボロン (B) を高濃度注入して、P 型駆動回路 TFT 26 のソース領域 63 およびドレイン領域 62 と、光センサ 21 の P^+ 領域 83 とのそれぞれを形成する。 20

【0057】

さらに、画素 TFT 16、N 型駆動回路 TFT 27、光センサ 21 および補助容量 18 それぞれの電極膜を所定の形状にパターンニングして、画素 TFT 16 のゲート電極 38 と N 型駆動回路 TFT 27 のゲート電極 76 と光センサ 21 のゲート電極 85 と補助容量線 17 とのそれぞれを形成する。

【0058】

この後、これら画素 TFT 16、N 型駆動回路 TFT 27 および光センサ 21 それぞれのゲート電極 38、76、85 をマスクとして、イオンドーピング法により PH_3 / H_2 をソースガスとし、加速電圧を 50 KeV およびドーズ量を $4 \times 10^{13} \text{ atoms/cm}^2$ としてリン (P) を低濃度注入して、画素 TFT 16 および N 型駆動回路 TFT 27 の LDD 部 33、34、72、73 と光センサ 21 の N^- 領域 82 とのそれぞれを形成する。 30

【0059】

このとき、この光センサ 21 のゲート電極 85 によって、この光センサ 21 の P^- 領域 81 が、下方からの光を遮光する構造となる。

【0060】

さらに、これら画素 TFT 16 および N 型駆動回路 TFT 27 の LDD 部 33、34、72、73 と光センサ 21 の N^- 領域 82 のそれぞれを 600 °C の温度で 1 時間程度アニールし、これら LDD 部 33、34、72、73 および N^- 領域 82 に注入された不純物を活性化する。 40

【0061】

次いで、これら画素 TFT 16、補助容量 18、P 型駆動回路 TFT 26、N 型駆動回路 TFT 27 および光センサ 21 を含んだゲート絶縁膜 37 の表面上の全面に、プラズマ CVD 法により酸化シリコン膜の層間絶縁膜 39 を 660 nm 程度成膜する。

【0062】

この後、この層間絶縁膜 39 およびゲート絶縁膜 37 に、画素 TFT 16 のソース領域 35 およびドレイン領域 36 のそれぞれに連通するコンタクトホール 41、42 と、P 型駆 50

動回路TFT26のドレイン領域62およびソース領域63に連通するコンタクトホール65, 66と、N型駆動回路TFT27のドレイン領域74およびソース領域75に連通するコンタクトホール77, 78と、光センサ21のP⁺領域83およびN⁺領域84に連通するコンタクトホール86, 87とのそれぞれをフォトエッチング法により形成する。

【0063】

さらに、層間絶縁膜39の表面上に、スパッタ法によりモリブデン(Mo)膜を15nm程度被着した後に、アルミニウム-ネオジム(AlNd)膜を600nm程度被着し、さらにモリブデン(Mo)膜を50nm程度被着して金属合金膜としての図示しない配線膜を形成する。

10

【0064】

この後、この配線膜をフォトエッチング法により所定の形状にパターニングして、信号線14を形成するとともに、この信号線14を画素TFT16のドレイン領域36に電氣的に接続させる。

【0065】

同時に、画素TFT16のソース領域35を補助容量線17に電氣的に接続させるとともに、光センサ21および電気信号変換回路22におけるP型領域電極88およびN型領域電極89などの各種配線を電氣的に接続させ、さらにP型駆動回路TFT26およびN型駆動回路TFT27におけるドレイン領域62, 74およびソース領域63, 75などの各種配線を電氣的に接続させる。

20

【0066】

このとき、光センサ21のN⁺領域84に電氣的に接続されたN型領域電極89は、この光センサ21のN⁻領域82の下方である表面側からの入射する光を遮光するように構成されている。

【0067】

さらに、画素TFT16、P型駆動回路TFT26およびN型駆動回路TFT27ドレイン電極44, 67, 79およびソース電極43, 68, 80と、光センサ21のP型領域電極88およびN型領域電極89を含んだ層間絶縁膜39の表面上の全面に、プラズマCVD法により窒化シリコン膜の保護絶縁膜45を成膜した後、フォトエッチング法により画素TFT16のドレイン電極44に連通するコンタクトホール53を保護絶縁膜45

30

【0068】

次いで、この保護絶縁膜45の表面上の全面に透明有機絶縁膜46を2μm程度塗布して成膜した後、この透明有機絶縁膜46に画素TFT16のドレイン電極44に連通するコンタクトホール53を再度形成する。

【0069】

この後、このコンタクトホール53を含む透明有機絶縁膜46の表面上に、スパッタ法によりITO(Indium Tin Oxide)を100nm程度成膜してから、フォトエッチング法により所定の形状にパターニングして画素電極15を形成する。

【0070】

さらに、この画素電極15を含む透明有機絶縁膜46の表面全面に、低温キュア型のポリイミドを印刷塗布してから、ラビング処理して配向膜47を形成してアレイ基板11とする。

40

【0071】

一方、対向基板91は、この対向基板91のガラス基板92の表面上の全面に顔料が分散された赤、緑、青の3色のカラーフィルタ93のそれぞれをストライプ状に形成する。

【0072】

この後、これらカラーフィルタ93の表面上の全面に、スパッタ法によりITO(Indium Tin Oxide)を100nm程度成膜して対向電極94を形成する。

【0073】

50

さらに、この対向電極 94 の表面上の全面に、ポリイミドを印刷塗布しから、ラビング処理して配向膜 95 を形成して対向基板 91 とする。

【0074】

次いで、この対向基板 91 の配向膜 95 側にアレイ基板 11 の配向膜 47 側を対向させてセル化する。この後、これらアレイ基板 11 の配向膜 47 と対向基板 91 の配向膜 95 との間に液晶 96 を注入して封止する。

【0075】

この後、アレイ基板 11 のガラス基板 12 の裏面を研磨して、このガラス基板 12 の厚さを $70\text{ }\mu\text{m}$ 以上 $100\text{ }\mu\text{m}$ にする。

【0076】

そして、これらアレイ基板 11 および対向基板 91 それぞれの裏面側に図示しない偏向板を貼り付けて、入力機能付きの液晶表示装置 1 とする。

【0077】

上述したように、上記第 1 の実施の形態によれば、アレイ基板 11 の光センサ 21 による光検出感度に対するガラス基板 12 の厚さの依存を評価したところ、図 4 に示すように、この光センサ 21 の光検出感度は、アレイ基板 11 のガラス基板 12 の厚さが薄くなるほど向上した。特に、この光センサ 21 の光検出感度の指標を、検出物 S が白の用紙である場合の光電流と黒の用紙である場合の光電流との比として、使用した用紙の反射率のコントラスト比が 15 であった場合には、このガラス基板 12 の厚さが $100\text{ }\mu\text{m}$ のときに、光センサ 21 の光検出感度がコントラスト比である 15 となり飽和となった。

【0078】

一方、このガラス基板 12 の厚さを機械研磨や化学研磨などの研磨によって薄くするときの機械強度の限界が $70\text{ }\mu\text{m}$ である。したがって、光センサ 21 の光検出感度を最大にするためには、ガラス基板 12 の厚さを $70\text{ }\mu\text{m}$ 以上 $100\text{ }\mu\text{m}$ とすればよい。

【0079】

すなわち、このガラス基板 12 の厚さを $70\text{ }\mu\text{m}$ 以上 $100\text{ }\mu\text{m}$ 以下とすることにより、このガラス基板 12 の表面側である対向基板の裏面側に配設されたバックライト 98 からの光が、このガラス基板 12 の表面側から入射した際に、このガラス基板 12 の内部で多重反射を繰り返し、十分に減衰する。この結果、このガラス基板 12 による表面側から入射する光の多重反射による迷光の光センサ 21 への入射を簡単な構成で確実に防止できる。

【0080】

したがって、この光センサ 21 に入射する光をガラス基板 12 の裏面側から入射する光のみに制限できるから、このガラス基板 12 の裏面側に対向した検出物 S により反射された光のみを光センサ 21 が検知する。この結果、このガラス基板 12 の裏面側から入射する光による光センサ 21 の余分な光電流の発生を防止できるので、この光センサ 21 による光検出感度を向上でき、この光センサ 21 による検出物 S に対する検出感度の向上を実現できる。よって、高感度な入力機能付きの液晶表示装置 1 を製造できる。

【0081】

また、この光センサ 21 の P^- 領域 81 および N^- 領域 82 のそれぞれの表面側を、この光センサ 21 のゲート電極 85、P 型領域電極 88 および N 型領域電極 89 によって覆った。この結果、バックライト 98 から照射される光の光センサ 21 の P^- 領域 81 および N^- 領域 82 への入射を、この光センサ 21 のゲート電極 85、P 型領域電極 88 および N 型領域電極 89 によって確実に防止できる。このため、この光センサ 21 の余分な光電流の発生を防止できるから、この光センサ 21 による光検出感度をより向上できる。

【0082】

なお、上記第 1 の実施の形態によれば、光センサ 21 の P^- 領域 81 および N^- 領域 82 のそれぞれの表面側を、この光センサ 21 のゲート電極 85、P 型領域電極 88 および N 型領域電極 89 によって覆ったが、これらゲート電極 85、P 型領域電極 88 および N 型領域電極 89 の少なくともいずれかにより、光センサ 21 の P^- 領域 81 および N^- 領域

10

20

30

40

50

８２のそれぞれの表面側が覆われていればよい。

【００８３】

また、アレイ基板１１のガラス基板１２の厚さを制御して、このガラス基板１２の表面側から入射する光の多重反射を防止する構成としたが、このガラス基板１２の材質の変更などして、このガラス基板１２による光の屈折率を制御したり、図５に示す第２の実施の形態のように、ガラス基板１２の裏面にシート状のフィルム体としての反射防止フィルム９９を貼り付けるなどして、このガラス基板１２の表面側から入射する光の多重反射を防止する構成としても上記第１の実施の形態と同様の作用効果を奏することができる。

【００８４】

さらに、アレイ基板１１と対向基板９１との間に液晶９６を介挿させた液晶表示装置１について説明したが、液晶表示装置１以外の平面表示装置であっても対応させて用いることができる。

【００８５】

【発明の効果】

本発明によれば、透光性基板の一主面側から入射する光の多重反射による光電変換素子への入射を防止する厚さを透光性基板が有する。この結果、この透光性基板の一主面側から入射する光による光電変換素子の余分な光電流の発生を防止できるから、この光電変換素子による光検出感度を向上できる。

【００８６】

また、透光性基板に取り付けたフィルム体によって、透光性基板の一主面側から入射する光の多重反射による光電変換素子への入射を防止できる。このため、この透光性基板の一主面側から入射する光による光電変換素子の余分な光電流の発生を防止できるから、この光電変換素子による光検出感度を向上できる。

【００８７】

さらに、透光性基板の一主面側から入射する光の多重反射による光電変換素子への入射を防止する屈折率を透光性基板が有する。この結果、この透光性基板の一主面側から入射する光による光電変換素子の余分な光電流の発生を防止できるから、この光電変換素子による光検出感度を向上できる。

【図面の簡単な説明】

【図１】本発明の平面表示装置の第１の実施の形態を示す説明断面図である。

【図２】同平面表示装置を示す説明平面図である。

【図３】同上平面表示装置の一部を示す説明平面図である。

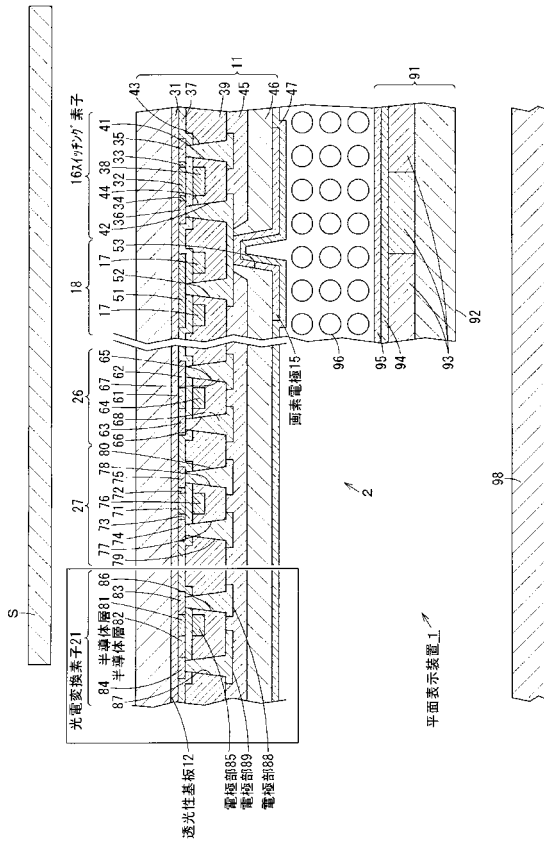
【図４】同上平面表示装置の透光性基板の厚さと光電変換素子の光検出感度との関係を示す２次グラフである。

【図５】本発明の第２の実施の形態の平面表示装置を示す説明断面図である。

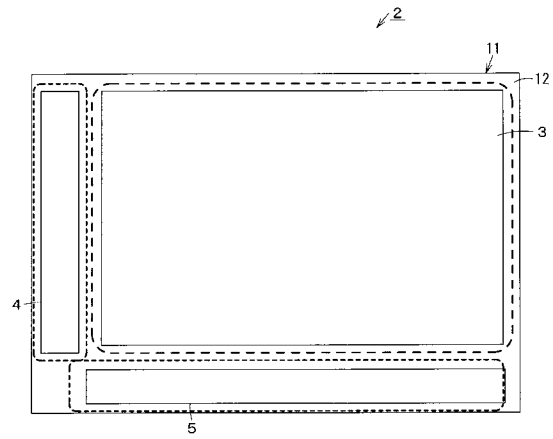
【符号の説明】

- １ 平面表示装置としての液晶表示装置
- １２ 透光性基板としてのガラス基板
- １５ 画素電極
- １６ スイッチング素子としての画素ＴＦＴ
- ２１ 光電変換素子としての光センサ
- ８１ 半導体層としてのＰ⁻領域
- ８２ 半導体層としてのＮ⁻領域
- ８５ 電極部としてのゲート電極
- ８８ 電極部としてのＰ型領域電極
- ８９ 電極部としてのＮ型領域電極

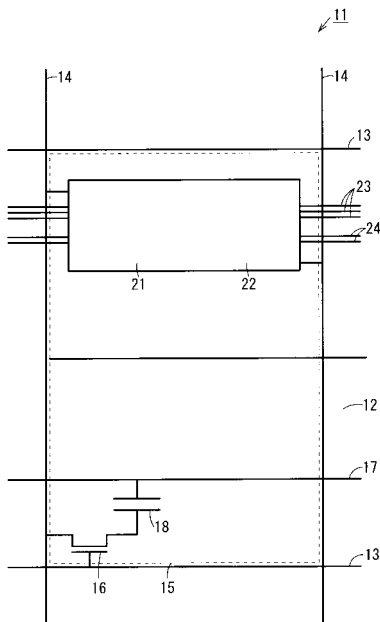
【図 1】



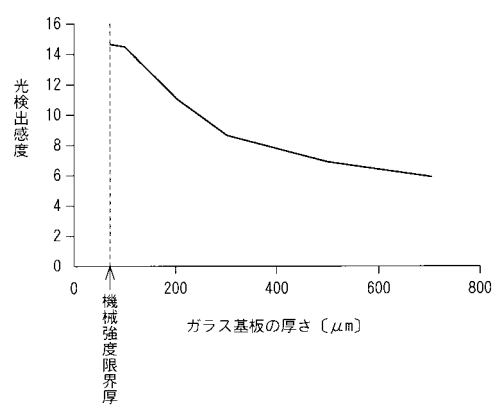
【図 2】



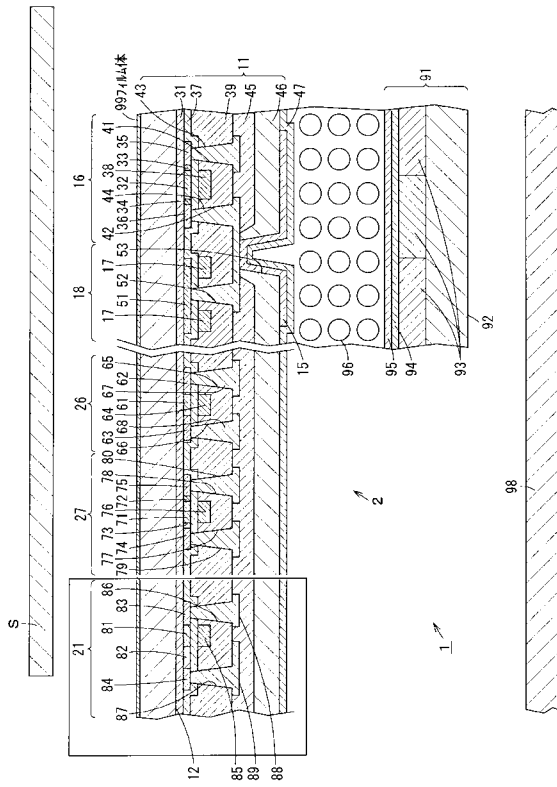
【図 3】



【図 4】



【図 5】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
G O 9 F 9/30	G O 2 F 1/1368	
	G O 9 F 9/30 3 3 8	

(72)発明者 石田 知

東京都港区港南四丁目1番地8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 2H090 JA06 JB02 JC07 JD06 JD15 LA04

2H091 FA01X GA01 GA13 GA14 LA03

2H092 GA59 GA61 JA24 JB69 LA03 LA05 LA12 PA01 PA08 PA13

2H093 NA16 NC09 NC11 NC34 NC53 NC73 ND41 NE01

5C094 AA21 BA03 BA43 CA19 DA13 DB05 EA04 FA02

专利名称(译)	平面表示装置		
公开(公告)号	JP2005010690A	公开(公告)日	2005-01-13
申请号	JP2003177346	申请日	2003-06-20
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	多田典生 石田知		
发明人	多田 典生 石田 知		
IPC分类号	G02F1/1333 G02F1/133 G02F1/1335 G02F1/135 G02F1/1368 G09F9/30		
FI分类号	G02F1/1333.500 G02F1/133.530 G02F1/133.550 G02F1/1335 G02F1/135 G02F1/1368 G09F9/30.338		
F-TERM分类号	2H090/JA06 2H090/JB02 2H090/JC07 2H090/JD06 2H090/JD15 2H090/LA04 2H091/FA01X 2H091/GA01 2H091/GA13 2H091/GA14 2H091/LA03 2H092/GA59 2H092/GA61 2H092/JA24 2H092/JB69 2H092/LA03 2H092/LA05 2H092/LA12 2H092/PA01 2H092/PA08 2H092/PA13 2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC34 2H093/NC53 2H093/NC73 2H093/ND41 2H093/NE01 5C094/AA21 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DB05 5C094/EA04 5C094/FA02 2H190/JA06 2H190/JB02 2H190/JC07 2H190/JD06 2H190/JD15 2H190/LA04 2H191/FA01X 2H191/GA01 2H191/GA19 2H191/GA20 2H191/LA03 2H192/AA24 2H192/BC42 2H192/CB02 2H192/DA12 2H192/DA44 2H192/EA43 2H192/FB27 2H192/GB05 2H192/GB13 2H192/GB23 2H192/GB24 2H192/GD02 2H192/HA88 2H193/ZA04 2H193/ZH13 2H193/ZP01 2H291/FA01X 2H291/GA01 2H291/GA19 2H291/GA20 2H291/LA03		
代理人(译)	山田哲也		
其他公开文献	JP4251622B2		
外部链接	Espacenet		

摘要(译)

提供一种能够提高光学传感器的光检测灵敏度的液晶显示装置。阵列基板11的玻璃基板12的厚度为70 μ m以上且100 μ m以下。可以充分衰减从玻璃基板12的前表面侧入射的多重反射光。在玻璃基板12的表面上形成有光学传感器21。可以防止从玻璃基板12的表面侧入射的光进入光学传感器21。可以防止由于从玻璃基板12的前表面侧入射的光而引起的光传感器21的多余的光电流的产生。可以提高光传感器21的光检测灵敏度。

[选型图]图1

