

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-538511

(P2004-538511A)

(43) 公表日 平成16年12月24日(2004.12.24)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09F 9/30	G09F 9/30 338	2H092
G02F 1/133	G02F 1/133 550	2H093
G02F 1/1345	G02F 1/1345	5C006
G02F 1/1368	G02F 1/1368	5C080
G09G 3/20	G09G 3/20 624B	5C094
審査請求 未請求 予備審査請求 未請求 (全 36 頁) 最終頁に続く		

(21) 出願番号 特願2003-519680 (P2003-519680)
 (86) (22) 出願日 平成14年8月12日 (2002.8.12)
 (85) 翻訳文提出日 平成15年4月24日 (2003.4.24)
 (86) 国際出願番号 PCT/IB2002/003190
 (87) 国際公開番号 W02003/014808
 (87) 国際公開日 平成15年2月20日 (2003.2.20)
 (31) 優先権主張番号 0119653.4
 (32) 優先日 平成13年8月11日 (2001.8.11)
 (33) 優先権主張国 英国 (GB)
 (81) 指定国 EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), CN, JP, KR

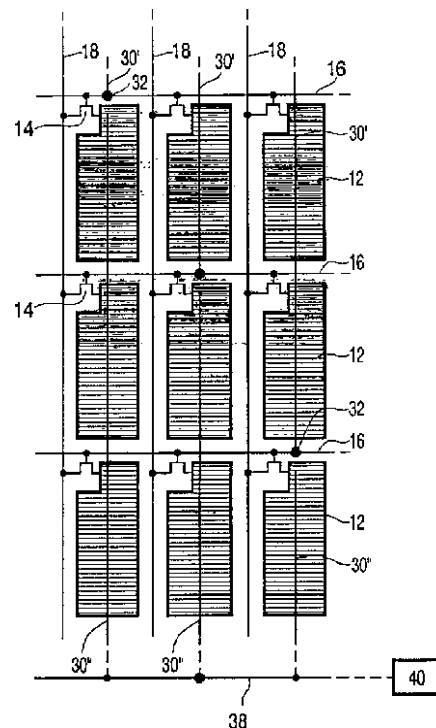
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アインドーフエン フルーネヴァウツウェッハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
 (74) 代理人 100087789
 弁理士 津軽 進
 (74) 代理人 100114753
 弁理士 宮崎 昭彦

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

アクティブマトリクス表示装置が、画素エレメント、例えば液晶画素エレメントのアレイと、行及び列の方向にそれぞれ延在し、画素エレメントに接続されたアドレス導体の第1及び第2のセット16、18と、アドレス導体の一方のセット18と同一の方向に延在し、それぞれがアドレス導体の他方のセット16の対応する1つに接続された接続導線のセット30'であり、これを介してアドレッシング信号がアドレス導体の他方のセットに供給される接続導線のセット30'とを有する。望ましくないディスプレイのアーチファクトを回避するために、各接続導線30'は、アレイの1つのサイドから延在すると共に、関連するアドレス導体16への接続点32の近傍で終端し、接続点32の付近からアレイの対向するサイドまで延在する対応する相補的な導線30''が設けられており、この相補的な導線は、接続ライン30'から電気的に分離されており、参照信号源40にされている。



【特許請求の範囲】

【請求項 1】

支持体に保持され、それぞれが画素エレメント電極及び関連するスイッチング素子を有する画素エレメントの行及び列のアレイと、
前記画素エレメントに接続され、前記行及び列の方向にそれぞれ延在するアドレス導体の第 1 及び第 2 のセットであり、これらを介して前記画素エレメントがアドレスされる当該アドレス導体の第 1 及び第 2 のセットと、
前記支持体に保持され、それぞれが一方のセットの前記アドレス導体の各隣接するペアの間において当該ペアの方向に延在し、前記アドレス導体の他方のセットの対応する 1 つに接続された接続導線のセットであり、これを介してアドレッシング信号が前記アドレス導体の他方のセットに供給される当該接続導線のセットと
を備えたアクティブマトリクス表示装置であって、
各接続導線は、前記アレイの 1 つのサイドから前記他方のセットの関連するアドレス導体に接続される接続ポイントまで延在し、各接続導線に対応して、前記接続ポイントの近傍から前記アレイの対向するサイドまで延在し、参照信号源に接続された相補的な導線が設けられたアクティブマトリクス表示装置。

【請求項 2】

前記接続導線及び前記相補的な導線が、前記画素エレメント電極の下部に延在し、誘電層により前記画素エレメント電極から分離された請求項 1 記載の装置。

【請求項 3】

前記接続導線及び前記相補的な導線は、前記画素エレメントの近傍に横方向に延在する請求項 1 記載の装置。

【請求項 4】

接続導線及びその関連する相補的な導線が、前記一方のセットの対応するアドレス導体の傍らに延在する請求項 3 記載の装置。

【請求項 5】

各接続導線及びその関連する相補的な導線が、前記接続ポイントの近傍において導線の長さに沿って不連続点を有する前記アレイの対向するサイドの間に延在する単一の導線として設けられた請求項 1 ないし 4 のいずれか 1 項に記載の装置。

【請求項 6】

駆動回路が、前記画素エレメントの前記スイッチング素子に選択電圧レベル及び非選択電圧レベルを有するアドレッシング信号波形を供給する前記接続導線のセットに接続された請求項 1 ないし 5 のいずれか 1 項に記載の装置。

【請求項 7】

前記相補的な導線のための参照信号が、前記非選択電圧レベルに対応する請求項 6 記載の装置。

【請求項 8】

前記画素エレメントが液晶画素エレメントを有する請求項 1 ないし 7 のいずれか 1 項に記載の装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス表示装置に係り、より具体的には、支持体に保持され、それぞれが画素エレメント電極及び関連するスイッチング素子を有する画素エレメントの行及び列のアレイと、画素エレメントに接続され、行及び列の方向にそれぞれ延在するアドレス導体の第 1 及び第 2 のセットであり、これらを介して画素エレメントがアドレスされる当該アドレス導体の第 1 及び第 2 のセットと、支持体に保持され、それぞれが一方のセットのアドレス導体の各隣接するペアの間において当該ペアの方向に延在し、アドレス導体の他方のセットの対応する 1 つに接続された接続導線のセットであり、これを介してアドレッシング信号がアドレス導体の他方のセットに供給される当該接続導線のセットと

を備えたアクティブマトリクス表示装置に関する。

【0002】

【従来の技術】

この種のアクティブマトリクス液晶表示装置（AMLCD）であり、例えば、移動電話機、カメラのビューファインダ及びシステム電子手帳などのような携帯用のアプリケーションに用いるのに適しているものの一例は、欧州特許出願第01200466.9号（出願人整理番号PHNL010074）に説明されている。この装置では、各接続導線が、アレイの1つのサイドから対向するサイドまで延在しており、その導体にわたって延在する長さに沿ったある位置において関連するアドレス導体に接続されている。

【0003】

アドレス導体のセットの1つに接続される接続導線のセットを設けることは、行アドレス導体に与えられ、選択（走査）信号を有し、画素エレメントを駆動するアドレッシング信号と列アドレス導体に与えられる表示データ信号とが、従来のAMLCDなどにおけるような2つの互いに垂直なサイドではなく、支持体の共通のサイド又は支持体の対向する平行な両サイドのいずれかにおいて供給されることを可能にする。典型的には、従来のAMLCDでは、選択信号を運ぶ行アドレス導体のセット及びデータ信号を運ぶ列アドレス導体のセットはそれぞれ、装置の表示領域を規定する画素エレメント電極アレイの領域を超えて支持体の対応する周辺領域まで、これらが保持されている矩形の支持体上に延在し、電気的な接点 addresses 導体のセットと作られることを可能にする目的のために、支持体の2つの隣接する縁部を有している。例えば、行駆動回路IC及び列駆動回路ICは、延長されたアドレス導体に接続される出力端子と共に支持体のこれら周辺の額縁（border）領域に直接実装されることが可能であり、また、代替として、フォイル上のトラックを介してアドレス導体に接続される出力端子と共に当該フォイルに実装されることが可能である。上述したように接続導線のセットを用いることは、支持体の単なるサイドに沿った共通の周辺額縁領域若しくは支持体の対向する平行な両サイドに沿った対応する周辺額縁領域のいずれかにおいて、又は、代替として、そのような部分において作られるべきフォイルの接続のために、ICが代わりに設けられることを可能にする。

【0004】

上述した特許出願において説明されているように、この特徴は、例えば、支持体のあるサイズに対して有効な表示領域が1つの次元（dimension）において増大されることを可能にするために用いられ、これは、表示装置が小型の携帯用製品に用いられる場合に有利である。同様の種類の接続方法が、R. G. Greene等による論文「Manufacturing of Large Wide-View Angle Seamless Tiled AMLCDs for Business and Consumer Applications」（IDMC2000, p191-194）において述べられている。この場合の利点は、アドレス導体が単なる1つの縁部から駆動されることを可能にすることにより個々の表示パネルをタイルのように並べることが容易になることである。

【0005】

【発明が解決しようとする課題】

しかしながら、このような表示装置の動作特性は、接続導線の存在により悪影響を及ぼされ得ることが分かった。特に、上記表示装置は画素エレメントの非均一性及び画像の残留（retention）の問題を被ることが分かった。

【0006】

本発明の目的は、冒頭の段落において説明した種類の改善された表示装置を提供することにある。

【0007】

本発明の他の目的は、上述した問題が少なくともある程度改善される表示装置を提供することにある。

【0008】

【課題を解決するための手段】

本発明によれば、冒頭の段落において述べた種類のアクティブマトリクス表示装置であって、各接続導線が、アレイの1つのサイドから他方のセットの関連するアドレス導体に接続される接続ポイントまで延在し、各接続導体に対応して、接続ポイントの近傍からアレイの対向するサイドまで延在し、参照信号源に接続された相補的な (complementary) 導線が設けられたアクティブマトリクス表示装置が提供される。

【0009】

接続導線に関連する相補的な導線を設けることは、望ましくないディスプレイのアーチファクトが大きく低減された状態で上述した問題につながり、従って、画素エレメントの出力の非均一性がより少なく、画像の残留の影響がより少ない改善されたディスプレイの品質をもたらす。本発明は、接続導線の存在により引き起こされるある寄生容量の作用がこれらの問題の原因であるという認識から生じている。上記寄生容量の性質は、接続ポイントにおいて接続導線に接続されたアドレス導体に結合された接続ポイントの場所における画素エレメントが、アレイの他の場所の画素エレメントとは異なる結果を経験することを意味する。アドレス導体の一方のセットが列アドレス導体を有し、他方のセットが行アドレス導体を有し、これらにデータ信号及び選択信号がそれぞれ供給される場合、接続導線の存在は、ある供給されるデータ信号電圧に関して、それらのディスプレイの出力が他の画素エレメントからのディスプレイの出力と異なるという結果を伴って、接続ポイントの場所における画素エレメントに対するキックバック作用が異なることを意味する。また、これらの画素エレメントは、液晶材料のエージング作用及び画層の残留の問題を引き起こす重大な実効直流電圧により影響を及ぼされ得る。 10 20

【0010】

上記相補的な導線は、実際には、1つの接続導線及びその関連する相補的な導線に関連する画素エレメントに関して、接続ポイントまでの画素エレメント及び接続ポイント後の画素エレメントは全て、各場所において存在する寄生容量の点で同様の環境を有するように、「ダミー」接続導線としての役割を果たす。

【0011】

従って、相補的なラインに供給される適切な参照信号、例えば、コネクタ導線が行アドレス導体に（選択電圧レベル及び非選択電圧レベルを有する）行駆動波形を運ぶ場合にそのような波形の非選択レベルに対応する参照信号がある場合、全ての画素エレメントはほぼ同様のキックバック作用を経験することが確実になる。 30

【0012】

上記アレイにおける画素エレメントの行の数が列の数と異なり、画素エレメントの列（又は行）の数が必要とされる接続導体の数を超える可能性がある。このような場合には、接続導線と関連しない画素エレメントの列（又は行）のそれぞれに関して相補的な導線が設けられ、接続導線と関連しない画素エレメントが関連する接続導線を有する画素エレメントと同様の容量的環境を経験し、それによりアレイにわたって画素エレメントの均一性を確実にするように、上記導線はアレイの1つのサイドから他のサイドまで延在する。

【0013】

上記相補的な導線及び接続導線は、接続導線及び対応する関連した相補的な導線が、例えば、それぞれが長さに沿って不連続点を有する各ラインに導電材料の堆積層のパターニングを行うことによって形成された状態で、接続導線及び相補的な導線を構成する2つの部分をそれぞれ規定するように、対応する接続ポイントにより決定される適切な場所において、同じ手法で設けられることが好ましい。接続導線及び相補的な導線は、例えば異なる堆積層から別個の工程段階において、画素エレメント電極などに対する2つのラインの位置決めが同一ではない状態で形成され得る。しかしながら、この手法は、製造工程を複雑にすることに加えて、関連する容量の性質の著しい違いをもたらす可能性がある。 40

【0014】

上記接続導線及び相補的な導線は、画素エレメント電極の下部に延在してもよく、誘電層により画素エレメント電極から分離されてもよい。代替として、これらのラインは、画素 50

エレメント電極の近傍に横方向に (l a t e r a l l y) 延在するように、例えば一方のセットのアドレス導体の傍らに (a l o n g s i d e) 配されてもよい。これは、これらのラインと重要な因子である画素エレメント電極との間の容量を低減する。これは、画素エレメント電極が I T O のような透明な導電材料を有する透過型である表示装置の場合においても有利である。そうでなければ、画素エレメント電極の下部に配されるとき、ラインは同様に透明な材料よりなる必要があるからである。しかしながら、これらのラインを画素エレメント電極の近傍に横方向に位置付けることは、画素エレメントの開口部の減少を招く。

【0015】

本発明は、特にアクティブマトリクス液晶表示装置に適用可能であるが、(所謂ポリマタイプ及び有機タイプの両方の) 電気泳動、エレクトロクロミック、エレクトロルミネセント表示装置のような画素エレメントのための他の電気光学材料を用いた種々のアクティブマトリクス表示装置にも有利に適用され得る。 10

【0016】

本発明によるアクティブマトリクス表示装置の実施の形態が、添付の図面を参照して例として説明されるであろう。

【0017】

図は、単に模式的なものであり、正確な縮尺では描かれていないことを理解されたい。同一又は類似の部分を示すために、図面全体を通して同一の参照符号が用いられている。

【0018】

【発明の実施の形態】

図1を参照すると、アクティブマトリクス液晶表示装置の従来の型の一部が示されており、この液晶表示装置は、個々にアドレス可能な画素エレメント10のマトリクスアレイ11を備えており、各画素エレメント10は、ディスクリット画素エレメント電極12と、アモルファスシリコン (a - S i) 又はポリシリコンを含み得る薄膜トランジスタ (T F T) の形の関連するスイッチングデバイス14とを有している。このような装置の一般的な構造及び動作は、例えば米国特許第5130829号公報に説明されており、この公報に参照が求められ、上述した点における上記公報の開示内容は、本明細書に組み込まれたものとする。簡潔に説明すると、画素エレメント電極12は行及び列に体系づけられており、第1及び第2の互いに垂直なアドレス導体のセット、すなわち、行選択アドレス導体16及び列データアドレス導体18が、各画素エレメント電極12がアドレス導体の各ペアの交差部の近傍に位置する状態で、これら電極12間に延在する。上記画素エレメント電極、アドレス導体のセット及びT F Tは全て、支持体20、例えばガラス板上に保持されている。その上には、第2の支持体、例えばガラス板(図示せず)が支持体20と平行に配設されており、共通電極を保持している。上記2つの支持体は互いに離間されており、液晶材料は、これら支持体の間に配され、支持体間のアレイの周辺部を囲むように延在するシールにより封じ込まれている。各画素エレメント電極は、その上部の共通電極及びこれらの間の液晶材料と共に各表示エレメントを規定している。 30

【0019】

上記画素エレメントを駆動するために、行駆動回路26及び列駆動回路28が、行アドレス導体16のセット及び列アドレス導体18のセットの一端部において当該セットにそれぞれ接続されている。行駆動回路26は、行アドレス導体16のそれぞれに選択(走査)信号を順次供給して、その結果、各行のT F T 14をオンにし、列駆動回路28は、例えば入力ビデオ信号をサンプリングすることにより得られるデータ(ビデオ)信号を列アドレス導体18のそれぞれに行の選択と同期して供給する。駆動回路26、28は、通常、図1に示されているように、アレイの2つの隣接するサイドと支持体の対応する縁部との間において支持体20領域上に実装されるか、又は、フォイル若しくはテープが支持体の2つの隣接するサイドに沿った周辺領域においてアドレス導体のセットと相互接続される状態でC O F (C h i p o n F o i l) 若しくはT C P (T a p e C a r r i e r P a c k a g e) 技術を用いる場合には代替としてフォイル又はテープ上に実装され得る I 40 50

Cの形で設けられている。ポリシリコンAMLCDの場合、その代わりに、実際には、上記駆動回路は同様のプロセスを用いて支持体20の周辺領域に、支持体上に完全に集積されるようにTFT及びアドレス導体などを有するアクティブマトリクス回路として同時に製造され得る。

【0020】

理解されるであろうように、高さ及び幅の両方における支持体20の全体の大きさは、上述したようなものを収容するアレイよりも著しく大きい必要があるために、ICの実装又はテープ若しくはフォイルとの相互接続の提供のために2つの隣接するサイドに沿った上記支持体の周辺領域を捧げる必要は制限される。この点で有利さを提供する代替の装置が提案されている。図2は、その代替の装置の原理を用いた画素エレメントアレイの一部を示している。このアレイは、同様に、画素エレメント電極12と、行アドレス導体16及び列アドレス導体18のセットに接続された関連するTFT14とを有している。しかしながら、この装置では、行アドレス導体16は画素エレメントアレイの対向する縁部のごく近傍において終端し、列アドレス導体18と平行に延在する追加の列導体の形の接続ライン30のセットが設けられており、これらライン30のそれぞれは、対応する列の画素エレメント電極12に沿ってアレイの一方のサイドから対向するサイドまで延在すると共に、接続ポイント32において行アドレス導体の対応する1つに接続されている。この接続ポイントの場所は、ライン30と関連するアドレス導体16との交差部に対応し、各ラインに関して異なる。追加の接続ライン30は、例えば図3において表示装置の模式的な平面図に示されているように、データ信号が列アドレス導体18に供給されるサイドに一致又は対向するアレイのサイドから行アドレス導体16に行選択信号が供給されることを可能にする。図3の場合、行駆動回路IC26及び列駆動回路IC28が、画素エレメントアレイ11の対向する両サイドの支持体20の対応する縁部において支持され、列アドレス導体18及びライン30の端部が列駆動回路IC及び行駆動回路ICにそれぞれ接続された状態である。その結果、行駆動回路IC又は行アドレス導体16のセットへの相互接続のために行アドレス導体16のセットの端部近傍のサイドに沿って支持体20の周縁領域を捧げる必要がない。これは、ある表示サイズに対する支持体領域の低減が可能であることを意味し、例えば単一の処理を施される、最初大きな領域のガラスのシートから得られる表示装置用のより多数のアクティブプレートをもたらす。また、対向するサイドにおける最小の過剰領域を伴う表示装置の対称性は、多くのアプリケーションにおいて、特に携帯電話機などに用いられるような小さな領域の表示装置のために、有利である。

【0021】

この種の表示装置の例及びそのような装置を用いることにより得られる他の利点は、欧州特許出願第01200466.9号明細書に開示されており、この明細書に参照が求められ、その開示内容は本明細書に組み込まれたものとする。

【0022】

R. G. Greene等による論文「Manufacturing of Large Wide-View Angle Seamless Tiled AMLCDs for Business and Consumer Applications」(IDMC2000, p191-194)において、行アドレス導体及び列アドレス導体がアレイの同じサイドから接続されると共に、より便利に大領域ディスプレイを生成するために個々のパネルがタイルのように並べられることを可能にするビューを伴う追加の接続ラインを用いる液晶パネルが説明されている。このパネルでは、追加の接続ラインは、列アドレス導体の近傍の、画素エレメント電極の隣接する列の間に延在している。

【0023】

図2に示されている装置では、ライン30はそれぞれ、画素エレメント電極の列の下部のほぼ中央に延在する。反射性金属電極12を用いる反射型ディスプレイである表示装置の場合には、上記ラインはアルミニウムのような金属から形成されてもよく、便利のように列アドレス導体18と同じ堆積金属層から形成されてもよい。電極12がITOのような透明な導電材料を有する透過型ディスプレイの場合には、ライン30は同様に透明な導電

材料により形成されることが好ましい。

【0024】

この種の表示装置の動作時には、望ましくないディスプレイのアーチファクト、特に画素エレメントの非均一性が起こる可能性がある。これらのアーチファクトは、追加の接続ライン30の存在により生じる容量の影響によって大いに引き起こされることが明らかにされなければならない。

【0025】

そのようなアーチファクトが少なくとも著しく低減される本発明による表示装置の一実施の形態が、図4を参照して説明される。図4は、図2と同様の装置のアクティブマトリクスプレートの一部を示しているが、ある変更を伴っている。明らかであるように、ここでは接続ライン30に相当する導体が、各場合に接続ポイントにおいて又は接続ポイントの非常に近傍において終端する第1の部分30'及び第2の部分30"を形成するように、対応する接続ポイント32の領域において電氣的に不連続とされている。接続ポイント32までの各部分30'は、アレイの1つのサイドの近傍の端部において列駆動回路26に接続されており、この部分は関連する行アドレス導体16に選択信号波形を供給する際に前述のライン30と同じ機能を果たす。

【0026】

部分30'から電氣的に分離された残りの部分30"は、第1の部分30'の端部及び接続ポイント32の非常に近傍から、アレイの、これらの部分30"の全てに共通の導線38を介して参照信号源40に接続される反対のサイドまで延在している。

【0027】

部分30"は、一般に、画素エレメント電極12の各列の下部のアレイの1つのサイドから対向するサイドまで延在するが、ラインを形成するために用いられる堆積導電層の適切なパターンニングにより接続ポイントのごく近傍において各ラインに断線(break)が導入された状態であり、これにより電氣的に切断された部分30'、30"の関連するペアが規定される単一のラインとして、ライン30と同様の通常の方法で部分30'と同時に形成されることが好ましい。しかしながら、代替として、望まれる場合には、部分30'のセット及び部分30"のセットは、異なるプロセスで互いに別個に形成され得る。すなわち、部分30'、30"の各関連するペアは、前述したように導線30と同等であり得るが、その長さに沿って断線を伴って形成されているか、又は分離した部品として形成されている。どちらの場合においても、部分30'はライン30に対応する接続導線を構成し、部分30"は相補的な導線を構成し、部分30"のそれぞれは接続導線30'及び画素エレメント電極12の列に関連する。

【0028】

この手法において、本質的には、接続ライン30'及び相補的なライン30"を規定する導線30の断線は、図5及び図6を参照して説明される理由のために望ましくないディスプレイのアーチファクトの著しい低減をもたらす。図5及び図6は、画素エレメントアレイの典型的な部分の等価回路を模式的に示しており、参照符号1~9が付され、図2及び図4の装置をそれぞれ用いた9つの隣接する画素エレメント10を有している。

【0029】

図5を参照すると、接続導線30の存在は、各画素エレメント10において寄生容量、最も著しくは画素エレメント電極12とその下の部分のライン30との間の容量 C_1 を生じさせる。また、ライン30と行アドレス導体16との交差部においてこれらの間に、より少なく重要な寄生容量(図示せず)が形成される。とにかく、通常、寄生容量が、とりわけTFTのゲート/ソース容量のために、画素エレメント電極12と関連する行アドレス導体16との間に存在し、ここでは C_0 の参照符号が付されている。液晶ディスプレイエレメント自体の容量は、 C_p で示されており、これは、液晶容量と、通常、液晶エレメントと一般に並列にもたらされる関連する蓄積キャパシタ C_s とからなり、ここでは、反対側の支持体に保持された共通電極が符号36が付されている。

【0030】

接続ポイント 32 に対応する画素エレメントの場所における、すなわち図 5 において当該列の接続ポイントが生じる行アドレス導体 16 に接続された画素エレメント 1, 5, 9 における容量 C_1 の作用は、通常の寄生容量 C_0 と並列に現れるために、重要である。他の全ての画素エレメントでは、これは、蓄積容量 C_s と並列に現れる。行アドレス導体に印加される波形が選択電圧レベル (TFT がオンになり、画素エレメントを選択するレベル) V_{on} からより低いホールドレベル (TFT がオフに保持されるレベル) V_{ff} に落下する際の下段への行の移行に起因するキックバックエラー電圧は、画素エレメント容量 C_0 を介して画素エレメント容量 C_p に結合されるが、画素エレメント 1, 5, 9 の場合には、行アドレス導体 16 の移行が関連する接続導線 30 上においても存在するので、上記キックバックエラー電圧は画素エレメント容量 C_0 及び C_1 の両方を介して結合される。これらの画素エレメントに関して、キックバック電圧 V_{kb} は、

式

$$V_{kb} = [V_{on} - V_{ff}] \times (C_1 + C_0) / (C_0 + C_p) \quad (1)$$

により与えられる。他の全ての画素エレメントに関して、キックバック電圧は、式

$$V_{kb} = [V_{on} - V_{ff}] \times C_0 / (C_0 + C_p + C_1) \quad (2)$$

により与えられる。

【0031】

このように、接続ポイントの場所における画素エレメント 1, 5, 9 及び他の画素エレメントに関するキックバックは、全ての他の画素エレメントに関するキックバックとは異なる。a-Si タイプの TFT を用いた表示装置に関する典型的な駆動電圧レベル及び容量の値の場合、この差は、小型の表示装置に関して例えば約 1.5 V であり得る。あるデータ信号値に関して他の画素エレメントから異なる明るさのレベルを生成する接続ポイントの場所において画素エレメントの動作のために非均一性を引き起こす上記キックバックの差に加えて、キックバック電圧は、エージング及び画像の残留の問題も引き起こす全ての画素エレメントに関する実効直流電圧としても現れ得る。

【0032】

図 4 の装置におけるように各接続ポイント 32 において接続導線 30' を終端させることは、容量 C_1 がもはや存在しないので、行アドレス導体 16 への余分な容量によって以前は影響を受けた画素エレメントが、ここでは同じように影響を受けないことを意味する。この手法においてラインを単に終端させることは、上記接続ポイントを超えた列の各画素エレメントの容量的環境が当該ラインから接続ポイントまで異なるために不満足であり、その結果、おそらく画像の劣化が起こるであろう。相補的なライン 30'' は、ある列の画素エレメントが全て同様の容量的環境を共有することを確実にすることによりこの可能性を回避する役割を果たす。動作の際、これら相補的なライン 30'' は、共通の導線 38 を介して、用いられる特定の種類の駆動機構に依存し、例えばグランド若しくは行アドレス導体 to 供給される選択信号波形のホールドレベル又は対向する支持体に保持された共通電極 36 に供給される電圧と同じ交流電圧信号に対応する、ソース 40 によって供給される参照電圧レベルに保持される。

【0033】

図 6 を参照すると、図 6 は、図 4 の装置における幾つかの画素エレメントの実際に効果のある等価回路を示しており、これを図 5 の回路と比較すると、図 5 と同様に 1, 5, 9 の参照符号を付された、接続ポイント 32 の場所における画素エレメントは、他の画素エレメントと同じ関連する行アドレス導体 16 への容量性結合を有し、寄生容量 C_1 が画素エレメント電極 12 と行アドレス導体 16 との間の寄生容量 C_0 ともはや並列ではないことが分かる。従って、これらの特定の画素エレメントに結合された行 16 及びライン 30'' の移行は他の全ての画素エレメントと実質的に同じであり、それに加えて、全ての画素エレメントにより経験されるキックバックは実質的に同じである。この場合のキックバックレベルは、

$$V_{kb} = [V_{on} - V_{ff}] \times C_0 / (C_0 + C_p + C_1) \quad (3)$$

により与えられる。

【0034】

全ての画素エレメントにより同様のキックバックが経験されるので、このようなキックバックの作用は全ての画素エレメントに関して同一であり、画素エレメント1, 5, 9に関して以前は見られた非均一性がもはや存在しない。

【0035】

ある表示装置では、画素エレメントアレイの列の数が行の数よりも多く、全ての画素エレメントの列が関連する接続導線30'を持つわけではない。この場合、関連する接続ラインを持たない画素エレメントの列は、代わりに、アレイの一方のサイドから他方まで列全体の長さに沿って延在する相補的な導線30"のみを備え得る。これは、これらの列の画素エレメントが、接続ラインを持つ列において画素エレメントについての同様の容量的環境を経験することを確実にする。

10

【0036】

図7に、接続ポイント32の場所における1つの完全な画素エレメントの構造が、平面図で模式的に示されている。この例の構造の電極12は、介在する誘電層（図示せず）が設けられた状態で、ごく近傍の行アドレス導体16及び列アドレス導体18とわずかにオーバーラップするように配されている。接続ライン30'及びそれに関連する相補的なライン30"は、列の画素エレメント電極12及び行アドレス導体16の下部に延在し、電極12の中心線の付近に配された、それぞれ並べられた導電材料の帯状体を有している。対をなすライン30'及びライン30"、更に他の画素エレメントの列に関連する対応するラインは、行アドレス導体及び列アドレス導体を作製するために用いられる方法と同様の方法で層の適切なフォトリソグラフィパターンニングを行うことによって、同じ導電材料の堆積層により形成される。ここでは、各ライン30'及びその対応する相補的なライン30"は、アレイの対向するサイドの間に延在し、参照符号50で示されているように、ライン30'及びライン30"を構成する部分を互いに電氣的に分離する接続ポイント32において行アドレス導体16のごく近傍において短い不連続が規定される導電材料の単一の帯状体の形態で形成されている。行アドレス導体が形成される際、当該行アドレス導体がバイア(via)を介してライン30'と電氣的に接続するように行アドレス導体を形成する層の堆積及びパターンニングを行う前に、上記接続ポイントにおいて、行アドレス導体16をその上のライン30'から分離する誘電層に上記バイアが形成される。

20

【0037】

電極12がITOのような透明な導電材料を有する透過型の表示装置では、ライン30'及びライン30"は、同一の材料により形成されることが好ましい。電極が不透明な反射性の金属により形成される反射型の表示装置では、ライン30'及びライン30"は、アルミニウムのような不透明な金属により形成されてもよく、簡単にするために列アドレス導体18と同じ堆積された金属層から形成されてもよい。

30

【0038】

上述した例ではライン30'及びライン30"が画素エレメント電極12の列の下部に延在するように示されているが、これは必ずしも必要なことではない。上記ラインは、図8の画素エレメントの模式的な平面図に示されているように、画素エレメント電極12の列の一方のサイドにおいて、列アドレス導体18の傍らに配されてもよい。この代替の配置は、上述した寄生容量C₁がかなり低減されるという利点を有する。しかしながら、透過型表示装置の場合には、有効な画素エレメントの開口の大きさ、及び従って開口部も低減されるという欠点が存在する。

40

【0039】

上述した例では概して矩形の画素エレメントアレイが用いられたが、アレイは異なる形状、例えば半円であり得ることが考えられる。アレイの同一のサイド又は対向するサイドに沿って行駆動回路及び列駆動回路又はこれらに関する接続領域を設けることができることは、利用されるアレイの形状の選択及び実現におけるより大きな自由度を可能にする。

【0040】

本発明は、特にAMLCDに関して説明されたが、AMLED表示装置のような他のタイ

50

プのアクティブマトリクス表示装置において同様の利点が適用され得ることが考えられる。

【0041】

本明細書の開示を読むことから、当業者であれば他の変形が明らかであろう。このような変形は、アクティブマトリクス表示装置及びそれに関する構成部品の分野において既に知られている他の特徴や、本明細書において既に述べた特徴に代えて、又はそれに加えて用いられ得る特徴を含んでいてもよい。

【図面の簡単な説明】

【図1】通常のAMLCD装置の隣接する画素エレメントの典型的なグループの構成を模式的に示す図である。

10

【図2】代替のAMLCD装置の画素エレメントの典型的なグループの構成を模式的に示す図である。

【図3】図2に示したタイプのAMLCDにおける駆動回路の可能な構成を模式的に示す図である。

【図4】本発明に係るAMLCDの一実施の形態における画素エレメントの典型的なグループを模式的に示す図である。

【図5】図2の装置における画素エレメントのグループに関する等価電気回路を示す図である。

【図6】図4の装置における画素エレメントのグループに関する等価電気回路を示す図である。

20

【図7】各構成要素の配置を示す図4の装置の画素エレメントの模式的な平面図である。

【図8】各構成要素に関する代替の配置を示す図である。

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
20 February 2003 (20.02.2003)

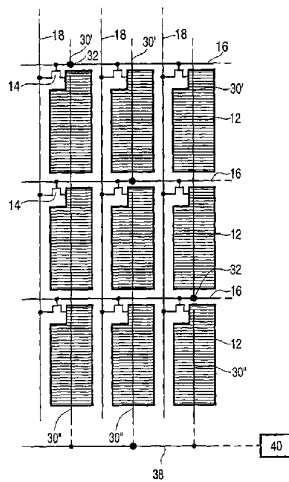
PCT

(10) International Publication Number
WO 03/014808 A2

- (51) International Patent Classification: G02F Martin, J.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: PCT/IB02/03190
- (22) International Filing Date: 12 August 2002 (12.08.2002)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 0119653.4 11 August 2001 (11.08.2001) GB
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (74) Agent: WILLIAMSON, Paul, L.; International Octrooibureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (81) Designated States (national): CN, JP, KR.
- (84) Designated States (regional): European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).
- Published: without international search report and to be republished upon receipt of that report
- (72) Inventors: HECTOR, Jason, R.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). HUGHES, John, R.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). EDWARDS,

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: ACTIVE MATRIX DISPLAY DEVICE



(57) Abstract: An active matrix display device comprises an array of picture elements, e.g. liquid crystal picture elements, first and second sets of address conductors (16, 18) extending in row and column directions respectively and connected with the picture elements, and a set of connection conductor lines (30') extending in the same direction as one set of address conductors (18), each of which is connected to a respective one of the other set of conductors (16), and via which address signals are supplied to that other set. To avoid unwanted display artefacts, each connection conductor line (30') extends from one side of the array and terminates adjacent its connection point (32) to its associated address conductor (16) and a respective complementary conductor line (30'') is provided which extends from close to the connection point (32) to the opposite side of the array, the complementary conductor line being electrically separate from the connection line (30') and coupled to reference signal supply (40).

WO 03/014808 A2

WO 03/014808

PCT/IB02/03190

1

DESCRIPTION

ACTIVE MATRIX DISPLAY DEVICE

5 The present invention relates to active matrix display devices and more particularly active matrix display devices having a row and column array of picture elements, each comprising a picture element electrode and an associated switching element, carried on a support, first and second sets of address conductors connected to the picture elements and extending in the

10 row and column directions respectively through which the picture elements are addressed, and a set of connection conductor lines carried on the support, each of which extends in the direction of, and between, a respective adjacent pair of the address conductors of one set and is connected to a respective one of the other set of address conductors, and via which addressing signals are

15 supplied to the other set of address conductors.

An example of an active matrix liquid crystal display device (AMLCD) of this kind, and suitable for use in, for example, portable applications such as mobile telephones, camera viewfinders, electronic personal organisers and the

20 like, is described in European Patent Application No. 01200466.9 (PHNL 010074). In this device, each connection conductor line extends from one side of the array to the opposite side and is connected to the associated address conductor at a position along its length where it extends over that conductor.

The provision of the set of connection conductor lines connected to one

25 of the sets of address conductors enables the addressing signals for driving the picture elements, comprising selection (scanning) signals applied to the row address conductors and display data signals applied to the column address conductors, to be supplied at either a common side of the support or at opposing, parallel, sides of the support rather than at two mutually

30 perpendicular sides as in conventional AMLCDs and the like. Typically in a conventional AMLCD a set of row address conductors, carrying the selection signals, and a set of column address conductors, carrying the data signals,

WO 03/014808

PCT/IB02/03190

2

each extend over a rectangular support beyond the area of the array of picture elements electrodes, defining the device's display area, to respective peripheral regions of the support on which they are carried, and comprising two adjacent, edge parts of the support, for the purpose of enabling electrical contact to be made with the sets of address conductors. For example, row and column drive circuit ICs may be directly mounted on these peripheral border regions of the support with their output terminals connected to the extended address conductors or, alternatively, may be mounted on foil with their output terminals connected to the address conductors via tracks on the foil. Using the set of connection conductor lines in the aforementioned manner enables the ICs to be provided instead either at a common peripheral border region along just the side of the support or at respective peripheral border regions along opposing, parallel, sides of the support, or alternatively for foil connections to be made at such parts.

As described in the aforementioned application, this feature can be used, for example, to enable the effective display area for a given size of support to be increased in one dimension, which is of benefit when the display device is used in small portable products. A similar kind of connection scheme is described in the paper by R. Greene et al entitled "Manufacturing of Large Wide-View Angle Seamless Tiled AMLCDs for Business and Consumer Applications", IDMC 2000, pages 191-194. The benefit in this case is that facilitate tiling of individual display panels is facilitated by allowing the address conductors to be driven from just one edge.

It has been found, however, that the operational characteristics of such display devices can be affected adversely by the presence of the connection conductor lines. In particular, it has been found that the display device can suffer picture element non-uniformity and image retention problems.

It is an object of the present invention to provide an improved display device of the kind described in the opening paragraph.

It is a further object of the present invention to provide a display device in which the aforementioned problems are alleviated at least to some extent.

WO 03/014808

PCT/IB02/03190

3

According to the present invention, there is provided an active matrix display device of the kind described in the opening paragraph wherein each connection conductor line extends from one side of the array to a connection point at which it is connected to its associated address conductor of the other set, and wherein a complementary conductor line is provided corresponding to each connection conductor line which extends from adjacent the connection point to the opposite side of the array and is connected to a reference signal source.

The provision of the complementary conductor lines in association with the connection conductor lines leads to the aforementioned problems with unwanted display artefacts being reduced significantly, and hence improved display quality with less non-uniformity in the picture element outputs and less image retention effects. The invention stems from a recognition that certain parasitic capacitance effects introduced by the presence of connection conductor lines are responsible for these problems. The nature of the parasitic capacitances means that picture elements at the locations of the connection points and coupled to the address conductors connected at those points to the connection conductor lines experience different consequences than picture elements elsewhere in the array. Where the one set of address conductors comprises the column address conductors and the other set comprises the row address conductors, to which data signals and selection signals are applied respectively, then the presence of the connection conductor lines means that the kickback effects for picture elements at the connection point locations will differ, with the result that, for a given applied data signal voltage, their display outputs will be different to display outputs from the other picture elements. Moreover, these picture elements can be affected by a consequential rms DC voltage producing ageing effects in the LC material and an image retention problem.

The complementary conductor lines serve in effect as "dummy" connection conductor lines so that, for the picture elements associated with one connection conductor line and its associated complementary conductor line, the picture elements up to the connection point and the picture elements

WO 03/014808

PCT/IB02/03190

4

after the connection point all have a similar environment in terms of the parasitic capacitances present at their respective locations.

Accordingly, with an appropriate reference signal applied to the complementary lines, for example corresponding to the non-select level of a row drive waveform (comprising select and non-select voltage levels) where the connector conductor lines carry such a waveform to the row address conductors, it is ensured that all picture elements experience substantially similar kick back effects.

The number of rows of picture elements in the array may differ from the number of columns and the number of picture element columns (or rows) may then exceed the number of connection conductor lines required. In such cases, a complementary conductor line may be provided for each of the picture element columns (or rows) not associated with a connection conductor line, which line extends from one side of the array to the other so that the picture elements concerned likewise experience a similar capacitive environment to those having associated connection conductor lines, and thereby ensure picture element uniformity over the array.

The complementary conductor lines and the connection conductor lines are preferably provided in the same manner, for example with the connection conductor lines and their respective associated complementary conductor lines being formed by patterning a deposited layer of conductive material into lines each with a discontinuity along its length, at an appropriate location determined by its respective connection point, to define two portions constituting the connection conductor line and complementary conductor line respectively. It is conceivable that the connection and complementary conductor lines could be formed in separate process stages, for example from different deposited layers, and with the positioning of the two lines in relation to the picture element electrodes etc. not being identical. However, besides complicating the manufacturing processes, this approach might lead to significant differences in the nature of the associated capacitances.

The connection and complementary conductor lines may extend beneath the picture element electrodes and be separated therefrom by a

WO 03/014808

PCT/IB02/03190

5

dielectric layer. Alternatively, these lines may be arranged to extend laterally adjacent the picture element electrodes, for example alongside the address conductors of the one set. This would reduce the capacitance between these lines and the picture element electrodes which is an important factor. This can
5 be beneficial also in the case of the display device being a transmissive type with the picture element electrodes comprising a transparent conductive material, such as ITO, as otherwise the lines would similarly need to be of transparent material when placed underneath the picture element electrodes. However, positioning these lines laterally adjacent the picture element
10 electrodes could result in a decrease in picture element aperture.

Although applicable particularly to active matrix liquid crystal displays devices, the invention may advantageously be applied also to different kinds of active matrix display devices using other electro-optic materials for the picture elements, such as electrophoretic, electrochromic and electroluminescent
15 (both so-called polymer and organic type) display devices.

Embodiments of active matrix display devices in accordance with the invention, and in particular liquid crystal display devices, will now be described, by way of example, with reference to the accompanying drawings, in which:-

20 Figure 1 illustrates schematically the arrangement of a typical group of adjacent picture elements in a conventional AMLCD configuration;

Figure 2 illustrates schematically the arrangement of a typical group of picture elements in an alternative AMLCD configuration;

25 Figure 3 shows schematically a possible arrangement of drive circuits in the type of AMLCD shown in Figure 2;

Figure 4 illustrates schematically a typical group of picture elements in an embodiment of AMLCD according to the present invention;

Figures 5 and 6 show equivalent electrical circuits for groups of picture elements in the devices of Figures 2 and 4 respectively;

30 Figure 7 is a schematic plan view of a picture element in the device of Figure 4 illustrating, the layout of components; and

Figure 8 shows an alternative layout for components.

It should be understood that the Figures are merely schematic and are not drawn to scale. The same reference numbers are used throughout the Figures to denote the same or similar parts.

5 Referring to Figure 1, there is shown part of a conventional form of active matrix liquid crystal display device having a matrix array 11 of individually - addressable picture elements 10, each comprising a discrete picture element electrode 12 and an associated switching device in the form of a thin film transistor, TFT, 14, which may be of amorphous silicon (a-Si) or
10 polysilicon type. The general construction and operation of such a device is described, for example, in US-5130829 to which reference is invited and whose disclosure in these respects is incorporated herein. Briefly, the picture element electrodes 12 are organised in rows and columns and first and second, mutually-perpendicular, sets of address conductors, namely row, selection, address conductors 16 and column, data, address conductors 18,
15 extend between the picture element electrodes 12 with each electrode being located adjacent the intersection of a respective pair of address conductors. The picture element electrodes, sets of address conductors and TFTs are all carried on a support 20, for example a glass plate. A second support, for
20 example again a glass plate, (not shown) is arranged overlying, and parallel to, the support 20 and carries a common electrode. The two supports are spaced from one another and liquid crystal material is disposed between the supports, the liquid crystal material being contained by a seal extending around the periphery of the array between the supports. Each picture element electrode
25 together with an overlying portion of the common electrode and the liquid crystal material therebetween defines a respective display element.

To drive the picture elements, row and column drive circuits 26 and 28 are connected to the sets of row and column address conductors 16 and 18 respectively at their one ends. The row drive circuit 26 provides selection
30 (scanning) signals to each of the row address conductors 16 in sequence to turn on each row of TFTs 14 in turn, and the column drive circuit 28 provides data (video) signals, obtained for example by sampling an input video signal,

WO 03/014808

PCT/IB02/03190

7

to each of the column address conductors 18 in synchronism with row selection. The drive circuits 26 and 28 normally are provided in the form of ICs which may be mounted on regions of the support 20 between two, adjacent, sides of the array and respective edges of the support, as depicted in Figure 1, or alternatively mounted on foil or tape when using COF (Chip on Foil) or TCP (Tape Carrier Package) techniques with the foil or tape then being interconnected with the sets of address conductors at peripheral regions along two adjacent sides of the support. In the case of a polysilicon AMLCD, the drive circuits may instead be actually fabricated on the peripheral region of the support 20 using the same processes, and, at the same time, as the active matrix circuitry comprising the TFTs and address conductors, etc, so as to be fully integrated on the support.

As will be appreciated, the need to dedicate peripheral portions of the support along two adjacent sides for the mounting of ICs or provision for interconnections with tapes or foils can be limiting as the overall size of the support 20 both in height and width needs to be significantly larger than the array to accommodate such. An alternative arrangement has been proposed, which offers advantages in this respect. Figure 2 shows part of a picture element array using the principles of this alternative arrangement. The array similarly has picture element electrodes 12 and associated TFTs 14 connected to sets of row and column address conductors 16 and 18. In this arrangement, however, the row address conductors 16 terminate immediately adjacent opposed edges of the picture element array and a set of connection lines 30, in the form of supplementary column conductors extending parallel to the column address conductors 18, are provided, each of which lines 30 extends from one side of the array to the opposite side along a respective column of picture element electrodes 12 and is connected to a respective one of the row address conductors 16 at a connection point 32. The position of this connection point corresponds to the cross-over between the 30 and its associated address conductor 16 and differs for each line. The supplementary connection lines 30 enable the row selection signals to be applied to the row address conductors 16 from a side of the array corresponding to, or opposite

WO 03/014808

PCT/IB02/03190

8

to, the side at which the data signals are applied to the column address conductors 18, for example as shown in the schematic, plan, view of the display device in Figure 3 with row and column drive circuit ICs 26 and 28 in this case being carried at respective edge parts of the support 20 on opposing sides of the picture element array 11 and the ends of the column address conductors 18 and the lines 30 being connected respectively to the column and row drive circuits ICs. As a consequence, there is no need to devote a peripheral edge region of the support 20 along a side adjacent the ends of the set of row address conductors 16 for the row drive circuit IC or interconnection thereto. This means that a reduction in the area of the support for a given display size is possible, resulting in a greater number of active plates for display devices being obtained from, for example, a single processed, initially large area, glass sheet. Also, the symmetrical nature of the display device, with minimal excess area at opposing sides, is beneficial in many applications, particularly for small area display devices as used in mobile phones and the like.

Examples of display devices of this kind and further advantages obtained by using such an arrangement, are described in European Patent Application No 0 1200 466.9 to which reference is invited and whose contents are incorporated herein.

In the paper by R.G. Greene et al entitled "Manufacturing of Large Wide - View Angle Seamless Tiled AMLCDs for Business and Consumer Applications", IDMC 2000, pages 191 - 194, there is described an LC panel in which row and column address conductors are contacted from the same side of the array and which uses supplementary connection lines with a view to enabling individual panels to be tiled together to produce large area display more conveniently. In this panel, the supplementary connection lines extend adjacent the column address conductors and between adjacent columns of picture element electrodes.

In the arrangement shown in Figure 2, the lines 30 each extend beneath, and approximately centrally of, a column of picture element electrodes. In the case of the display device being a reflective display using

WO 03/014808

PCT/IB02/03190

9

reflective metal electrodes 12, the lines may be formed from a metal, such as aluminium, and for convenience from the same deposited metal layer as the column address conductors 18. In the case of a transmissive display in which the electrodes 12 comprise a transparent conductive material such as ITO, the lines 30 are preferably similarly formed of transparent conductive material.

In operation of this kind of display device unwanted display artefacts can occur, especially picture element non-uniformities. It has now to be determined that these artefacts are to a large extent caused by the effects of capacitances introduced by the presence of the supplementary connection lines 30.

An embodiment of display device according to the invention, in which such artefacts are at least reduced significantly, will now be described with reference to Figure 4 which shows a portion of the active matrix plate of the device similar to Figure 2 but with certain modifications. As will be apparent, conductors equivalent to the connection lines 30 are here rendered electrically discontinuous at the regions of their respective connection points 32 so as to form in each case a first portion 30' terminating at or closely adjacent to the connection point and a second portion 30". Each portion 30' up to the connection point 32 is connected at its end adjacent one side of the array to the row drive circuit 26 and this portion serves the same function as the line 30 previously in supplying a selection signal waveform to its associated row address conductor 16.

The remaining portion 30", electrically separate from the portion 30', extends from closely adjacent the end of the first portion 30' and the connection point 32 up to the opposing side of the array where it is connected via a conductor line 38 common to all of these portions 30", to a reference signal source 40.

The portions 30" preferably are formed simultaneously with the portions 30' and in the same manner as the lines 30 previously generally as single lines extending from one side of the array beneath respective columns of picture elements electrodes 12 to the opposite side but with a break being introduced in each line immediately adjacent its connection point by appropriate

WO 03/014808

PCT/IB02/03190

10

patterning of the deposited conducting layer used to form the lines, thereby defining an associated pair of electrically disconnected portions 30' and 30". Alternatively, however, the set of portions 30' and the set of portions 30" could instead be formed independently of one another in different processes if
5 desired. In other words, each associated pair of portions 30' and 30" could be equivalent to a conductor line 30 as before but formed with a break along its length, or formed as separate components. In either case, the portions 30' constitute connection conductor lines corresponding to the lines 30 and the portions 30" constitute complementary conductor lines, each of which is
10 associated with a respective connection conductor line 30' and column of picture element electrodes 12.

The breaking, in effect, of the conductor lines 30 to define connection lines 30' and complementary lines 30" in this manner leads to a significant reduction in unwanted display artefacts for reasons which will now be
15 explained with reference to Figures 5 and 6 which show schematically the equivalent circuits of typical parts of the picture element arrays, comprising a group of nine adjacent picture elements 10, labelled 1 to 9, using the configurations of Figures 2 and 4 respectively.

Referring to Figure 5, the presence of the connection conductor lines 30
20 introduces parasitic capacitance at each picture element 10, most notably a capacitance C_1 between the picture element electrode 12 and the underlying portion of the line 30. A further, less important, parasitic capacitance (not shown) is formed between a line 30 and a row address conductor 16 at their cross-over. There typically exists in any event a parasitic capacitance
25 between the picture element electrode 12 and its associated row address conductor 16, due to, inter alia, TFT gate/source capacitance, which here is labelled C_0 . The capacitance of the LC display element itself is shown at C_p which consists of the LC capacitance and that of an associated storage capacitor, C_s , as normally provided and usually in parallel with the LC element,
30 with the common electrode carried on the opposing support here being referenced at 36.

WO 03/014808

PCT/IB02/03190

11

The effect of the capacitance C_1 at picture element locations corresponding to the connection points 32, i.e. at picture elements 1, 5 and 9 in Figure 5 that are connected to the row address conductor 16 in which the connection point in that column occurs, is important as it appears in parallel with the usual parasitic capacitance C_o . In all other picture elements it appears in parallel with the storage capacitance C_s . The kickback error voltage resulting from the falling row transition when the waveform applied to a row address conductor drops from a selection voltage level V_{on} (at which the TFTs are turned on to select the picture elements) to a lower, hold, level V_{off} (at which the TFTs are held off) are coupled onto the picture element capacitances C_p through C_o but in the case of the picture elements 1, 5 and 9 this kickback error voltage is coupled through both C_o and C_1 because the transitions on a row address conductor 16 are all present also on the associated connection conductor line 30. For these picture elements, the kickback voltage, V_{kb} is given by the formula:-

$$V_{kb} = [V_{on} - V_{off}] \times (C_1 + C_o) / (C_o + C_p) \quad (1)$$

For all other picture elements, the kickback voltage is given by the formula:-

$$V_{kb} = [V_{on} - V_{off}] \times C_o / (C_o + C_p + C_1) \quad (2)$$

Thus, the kickback for picture elements 1, 5 and 9 and other picture elements at the locations of the connection points is different to that for all other picture elements. With typical drive voltage levels and capacitance values for a display device using a-Si type TFTs, this difference may, for example, be around 1.5V for a small display device. Besides this kickback difference causing non-uniformity by virtue of the operation of the picture elements at the connection point locations producing different brightness levels from other picture elements for a given data signal value, the kickback

WO 03/014808

PCT/IB02/03190

12

voltage can also appear as an rms DC voltage on all the picture elements which can cause ageing and image retention problem as well.

Terminating the connection conductor lines 30' at their respective connection points 32 as in the arrangement of Figure 4 means that the picture elements previously affected by the extra capacitance to the row address conductor 16 are now not affected in the same way since the capacitance C_1 is no longer present. Simply terminating the lines in this manner would, though, be unsatisfactory as the capacitive environment of the picture elements in the column beyond the connection point would then be different from those up to the connection point and consequently image degradation would be likely to occur. The complementary lines 30" serve to avoid this possibility by ensuring that the picture elements in a column all share a similar capacitive environment. In operation, these complementary lines 30" are held, via the common conductor line 38, at a reference voltage level provided by the source 40 which, depending on the particular kind of drive scheme employed, may, for example, correspond to ground or the hold level of the selection signal waveform applied to the row address conductors, or to the same AC voltage signal as applied to the common electrode 36 carried on the opposing support if the drive scheme employed uses common electrode modulation.

Referring to Figure 6, which shows the effective equivalent circuit of a few picture elements in the device of Figure 4, and comparing this with the circuit of Figure 5, it can be seen that the picture elements 10 at the locations of the connection points 32, here numbered 1, 5 and 9 as before, have the same capacitive coupling to their associated row address conductors 16 as other picture elements and that the parasitic capacitance C_1 is no longer in parallel with the parasitic capacitance C_0 between the picture element electrode 12 and the row address conductor 16. Hence the transitions on the conductors 16 and lines 30" coupled on to the electrodes 12 of these particular picture elements will be substantially the same as in all other picture elements, and the kickback experienced by all picture elements will likewise be substantially the same. The kickback level in this case is given by:-

$$V_{kb} = [V_{on} - V_{off}] \times C_0 / (C_0 + C_p + C_1) \quad (3)$$

WO 03/014808

PCT/IB02/03190

13

Because a similar kickback is experienced by all picture elements, the effects of such will be substantially the same on all picture elements and non-uniformities previously found with picture elements 1, 5 and 9 will no longer be present.

In certain display devices, it may be that the number of columns in the picture element array is greater than the number of rows and so not all the picture element columns have an associated connection conductor line 30'. In this case, the picture element columns not having an associated connection line can be provided instead solely with a complementary conductor line 30" which extends along the length of the entire column from one side of the array to the other. This will ensure that the picture elements in these columns experience a similar capacitive environment to picture elements, in columns having a connection line.

The structure of one complete picture element at the location of a connection point 32 is shown schematically in plan in Figure 7. The electrode 12 in this example structure is arranged so as to overlap slightly immediately adjacent row and column address conductors 16 and 18 with an intervening dielectric layer (not shown) being provided. The connection line 30' and its associated complementary line 30" comprise respective, aligned, strips of conductive material extending beneath the row address conductors 16 and the picture element electrodes 12 in a column and arranged near the centreline of the electrodes 12. The paired lines 30' and 30", and likewise the corresponding lines associated with the other picture element columns, are formed from the same deposited layer of conductive material by appropriate photolithographic patterning of that layer in a manner similar to that used to create the row and column address conductors. Each line 30' and its respective complementary line 30" are here formed in the manner of a single strip of conductive material which extends between opposite sides of the array and in which a short discontinuity is defined, as shown at 50, immediately next to the row address conductor 16 at the connection point 32 which separates electrically the parts constituting the lines 30' and 30" from one another. At the

WO 03/014808

PCT/IB02/03190

14

connection point, a via is formed in the dielectric layer separating the row address conductor 16 from the underlying line 30' prior to the deposition and patterning of the layer forming the row address conductors such that, when formed, they electrically connect with the line 30' through the via.

5 In a transmissive type of display device in which the electrodes 12 comprise transparent conducting material such as ITO, the lines 30' and 30" are preferably formed of the same material. In a reflective type of display device in which the electrodes are formed of an opaque, reflective, metal, then the lines 30' and 30" may be formed of an opaque metal, such as aluminium, and for simplicity may be formed from the same deposited metal layer as the column address conductors 18.

10 Although the lines 30' and 30" are shown as extending beneath the column of picture element electrodes 12 in the above example, this need not be the case. The lines may be arranged at one side of the column of picture element electrodes 12 and alongside a column address conductor 18, as shown in the plan schematic view of a picture element in Figure 8. This alternative arrangement has the advantage that the aforementioned parasitic capacitance C_1 is now considerably reduced. However, there is a disadvantage in that the effective picture element aperture size, and hence aperture, is also reduced, in the case of a transmissive display device.

20 While generally rectangular picture element arrays are used in the above described examples, it is envisaged that the array may be of a different shape, for example semi-circular. The ability to provide row and column drive circuits, or connection regions therefor, along the same side or opposing sides of the array, allows greater freedom in the choice and implementation of array shapes utilised.

25 While the invention has been described in relation to an AMLCD in particular, it is envisaged that it can be applied to similar advantage in other types of active matrix display devices such as AMLED display devices.

30 From reading the present disclosure, other modifications will be apparent to persons skilled in the art. Such modifications may involve other features which are already known in the field of active matrix display devices

WO 03/014808

PCT/IB02/03190

15

and component parts therefor and which may be used instead of or in addition to features already described herein.

WO 03/014808

PCT/IB02/03190

16

CLAIMS

1. An active matrix display device having a row and column array of picture elements, each comprising a picture element electrode and an associated switching element, carried on a support, first and second sets of address conductors connected to the picture elements and extending in the row and column directions respectively through which the picture elements are addressed, and a set of connection conductor lines carried on the support, each of which extends in the direction of, and between, a respective adjacent pair of the address conductors of one set and is connected to a respective one of the other set of address conductors, and via which addressing signals are supplied to the other set of address conductors, wherein each connection conductor line extends from a side of the array to a connection point at which it is connected to its associated address conductor of the other set, and a complementary conductor line is provided corresponding to each connection conductor line which extends from adjacent the connection point to the opposite side of the array and which is connected to a reference signal source.
2. A device according to Claim 1, wherein the connection and complementary conductor lines extend beneath the picture elements electrodes and are separated therefrom by a dielectric layer.
3. A device according to Claim 1, wherein the connection and complementary conductor lines extend laterally adjacent the picture element electrodes.
4. A device according to Claim 3, wherein a connection conductor line and its associated complementary conductor line extend alongside a respective address conductor of the one set.
5. A device according to any one of Claims 1 to 4, wherein each connection conductor line and its associated complementary conductor line

WO 03/014808

PCT/IB02/03190

17

are provided as a single conductor line extending between opposing sides of the array having a discontinuity along its length adjacent the connection point.

5 6. A device according to any one of the preceding claims, wherein a drive circuit is connected to the set of connection conductor lines for supplying addressing signal waveforms comprising selection and non-selection voltage levels for the switching elements of the picture elements.

10 7. A device according to Claim 6, wherein the reference signal for the complementary conductor lines corresponds to the non-selection voltage level.

15 8. A device according to any one of Claims 1 to 7, wherein the picture elements comprise liquid crystal picture elements.

1/5

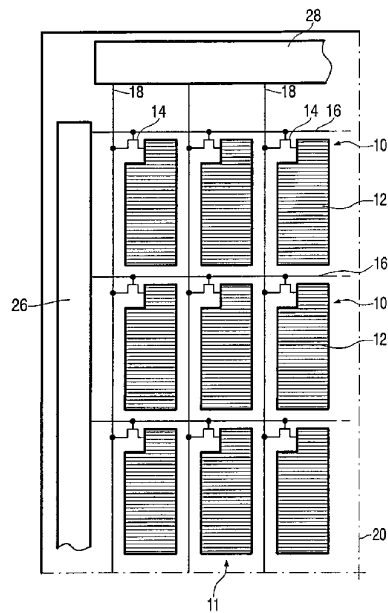


FIG.1

2/5

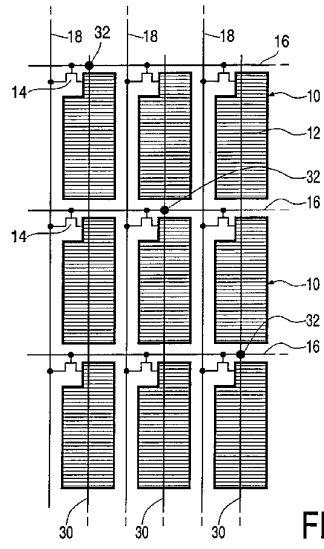


FIG. 2

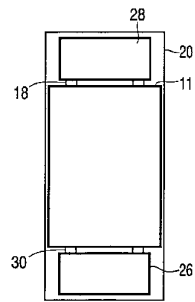


FIG. 3

WO 03/014808

PCT/IB02/03190

3/5

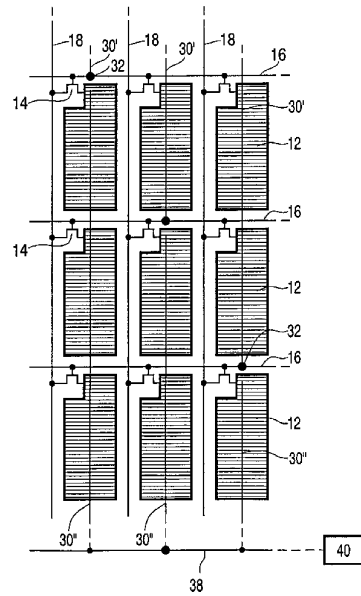


FIG.4

WO 03/014808

PCT/IB02/03190

4/5

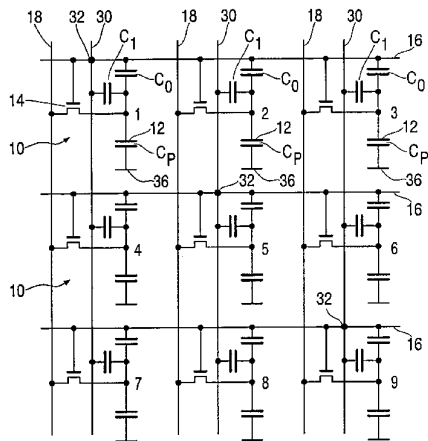


FIG.5

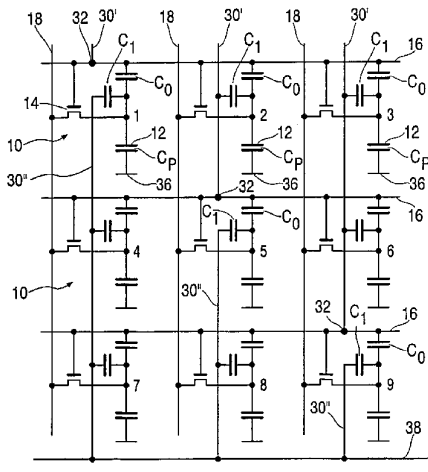
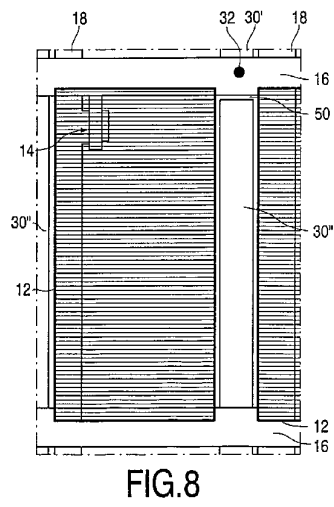
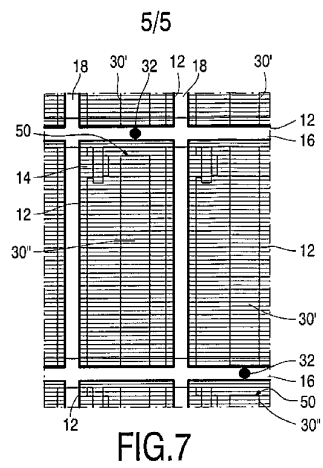


FIG.6

40

WO 03/014808

PCT/IB02/03190



【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
20 February 2003 (20.02.2003)

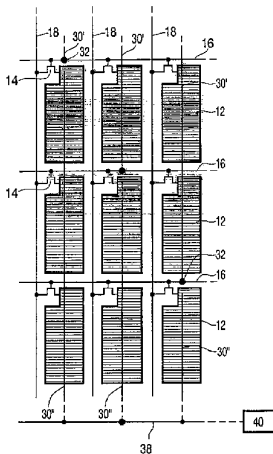
PCT

(10) International Publication Number
WO 03/014808 A3

- (51) International Patent Classification: G02F 1/1362, 1/1345, G09G 3/36
- (21) International Application Number: PCT/IB02/03190
- (22) International Filing Date: 12 August 2002 (12.08.2002)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 0119653.4 11 August 2001 (11.08.2001) GB
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (72) Inventors: HECTOR, Jason, R.; Prof. Holslaan 6, NL-5656 AA Eindhoven (NL). HUGHES, John, R.; Prof. Holslaan 6, NL-5656 AA Eindhoven (NL). EDWARDS,
- (74) Agent: WILLIAMSON, Paul, L.; Internationaal Octrooibureau B.V., Prof. Holslaan 6, NL-5656 AA Eindhoven (NL).
- (81) Designated States (national): CN, JP, KR.
- (84) Designated States (regional): European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IL, IT, LU, MC, NL, PT, SE, SK, TR).
- Published:
with international search report
- (88) Date of publication of the international search report: 2 October 2003

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: ACTIVE MATRIX DISPLAY DEVICE



(57) Abstract: An active matrix display device comprises an array of picture elements, e.g. liquid crystal picture elements, first and second sets of address conductors (16, 18) extending in row and column directions respectively and connected with the picture elements, and a set of connection conductor lines (30') extending in the same direction as one set of address conductors (18), each of which is connected to a respective one of the other set of conductors (16), and via which address signals are supplied to that other set. To avoid unwanted display artifacts, each connection conductor line (30') extends from one side of the array and terminates adjacent its connection point (32) to its associated address conductor (16) and a respective complementary conductor line (30'') is provided which extends from close to the connection point (32) to the opposite side of the array, the complementary conductor line being electrically separate from the connection line (30') and coupled to reference signal supply (40).

WO 03/014808 A3

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/IB 02/03190
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G02F1/1362 G02F1/1345 G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G02F 609G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, COMPENDEX, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	GREENE: "Manufacturing of large Wide-View Angle Seamless Tiled AMLCDs" INTERNATIONAL DISPLAY MANUFACTURING CONFERENCE, XX, XX, 5 July 2000 (2000-07-05), pages 191-193, XP002198580 cited in the application figures 3,4	1
☐ Further documents are listed in the continuation of box C. ☐ Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified) *O* document relating to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone ** document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *G* document member of the same patent family		
Date of the actual completion of the international search 13 February 2003		Date of mailing of the international search report 21/02/2003
Name and mailing address of the ISA European Patent Office, P.O. Box 5818 Patentlaan 2 NL - 2200 PH Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax. (+31-70) 340-3016		Authorized officer Gill, R

フロントページの続き(51)Int.Cl.⁷

G 0 9 G 3/36

F I

G 0 9 G 3/36

テーマコード (参考)

(74)代理人 100121083

弁理士 青木 宏義

(72)発明者 ヘクター ジェイソン アール

オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6

(72)発明者 フグヘス ジョーン アール

オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6

(72)発明者 エドワーズ マーチン ジェイ

オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6

F ターム(参考) 2H092 GA12 GA24 GA59 JA24 JB61 NA01 PA04 PA06 PA12

2H093 NA16 NC02 NC03 NC16 NC22 ND01 ND10 ND15

5C006 AF59 BB16 BB27 BC02 BC03 BC06 BC08 BC20 FA29

5C080 AA10 BB05 DD01 DD28 FF01 FF11 JJ03 JJ06 KK07 KK47

5C094 AA03 AA21 AA53 AA55 BA03 BA29 BA43 BA52 BA75 CA19

DB04 EA04 EA05

专利名称(译)	有源矩阵显示装置		
公开(公告)号	JP2004538511A	公开(公告)日	2004-12-24
申请号	JP2003519680	申请日	2002-08-12
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ヘクター ジェイソン アール フグヘス ジョーン アール エドワーズ マーチン ジェイ		
发明人	ヘクター ジェイソン アール フグヘス ジョーン アール エドワーズ マーチン ジェイ		
IPC分类号	G02F1/133 G02F1/1345 G02F1/1362 G02F1/1368 G09F9/30 G09G3/20 G09G3/36		
CPC分类号	G02F1/1345 G02F1/136286 G09G3/3648 G09G2300/0809		
FI分类号	G09F9/30.338 G02F1/133.550 G02F1/1345 G02F1/1368 G09G3/20.624.B G09G3/36		
F-TERM分类号	2H092/GA12 2H092/GA24 2H092/GA59 2H092/JA24 2H092/JB61 2H092/NA01 2H092/PA04 2H092/PA06 2H092/PA12 2H093/NA16 2H093/NC02 2H093/NC03 2H093/NC16 2H093/NC22 2H093/ND01 2H093/ND10 2H093/ND15 5C006/AF59 5C006/BB16 5C006/BB27 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC08 5C006/BC20 5C006/FA29 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD28 5C080/FF01 5C080/FF11 5C080/JJ03 5C080/JJ06 5C080/KK07 5C080/KK47 5C094/AA03 5C094/AA21 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA29 5C094/BA43 5C094/BA52 5C094/BA75 5C094/CA19 5C094/DB04 5C094/EA04 5C094/EA05		
代理人(译)	宫崎明彦		
优先权	2001019653 2001-08-11 GB		
外部链接	Espacenet		

摘要(译)

一种有源矩阵显示装置中，像素元件，例如，液晶的阵列中的像素元素，行和列的方向上分别延伸，所述第一和第二组16和连接到像素元件地址导线18，地址相应地连接到地址导线的另一组16中的一个连接导体作为导体的组18，分别在一个相同的方向延伸的一组30中，寻址信号经此处理并且一组连接线30被馈送到另一组导体。为了避免不希望的显示的伪像，连接线30适于从所述阵列的一侧延伸，并在连接点32附近终止，以相关联的地址导体16，连接点32的附近设置有“互补导体30对应于延伸到从互补导体阵列相对的一侧是从连接线30”电隔离，是参考信号源40它有。

