

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-533011

(P2004-533011A)

(43) 公表日 平成16年10月28日(2004.10.28)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G09G 3/20 611A	5C058
H04N 5/66	G09G 3/20 612R	5C080
	G09G 3/20 621M	
審査請求 未請求 予備審査請求 未請求 (全 51 頁) 最終頁に続く		

(21) 出願番号 特願2002-592103 (P2002-592103)
 (86) (22) 出願日 平成14年5月17日 (2002.5.17)
 (85) 翻訳文提出日 平成15年11月19日 (2003.11.19)
 (86) 国際出願番号 PCT/IB2002/001795
 (87) 国際公開番号 W02002/095723
 (87) 国際公開日 平成14年11月28日 (2002.11.28)
 (31) 優先権主張番号 0112395.9
 (32) 優先日 平成13年5月22日 (2001.5.22)
 (33) 優先権主張国 英国 (GB)
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR

(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
 (74) 代理人 100072051
 弁理士 杉村 興作

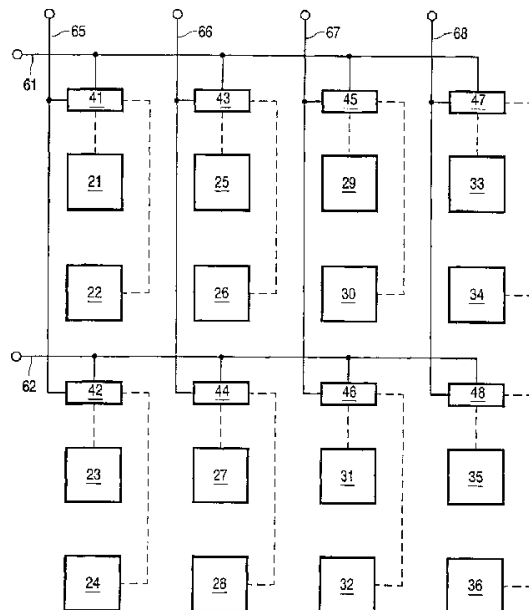
最終頁に続く

(54) 【発明の名称】 処理素子のアレイを用いた表示デバイス及びその駆動方法

(57) 【要約】

【課題】 表示デバイスに、画素毎に個別の表示設定値を含む表示データ（例えば映像）を供給する必要性を回避した、例えば液晶表示デバイス(1)のような表示デバイス、及びその駆動方法を提供する。

【解決手段】 この表示デバイスは、画素のアレイ(21~36、71a~79d、121~136)、及び処理素子のアレイ(41~48、71~79、141~148)を具え、各処理素子がそれぞれの画素あるいは画素群に関連する。処理素子(41~48、71~79、141~148)は、画素レベルで圧縮した入力表示データの処理を実行する。処理素子(41~48、71~79、141~148)はこれらの入力データを非圧縮にして、関連する画素毎に個別の画素設定値を定める。次に処理素子(41~48、71~79、141~148)は、画素(21~36、71a~79d、121~136)を個別の設定値で駆動する。処理素子は、この処理素子、及び1つ以上の隣接する処理素子に割り当てられた入力データから、画素設定値を補間することができる。あるいはまた、処理素子が、この処理素子に関連する画素の位置の知識を有して、この情報を用いて、複数の処理素子が受信した共通入力データに应答して、



【特許請求の範囲】

【請求項 1】

画素のアレイと；

処理素子のアレイとを具え、前記各処理素子が、前記画素または前記画素の群のそれぞれに関連する表示デバイスにおいて、

前記各処理素子が、

複数の前記画素に関係する入力表示データを受信する入力と；

前記受信した入力表示データを処理して、当該処理素子に関連する前記画素用あるいは当該処理素子に関連する前記画素群の各画素用の個別の画素データを定めるプロセッサと；

前記関連する画素、あるいは前記関連する画素群の各画素を、当該画素用に定めた前記個別の画素データで駆動する画素ドライバと

を具えていることを特徴とする表示デバイス。

10

【請求項 2】

前記各処理素子がそれぞれの画素群に関連し、

前記各処理素子の前記入力を、当該処理素子用の表示設定値を含む表示データを受信すべく適応させて、

前記関連する画素群の各画素用の個別の画素データを、当該処理素子用の表示設定値、及び 1 つまたは複数の隣接する前記処理素子用のそれぞれの表示設定値から補間することによって、前記受信した入力表示データを処理すべく、前記各処理素子を適応させた

ことを特徴とする請求項 1 に記載の表示デバイス。

20

【請求項 3】

前記処理素子が、1 つまたは複数の隣接する前記処理素子と通信して、前記 1 つまたは複数の隣接する前記処理素子用の表示設定値を取得することを特徴とする請求項 2 に記載の表示デバイス。

【請求項 4】

前記各処理素子の前記入力を、当該処理素子用の表示設定値、及び前記 1 つまたは複数の隣接する前記処理素子用の表示設定値を含む表示データを受信すべく適応させたことを特徴とする請求項 2 に記載の表示デバイス。

【請求項 5】

前記各処理素子の前記入力を、画素アドレス及び表示設定値から成り表示すべき特徴を指定する指定を含む表示データを受信すべく適応させて；

前記各処理素子がさらに、当該処理素子に関連する前記画素または前記画素群の画素アドレスを受信して記憶するメモリを具えて；

前記各処理素子の前記プロセッサが、表示すべき特徴を指定する画素アドレスを、当該処理素子に関連する前記画素または前記画素群の画素アドレスと比較するコンピュータを具えて；

当該処理素子に関連する前記画素または前記画素群の画素アドレスが、前記表示すべき特徴を指定する画素アドレスに相当する場合に、当該処理素子に関連する前記画素用、あるいは当該処理素子に関連する前記画素群の各画素用の個別の画素データを、前記表示すべき特徴を指定する表示設定値として定めるべく、前記各処理素子の前記プロセッサを適応させた

ことを特徴とする請求項 1 に記載の表示デバイス。

30

40

【請求項 6】

前記各処理素子の前記メモリを、画素アドレスを画素アレイ内座標の形式として受信して記憶すべく適応させて；

前記各処理素子の前記入力を、特徴を所定形状で表わした識別子、及び前記特徴の前記画素アレイ内の位置を指定する画素アレイ内座標から成る指定を含む表示データを受信すべく適応させて；

各画素が、前記画素アレイ内の前記指定した位置にある前記所定形状内に存在する場合に、各画素の画素アドレスを、前記表示すべき特徴を指定する画素アドレスに相当するもの

50

として考えるべく、前記プロセッサを構成したことを特徴とする請求項 5 に記載の表示デバイス。

【請求項 7】

前記各処理素子の前記メモリを、画素アドレスを画素アレイ内座標の形式として受信して記憶すべく適応させて；

前記各処理素子の前記入力を、指定した画素アレイ座標から成る指定を含む表示データを受信すべく適応させて；

前記処理素子に、前記指定した画素アレイ内座標を結合して前記特徴の形状及び位置を指定する規則を設けて；

各画素が、前記画素アレイ内の前記指定した位置にある前記所定形状内に存在する場合に、各画素の画素アドレスを、表示すべき前記特徴を指定する画素アドレスとして考えるべく、前記プロセッサを構成した

ことを特徴とする請求項 5 に記載の表示デバイス。

【請求項 8】

画素のアレイを具えた表示デバイスを駆動する方法において、

1つの前記画素または前記画素の群に関連する処理素子が、複数の前記画素に係する入力表示データを受信するステップと；

前記処理素子が、前記受信した入力表示データを処理して、前記関連する画素用、あるいは前記関連する画素群の各画素用の個別の画素データを定めるステップと；

前記処理素子が、前記関連する画素、あるいは前記関連する画素群の各画素を、当該画素用に個別に定めた画素データで駆動するステップと

を具えていることを特徴とする表示デバイスの駆動方法。

【請求項 9】

前記処理素子が画素の群に関連して；

前記入力表示データが、前記処理素子用の表示設定値を含み；

前記処理素子が、関連する画素群の各画素用の個別の画素データを、当該処理装置用の表示設定値、及び1つまたは複数の隣接する前記各処理素子用の表示設定値から補間することによって、前記受信した入力表示データを処理し、前記隣接する処理素子の各々が、他の画素群に関連する

ことを特徴とする請求項 8 に記載の表示デバイスの駆動方法。

【請求項 10】

前記処理素子が、1つまたは複数の隣接する前記処理素子と通信することによって、前記1つまたは複数の隣接する処理素子用の表示設定値を取得することを特徴とする請求項 9 に記載の方法。

【請求項 11】

前記1つまたは複数の隣接する処理素子用の表示設定値を、前記入力表示データの一部として前記処理素子に供給することを特徴とする請求項 9 に記載の方法。

【請求項 12】

前記処理素子に、当該処理素子に関連する画素または画素群の画素アドレスを供給して；前記入力表示データが、画素アドレス及び表示設定値から成り表示すべき特徴を指定する指定を含み；

前記処理素子が、前記受信した入力表示データを処理して、表示すべき特徴を指定する画素アドレスを、当該処理素子に関連する画素または画素群の画素アドレスと比較することによって、当該処理素子に関連する画素用、あるいは当該処理素子に関連する画素群の各画素用の個別の画素データを定めて；

各画素の画素アドレスが、前記表示すべき特徴の画素アドレスに相当する場合に、当該画素または当該画素群の各画素を、前記指定における表示設定値で駆動する

ことを特徴とする請求項 8 に記載の方法。

【請求項 13】

前記画素アドレスが画素アレイ内座標の形式であり；

10

20

30

40

50

前記指定が、特徴を所定形状で表わした識別子、及び前記特徴の前記画素アレイ内の位置を指定する画素アレイ内座標から成り；

各画素が、前記画素アレイ内の前記指定した位置にある前記所定形状内に存在する場合に、各画素の画素アドレスが、前記表示すべき特徴を指定する画素アドレスに相当することを特徴とする請求項 1 2 に記載の方法。

【請求項 1 4】

前記画素アドレスが画素アレイ内座標の形式であり；

前記指定が、指定した画素アレイ座標から成り；

前記処理素子に、前記指定した画素アレイ内座標を結合して前記特徴の形状及び位置を指定する規則を設けて；

各画素が、前記画素アレイ内の前記指定した位置にある前記所定形状内に存在する場合に、各画素の画素アドレスが、表示すべき前記特徴を指定する画素アドレスに相当することを特徴とする請求項 1 2 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の画素を具えた表示デバイス、及びこうした表示デバイスの駆動方法あるいはアドレス指定方法に関するものである。

【背景技術】

【0002】

既知の表示デバイスは、液晶、プラズマ、ポリマー発光ダイオード、有機発光ダイオード、電界放出、スイッチングミラー、電気泳動、エレクトロクロミック、マイクロメカニカル表示デバイスを含む。こうしたデバイスは、画素のアレイを具えている。こうした表示デバイスは動作中に、個々の表示設定値（例えば輝度レベル（これはグレースケール・レベルと称することも多い）及び/または色）を含む表示データ（例えば映像）で、画素毎にアドレス指定または駆動する。

【0003】

表示データは、表示すべきフレーム毎にリフレッシュ（更新）される。結果的なデータレートは、ディスプレイの画素数、及びフレームを供給する周波数に依存する。現在では、100MHzの範囲のデータレートが一般的である。

【0004】

慣例の方法では、一行の画素を同時に駆動して、この行内の各列の画素に異なるデータを供給することによって、各画素に当該画素の設定値を与えている。

【発明の開示】

【発明が解決しようとする課題】

【0005】

より大型でより高解像度の表示デバイスが開発されると共に、より高いデータレートが要求される。しかし、より高いデータレートは多くの問題をもたらす。1つの問題は、表示デバイスを駆動するのに必要なデータレートが、表示デバイスに表示データを供給あるいは転送するリンクまたはアプリケーションの帯域能力よりも高くなり得る、ということである。データレートが増加することの他の問題は、供給する必要のある各画素の設定値が、電力を消費するデータ遷移を表現するものとなるので、駆動回路あるいはアドレス指定回路がより大きな電力を消費する、ということである。さらに他の問題は、画素数の増加と共に、各画素を個別にアドレス指定するための時間が増加する、ということである。

【課題を解決するための手段】

【0006】

本発明は、画素毎に個別の表示設定値を含む表示データ（例えば映像）を表示デバイスに供給する必要性を回避する表示デバイス及び駆動方法を提供することによって、上述した問題を軽減するものである。

【0007】

10

20

30

40

50

本発明の第1の要点は、複数の画素、及び複数の処理素子を具えた表示デバイスを提供し、各処理素子は1つ以上の画素に関連する。この処理素子は、圧縮した入力表示データを受信して、このデータを処理して非圧縮のデータを供給し、そしてデータに関連する画素を、それぞれの画素について定めた表示設定値で駆動すべく適応させる。

【0008】

本発明の第2の要点は、本発明の第1の要点で上述した種類の表示デバイスを駆動する方法を提供する。

【0009】

前記処理素子は、入力表示データの画素レベルでの処理を実行する。

【0010】

従って、処理素子毎の圧縮データは、表示デバイスの多数の画素に関係する入力を詳述するように作成することができる、というのは、これらの処理素子は、入力データを解釈して、この入力データと、各処理素子に関連する個別の画素との関係を特定することができるからである。

【0011】

前記圧縮データは、表示デバイスの解像度よりも低解像度の画像で構成することができる。この構成では、より低解像度の画像にもとづいて、各処理素子に表示設定値を割り当てる。このための知識を、隣接する処理素子と通信することによって得るか、あるいは、前記処理素子に供給する入力データに、このための情報を含めることができる。そして前記処理素子は、関連するすべての画素について表示設定値を定めることによって、入力画像データを伸張して、より高解像度のディスプレイに適合させ、この表示設定値を定める動作は、当該処理素子に割り当てられた表示設定値、及び当該処理素子に隣接する処理素子に割り当てられた表示設定値で当該処理素子はその値を知っているものにもとづいて、各画素についての値を補間することによって行う。このことは、より低解像度に圧縮した入力データから、より高解像度の非圧縮の画像を表示することを可能にする。

【0012】

あるいはまた、前記処理素子が、当該処理素子に関連する画素の画素位置の知識を有し、そしてこの情報を用いて、複数の処理素子が受信した共通の入力データに応じて、関連する1つ以上の画素を駆動する必要があるか否かを定めることができる。特に、前記処理素子は、1つの素子にも複数の素子にも関連付けることができ、そして前記処理素子には、当該処理素子に関連する1つまたは複数の画素の位置または画素アドレスを指定するデータか、さもなければその特定を可能にするデータを供給することができる。そして前記圧縮入力データは、1つ以上の表示すべきオブジェクト（対象物）あるいは特徴の指定、及びこれらのオブジェクトあるいは特徴を表示するために必要な画素を指定するデータ（あるいは、前記処理装置が表示すべきオブジェクトあるいは特徴を導出できるようなデータ）を含むことができる。このデータは、オブジェクトあるいは特徴を表示するのに必要なすべての画素で表示すべき表示設定値の指定も含むことができる。この表示設定値は、グレースケール・レベル、絶対輝度、色設定値、等を含むことができる。前記処理素子は、オブジェクトあるいは特徴を表示するのに必要な画素の画素アドレスを、当該処理素子に関連する画素の画素アドレスと比較して、これらの画素アドレスが一致する画素について、これらの画素を前記指定された表示設定値で駆動する。換言すれば、前記処理素子は、各画素が表示する必要がある内容を定める。この方法は、共通入力をディスプレイ全体に並列的に供給することを可能にして、潜在的に、必要な入力データレートを大幅に低減する。あるいはまた、ディスプレイを2つ以上の処理素子の群（即ち各群に関連する画素）に分割して、各群に独自の共通入力を供給することができる。

【0013】

画素アドレスについての好適なオプションは、画素のアレイの行及び列で表わした画素の座標位置で画素アドレスを規定することであり、即ち画素の座標位置を例えば（ x, y ）座標で表わす。上記のように画素を識別すると、表示すべきオブジェクトあるいは特徴の指定は、種々の画素の座標位置の形式にすることが有利になり得る。前記処理素子は、こ

10

20

30

40

50

これらの座標を、表示すべき形状及びこれらの形状を表示する位置に変換する規則を用いて、これらの座標位置を分析することができる。他の可能性は、例えばアスキー（ASCII）文字のような所定形状、及びこれらの文字をディスプレイ上に表示する位置を指示することである。

【0014】

本発明の上述した要点及び他の要点は、以下に説明する実施例より明らかになる。

【実施例1】

【0015】

【特許文献1】

米国特許US 5,130,829 以下、本発明の実施例について図面を参照して説明する。

10

図1に、互いに逆側にある2枚のガラス板（ガラスプレート）2、4を具えた液晶表示デバイス1を図式的に示す（一定寸法比ではない）。ガラス板2は、その内側の表面上にアクティブマトリクス層6を有し、これについては以下でより詳細に説明し、そしてアクティブマトリクス層6上に液晶配向層8を堆積させる。反対側のガラス板4は、その内側の表面上に共通電極10を有し、そして共通電極10上に液晶配向層12を堆積させる。2枚のガラス板2、4のそれぞれの液晶配向層8、12の間に、液晶層14を配置する。液晶表示デバイス1の構造及び配向は、以下に、本実施例の画素駆動方法に関連付けて説明するアクティブマトリクスの詳細事項以外は、米国特許US 5,130,829に開示された液晶表示デバイスと同様であり、この米国特許は参考文献として本明細書に含める。さらに、本実施例では、液晶デバイス1はモノクロ（白黒）表示デバイスである。

20

【0016】

本実施例をわかりやすくするために、図2に、アクティブマトリクス層6の一部を詳細に示す（一定寸法比ではない）。アクティブマトリクス層6は、画素のアレイで構成される。通常、こうしたアレイは何千もの画素を含むが、本実施例では簡単のため、画素のアレイのうち、図2に示す4×4画素のサンプル部分の画素21～36について説明する。

【0017】

あらゆる表示デバイスにおいて、画素の厳密な特性はデバイスの種類に依存する。本実施例では、各画素21～36は、アクティブマトリクス層6の当該画素に関係するすべての要素を具えているものと考えべきであり、即ち、各画素は慣例のように、特に、薄膜フィルムトランジスタ及び画素電極を具えている。しかし一部の表示デバイスでは、画素毎に2つ以上の薄膜フィルムトランジスタが存在し得る。また、本発明の一部の実施例では、以下に説明する処理素子が薄膜フィルムトランジスタの機能を代わりに実行する場合には、薄膜フィルムトランジスタを省略することができる。

30

【0018】

また、アクティブマトリクス層6の一部として、処理素子41～48のアレイを図2に示す。各処理素子41～48は、図2に点線で表わす接続線によって、（列方向に）隣接する2つの画素の各々に結合する。処理素子41～48に入力データを送達するために、複数の行アドレス線61、62及び列アドレス線65～68を設ける。慣例の表示デバイスでは、画素行毎に1本の行アドレス線を設けて、そして画素列毎に1本の列アドレス線を設けて、各画素が1本の行アドレス線及び1本の列アドレス線に接続されるようにする。しかし、アクティブマトリクス層6では、図2に示すように、処理素子41～48の行毎に1本の行アドレス線61、62を設け、そして処理素子41～48の列毎に1本の列アドレス線65～68を設けて、（各画素21～36ではなく）各処理素子41～48が、1本の行アドレス線及び1本の列アドレス線に接続されるようにする。

40

【0019】

動作中には、各処理素子41～48入力データを受信して、各処理素子はこれらの入力データから、当該処理素子に結合した2つの画素の各々を駆動すべきレベルを定めて、これについては以下でより詳細に説明する。結果的に、外部データ源から表示デバイス1にデータを供給しなければならないデータレート（データ転送速度）が半分になって、必要な行アドレス線の本数も同様に半分になる。

50

【0020】

ここで例として、処理装置41の機能及び動作について説明するが、以下の説明は処理素子41～48の各々に当てはまる。図3に、処理素子41の機能モジュールを図式的に表わしたブロック図を示す。処理素子41は入力モジュール51を具えて、入力モジュール51は、行アドレス線61上の信号と列アドレス線65上の信号の組合わせによって供給されるデータを受信する。処理素子41はさらに、プロセッサ52を具えている。動作中には、プロセッサ52が、処理素子41に結合した2つの画素、即ち画素21及び22の各々を駆動すべきレベルを定める。処理素子41は画素ドライバ(駆動装置)53も具えて、画素ドライバ53は動作中に、前記定めた駆動信号を画素21及び22に対して出力する。

10

【0021】

図4は、本実施例において処理素子41が実行する処理ステップを示すフローチャートである。ステップs2では、処理素子41の入力51が、表示デバイス1に結合した表示ドライバから入力表示データを受信する。この入力表示データは、処理素子41そのもの用の表示設定値である(本実施例のモノクロディスプレイでは、グレースケールの設定値のみから成る)。これに加えて、この入力表示データは、処理素子41に列方向に隣接する処理素子、即ち処理素子42用の表示設定値を含む。この入力表示データは、処理素子41に関連する画素21、22に共に関係するものであり、処理素子41はこのデータを用いて、これらの各画素に供給すべき表示設定値を定める。

20

【0022】

ステップs4では、処理素子41のプロセッサ52が、処理素子41そのものについての値と、隣接する処理素子42についての値との間を補間することによって、画素21、22についての個別の表示設定値を決定する。この補間プロセスには、適切な補間プロセスのいずれをも用いることができる。本実施例では、処理素子41に隣接する画素、即ち画素21用に定めた駆動レベルは、処理素子41用の設定値に等しいグレースケール・レベル、即ち輝度レベルであり、他の画素、即ち画素22用に補間した駆動レベルは、処理素子41用の設定値と、隣接する処理素子42用の設定値との平均値に等しい値である。

【0023】

ステップs6では、処理素子41が、画素ドライバ53によって画素21及び22を、ステップs4中に定めた設定値で駆動する。

30

【0024】

本実施例では、2つの画素を、入力データの1つの項目に応じた個別の設定値で駆動する。従って、表示される画像は、圧縮した入力データから表示した非圧縮画像として考えることができる。この入力データは、表示デバイス1の画素数よりも少ない画素の形式とすることができ、この場合には、上述したプロセスは、画像を、「より少数画素のフォーマット」から「より多数画素のフォーマット」(即ち、より高解像度)に伸張するプロセスと考えることができ、例えばビデオ・グラフィックス・アレイ(VGA)解像度の画像を、エクステンデッド・グラフィックス・アレイ(XGA)解像度のディスプレイ上に表示するようなものである。

【0025】

他の可能性は、表示デバイス1上に存在する画素数と同数相当のデータが元々存在して、データレートあるいは帯域が限定されたリンク上で表示デバイス1に伝送する前に、このデータを圧縮する場合である。この場合には、このデータを、表示デバイス1が圧縮データを伸張するために用いる補間アルゴリズムに整合する形式に圧縮する。

40

【実施例2】

【0026】

上述した構成は比較的簡単であり、ここでは、一方向のみの補間を実行する。より巧妙な構成は、より大幅なデータレートの節約をもたらす。図5に、1つの実施例を図式的に示し(一定寸法比ではない)、図5は、他の画素及び処理素子のアレイを示す。本実施例では、処理素子71～79を、図に示すような行及び列のアレイに配置する。各処理素子は

50

、図に示すように、処理素子の周囲に対称に配置した4つの画素[71a~d]~[79a~d]に線(図示せず)で結合する。これに加えて、隣接する処理素子間に専用の接続線(図示せず)を設け、これについては以下で詳細に説明する。

【0027】

本実施例では、各処理素子71~79が受信した入力表示データは、処理素子71~79のうちの特定の処理素子用の設定値(またはレベル)のみから成る。各処理素子71~79は別個に、上述した専用接続線上で隣接する処理素子と直接通信することによって、隣接する処理素子のそれぞれの設定値を取得する。

【0028】

ここでも、種々の補間アルゴリズムを採用することができる。1つの可能なアルゴリズムは次の通りである。 10

【0029】

処理素子75、76、79、及び78が受信したデータの設定値に、それぞれW、X、Y、及びZのラベルを付けるものとすれば、次の画素用に補間した表示値は次式の通りである。

$$\text{画素 } 75 \text{ } c = (6W + X + Z) / 8$$

$$\text{画素 } 76 \text{ } d = (6X + W + Y) / 8$$

$$\text{画素 } 79 \text{ } a = (6Y + X + Z) / 8$$

$$\text{画素 } 78 \text{ } b = (6Z + W + Y) / 8$$

【0030】

これらの式は、重み付けした補間をもたらし、ここでは所定の画素を、主にこの画素に関連する処理素子の設定値によって決まるレベルで駆動するが、この駆動レベルは、各行方向、及び各列方向において、この処理素子に最寄の処理素子の設定値をある程度考慮に入れるべく調整する。アルゴリズム全体は、上記の原理、及び処理素子のアレイ全体に適用する重み係数で構成する。 20

【0031】

このアルゴリズムは、アレイの端部の画素に適応すべく調整する。アレイの図5に示す部分が、アレイ全体の右下隅の部分であり、処理素子73、76、79、78及び77がすべてアレイの端部にある場合には、次の画素用に補間した表示値は次式のようになる。

$$\text{画素 } 76 \text{ } c = (3X + Y) / 4$$

$$\text{画素 } 79 \text{ } b = (3Y + X) / 4$$

$$\text{画素 } 79 \text{ } c = Y、$$

等である。 30

【0032】

【特許文献2】

米国特許US 5,545,291

【非特許文献1】

R.G. Stewart著: "Flexible Displays with Fully Integrated Electronics", Conference Record of the 20th IDRC, 2000年9月, ISSN 1083-1312 ここで、以上の実施例の処理素子41~48、及び71~76についてさらに詳細に説明する。これらの処理素子は小規模な電子回路であり、p-Si技術を含む適切な多層/半導体の製造技術形態のいずれをも用いて用意することができる。同様に、適切な、あるいは好都合な、プロセッサ部分の層の構成及び幾何学的レイアウト(配置)のいずれをも用いることができ、特に、表示デバイスの他の(慣例の)構成部品の製造に用いられるいずれの材料及び層を考慮に入れることができる。しかし、以上の実施例では、前記処理素子を、"NanoBlock (TM) IC and Fluidic Self Assembly" (FSA)として知られているプロセスによって提供されるCMOSトランジスタから形成し、このプロセスは、米国特許US 5,545,291、及びR.G. Stewart著: "Flexible Displays with Fully Integrated Electronics", Conference Record of the 20th IDRC, 2000年9月, ISSN 1083-1312の415~418ページに記載されており、両文献とも参考文献として本明細書に含める。この方法は特に、通常の表示画素と同規模の 40 50

非常に小さい構成要素の生産に適しているので、有利である。

【0033】

例として、図6に、図5のアレイの処理素子75及びこれに関連する画素75a~75dに適したレイアウトを示す(一定寸法比ではない)。処理素子75、及び画素75a~75dの薄膜フィルムトランジスタは、上述したFSAプロセスによって形成する。(あるいはまた、処理素子が薄膜フィルムトランジスタに相当する機能を提供する場合には、薄膜フィルムトランジスタを省略することができる。)画素75a~75dの表示形状は、これらの画素の画素電極の形状によって規定される。処理素子75とそれぞれの画素75a~75dとの間に、画素接触子81~84を設ける。

【0034】

図5のアレイにおいて、処理素子75から、これに隣接する各処理素子へのデータ線対を設け、即ち、データ線91及び92を処理素子72に接続して、データ線93及び94を処理素子76に接続して、データ線95及び96を処理素子78に接続して、データ線95及び96を処理素子78に接続して、データ線97及び98を処理素子74に接続する。前述したように、これらのデータ線は、処理素子が隣接する処理素子との通信を行って、これらの隣接する処理素子の入力表示設定値を定めることを可能にする。本実施例では、データ線91~98(及びこれらに対応する、他の処理素子のデータ線)が各処理素子を効果的に包囲し、従って、こうした処理素子のアレイ用の列及び行アドレス線(図示せず)を、アクティブマトリクス層6の薄膜フィルムの多層構造の異なる層に設けることができる。図2に示す実施例の場合には、各処理素子に、隣接する処理素子についてのデータ設定値を直接供給するので、データ線91~98に相当するデータ線は採用せず、従って、行及び列アドレス線(図2に実線で表わす)、及び処理素子と画素との接続線(図2に点線で表わす)は、所望すれば、あるいはその方が好都合であれば、同一の薄膜フィルム層から形成することができる。

【0035】

以上の実施例では、処理素子が不透明であり、従って、透過型デバイスにおける表示領域としては利用不可能である。従って、図4及び図5に示す構成は、透過型表示デバイスに特に適した例である、というのは、例えば、画素75a~75dの形状及びレイアウトが、不透明な処理素子75の周囲の利用可能な表示領域を有効に使用しているからである。

【0036】

反射型表示デバイスの場合には、さらなる可能性は、画素を、処理素子の真上に設けることであり、例えば図6の構成の場合には、処理素子75の領域上にさらなる画素を設けることができる。こうした場合には、補間アルゴリズムを適応させる1つの好都合な方法は、処理素子の上にある画素を、この処理素子の設定値に等しく設定することである。

【0037】

以上の実施例では、表示デバイス1がモノクロディスプレイであり、即ち、個々の画素の設定値に必要な変数は、オン/オフか、あるいはグレースケール・ディスプレイの場合には、グレースケールレベルまたは輝度レベルかのいずれかである。しかし、表示デバイスの他の実施例はカラーディスプレイとすることができ、この場合には、個々の画素の表示設定値は、表示すべき色の指定も含む。

【0038】

補間アルゴリズムは、何らかの適切な方法で、色を変数として取り込むべく適応させることができる。1つの簡単な可能性は、所定の処理素子に関連するすべての画素を、この処理素子の表示設定値に指定された色で駆動することである。例えば、図2に示す構成の場合には、画素21及び22を共に処理素子41用の入力データに指定された色で駆動する。このアルゴリズムの利点は、実現が簡単であるということである。欠点は、画素22は、画素21と画素23の輝度を「混合」したものになるが、このことが、表示画像の色特性には当てはまらない、ということである。

【0039】

より複雑なアルゴリズムは、色の「混合」も提供することができる。1つの可能性は、色

10

20

30

40

50

チャート上の座標によって色を指定する際に、処理素子 4 1 及び 4 2 に対して指定されたそれぞれの色座標を、(図 2 の構成の) 画素 2 2 に適用することである。図 5 の構成について上述した例のような重み付け補間アルゴリズムの場合には、こうした色座標に対しても、重み付け補間アルゴリズムを適用することができる。

【 0 0 4 0 】

さらに他の可能性は、補間の色設定値を定める目的で、処理素子毎に、ルックアップ・テーブル(早見表) を記憶してこれを使用することである。例えば、再び図 2 の構成を参照して説明すれば、処理素子 4 1 が、画素 2 2 を駆動する色を、処理素子 4 1 用に指定した色と処理素子 4 2 用に指定した色とを組合わせた関数として指定するルックアップテーブルを有する。

10

【 0 0 4 1 】

上述した実施例より、当業者が利用可能な設計のオプションが多数存在することは明らかであり、例えば次のようなものである。

(i) 処理素子の製造プロセス

(ii) 各処理素子に関連する画素の数及び幾何学的配置

(iii) 処理素子上に画素を配置するか否か

(iv) 処理素子が、(補間プロセスに必要な) 隣接する処理素子のデータ設定値の知識を取得する方法

(v) 輝度及び / または色に関する補間アルゴリズムの形態

【 0 0 4 2 】

なお重要なこととして、以上の実施例に含まれる設計オプションから選択した、これらの特定の設計オプションは好適なものに過ぎず、他の実施例では、各設計オプションのうち整合するものを任意に組み合わせた他の選択も実行可能である。

20

【 0 0 4 3 】

上述した実施例は「補間」の実施例と言える、というのは、これらすべての実施例において、特定の画素表示設定値を定めるために補間が関係しているからである。ここで、「位置」の実施例と称するのにふさわしい、さらなる範囲の実施例について説明する。

【 0 0 4 4 】

まとめて言えば、各処理素子が 1 つ以上の特定画素に関連する。各処理素子は、処理素子または画素のアレイ内の、この処理素子の位置、あるいはこの処理素子に関連する画素の位置がわかっている。ここでも、上述した実施例のように、処理素子を、入力データを分析して個々の画素の設定値を定めるために用いる。しかし、位置の実施例では、入力表示データは、すべての(あるいは少なくとも複数の) 処理素子に適用可能な一般化した形式である。これらの処理素子は、一般化した入力データを分析して、この一般化した入力データに含まれる画像情報の表示を行うために、当該処理素子に関連する画素を駆動する必要があるか否かを判定する。

30

【 0 0 4 5 】

前記一般化した入力データは、多様なフォーマット、あるいは多様なフォーマットの組合わせのいずれのものとなり得る。1 つの可能性は、ディスプレイの画素を画素アレイの(x, y) 座標で識別することである。長方形 1 0 1 を表示する際の例を図 7 a に図式的に示す。入力データは、この長方形の四隅の位置を指定した 4 組の画素アレイの(x, y) 座標、(表示デバイスがグレースケールの能力を提供する場合には) この長方形の輝度設定値、及び(表示デバイスがカラー表示デバイスである場合には) この長方形の色の形式で提供される。このデータは、表示デバイスのすべての処理素子に入力される。処理素子には、指定した画素アレイの(x, y) 座標を結合する方法を決定するために用いる規則を設ける。例えば、この規則は、3 組の座標が与えられた際には三角形を形成すべきであり、4 組の座標が与えられた際には長方形を形成すべきである、等である。あるいはまた、入力データにさらなる符号を含めることができ、この符号は座標を結合すべき方法を示し、例えば所定の曲線によって結合するか、あるいは直線によって結合するかである。各処理素子は、当該素子に関連する画素の位置を、この長方形を表示するために駆動する必

40

50

要のある画素の位置と比較し、これに続いて、駆動する必要がある場合は駆動する。

【0046】

入力データのフォーマットについての他の可能性は、例えば図7bに図式的に示す文字"x"102のように、所定の文字を指定することである。入力データは、画素アレイ内の文字"x"の位置（即ち、文字"x"の所定部分の位置、あるいは文字"x"の標準化した包絡線（エンベロープ））、文字"x"の大きさ、及びここでも、（表示デバイスがグレースケールの能力を提供する場合には）輝度設定値、及び（表示デバイスがカラー表示デバイスである場合には）長方形の色を指定する一組の座標の形式で供給する。

【0047】

処理素子において、前の2つの段落に記載した処理を実行することによって、表示デバイスを画素毎に別個のデータで外部的に駆動する必要性を解消することができる。その代わりに、共通の入力データをすべての処理素子に供給して、データ入力プロセスを大幅に簡略化して、必要な帯域幅を大幅に低減することができる。

【0048】

図8に、特定の、位置の実施例のアクティブマトリクス層6の画素アレイの、4×4画素の部分121～136を図式的に示し（一定寸法比ではない）、これについて以下に説明する。本実施例の液晶デバイスの詳細は、特に断わりのない限り、前述の補間の実施例に関して説明した液晶ディスプレイ1と同様である。ここでも、処理素子141～148のアレイを設ける。各処理素子141～148は、点線で表わす接続線によって2つの画素に結合されている。以上で説明したように、本実施例では、処理素子141～148の特性は、すべての処理素子に共通入力データを供給することを可能にする。図8に示すように、単一のデータ入力線161を設けて、すべての処理素子141～148に並列に接続する。

【0049】

ここで例として、処理素子141の機能及び動作について説明するが、以下の説明は処理素子141～148の各々に当てはまる。図9は、処理素子141の機能モジュールを図式的に示すブロック図である。処理素子141は、データ入力線161上に供給される入力信号を受信する入力モジュール151を具えている。処理素子141は位置メモリ158も具え、位置メモリ158は、画素121及び122の(x,y)座標を識別する位置データを記憶する。（あるいはまた、位置データは、処理素子141そのもののアレイ内の位置を識別して、画素121及び122の(x,y)座標の特定を可能にするものとすることができる。）処理素子141はさらにプロセッサ152を具えて、プロセッサ152は比較器（コンパレータ）155を具えている。動作中には、プロセッサ152は、上述した、処理素子141に結合した2つの画素、即ち画素121及び122の各々を駆動するレベルの決定を実行する。処理素子141は、画素ドライバ（駆動装置）153も具えている。

【0050】

本実施例において、処理素子141が実行する処理ステップは、前述した実施例について図4のフローチャートに概要を示したものに相当する。図4に示すように、ステップ2では、処理素子141の入力151が、表示デバイス1に結合した表示ドライバから表示データを受信する。本実施例では、入力表示データは、表示すべき1つ以上の画像オブジェクト（対象物）を指定するデータから成る。画像オブジェクトは、(x,y)座標、及び図7a及び図7bを参照して上記説明した他のパラメータで指定する。大きい画像、あるいは複雑な画像を指定するために、例えば、要求される形状を構成する複数のポリゴン（多角形）で画像を指定することができる。あるいはまた、あるいはこれに加えて、アスキー（ASCII）文字のような文字セットを位置ベクトルと共に指定することができる。実際に、例えばコンピュータ・グラフィックス/ビデオカードで使用するような、画像を規定する慣例の適切な方法のいずれも用いることができる。従って、この入力表示データは、画像オブジェクトを表示するのに必要な複数の画素に関係する。

【0051】

10

20

30

40

50

ステップ4では、処理素子141のプロセッサ152が、受信した画像の指定に従って、比較器155を用いて、駆動する必要がある画素の座標を、画素121及び122の画素座標と比較することによって、画素121及び122用の個別の表示設定値を定める。

【0052】

ステップ6では、処理素子141が、上記比較プロセスの結果から必要に応じて、画素121及び/または画素122を、画素表示設定値で駆動し、即ち、入力画像データに指定された輝度及び/または色のレベルで駆動する。

【0053】

本実施例の入力データは圧縮したデータを表現する、というのは、非常に多数の画素をカバーする画像オブジェクトを、簡単に、各画素の設定値を個別に指定する必要なしに規定することができるからである。結果として、例えば1024×768画素の表示デバイスについては、100MHzのデータレートの代わりに、2,3kHzという低いデータレートを適用することができる。

10

【0054】

本実施例では、すべての処理素子141～148を並列に、単一のデータ入力線161に接続する。しかし、多数の代案が可能である。図10に、処理素子141～148の接続構成の代案を図式的に示す(この図では、明確にするために、画素を省略している)。ここでも単一のデータ線161を設けるが、ここではこの接続線は、処理素子141～148を、直列接続された2つの連鎖に分割して、(各直列連鎖の端部にある処理素子以外の)各処理素子が、前述した入力接続に加えて出力接続を有する。このことは、各処理素子141～148内に情報を一時蓄積(バッファ)することを可能にして、大面積のディスプレイにおいて、バッファなしで長い線でデータを伝送することに比べて、信号の劣化を低減する可能性をもたらす。

20

【0055】

図11に、処理素子141～148への接続線の他の代案の構成を図式的に示す。この構成では、画素アレイ全体についての入力画像データは最初に、単一のデータ入力線161に供給されるが、次にプリプロセッサ170に入力される。このプリプロセッサは独立した2つの出力を有し、一方を1列目の処理素子141、143、145、147に接続し、他方を2列目の処理素子142、144、146、148に接続する。プリプロセッサ170は入力データを分析して、処理素子の各列に関連する画素アレイの領域内に表示すべきオブジェクトを指定した入力データのみを、処理素子の当該列に転送する。より複雑な、あるいはより大型の他のアレイでは、プリプロセッサからの出力の数を必要に応じて選択する。他の可能性は、供給される入力データが、画素アレイの異なる領域に応じて既に分割されており、この場合には、これら別個の入力を、対応する各処理素子群に直接供給する。

30

【0056】

図12に、処理素子141～148への接続線の他の代案の構成を図式的に示す。この構成では、入力画像データを2つの構成部分にして供給する。第1部分は表示設定値(例えば輝度及び/または色)を指定する。このデータは、各処理素子141～148に並列に接続した表示設定値入力線180経由で処理素子に入力される。入力データの第2部分は、前記表示設定値の表示を行うべき画素を指定する位置データである。この位置データは、位置入力線182経由で処理素子に入力し、位置入力線182も、各処理素子141～148に並列に接続されている。この接続構成については、各処理素子の機能モジュールの構成は、プロセッサ152が比較器155を具備しておらず、また位置メモリ158を次のように変更すること以外は、図9を参照して前述した構成と同様である。位置メモリ158を位置処理モジュールで置き換えて、位置処理モジュールは関連する画素の位置を記憶するだけでなく、図12に示す位置入力線182用の入力としても作用する。位置処理モジュールはさらに、表示を行う必要がある画素の位置と、処理素子に関連する画素の位置とを比較を実行する比較器を具備している。処理素子に関連する1つ以上の画素が、画像の画素位置に相当する場合には、関係する画素の識別子をプロセッサ152に転送して、

40

50

プロセッサ 152 は基本入力 151 で受信したデータ設定値を付け加えて、これを画素ドライバ 153 に転送し、画素ドライバ 153 は関係する画素を駆動する。

【0057】

上述した位置の実施例では、画素の位置を (x, y) 座標で指定する。しかし個々の画素は、他の代替りの方式を用いて、指定あるいは識別することができる。例えば、各画素は単に一意の番号あるいは他の符号によって識別することができ、すなわち描く画素が一意の画素アドレスを有する。この画素アドレスは、画素の位置に従って割り当てる必要はない。そして入力データは、表示に必要な画素の画素アドレスを指定する。画素アドレスを画素の位置に関連付けて、数値的な順序に体系的に割り当てる場合には、表示を行うべき連続的な画素の組の終端の画素を単に指定することによって、入力データを、圧縮可能な際にはさらに圧縮することができる。

10

【0058】

上述した位置の実施例のすべてが、比較的単純な幾何学的構成を示す。しかし、ずっと複雑な構成を採用できることは明らかである。例えば、各処理素子に関連する画素数を3以上にして、例えば各処理素子に4画素に関連付けて、図5及び図6に示す補間の実施例と同様のレイアウトに構成することができる。前述した補間の実施例の場合と同様に、反射型表示デバイスの場合には、さらなる画素を処理素子上に配置することができる。

【0059】

他の可能性は、各処理素子に、この処理素子に関連する画素を1つだけ持たせることである。この場合には、反射型表示デバイスでは、各画素をそれぞれの処理素子上に配置することができる。

20

【0060】

図7～図12を参照して上述した特定の詳細事項以外の、位置の実施例における表示デバイス1の処理素子及び他の素子の、製造の詳細事項及び他の詳細事項は、図2～図6を参照して上述した補間の実施例における詳細事項と同様である。

【0061】

上述した補間の実施例及び位置の実施例のすべてが、液晶表示デバイスにおいて本発明を実現するが、これらの実施例は例示的なものに過ぎず、本発明は代替りの方法として、処理素子を画素に関連付けることが可能な表示デバイスの他のあらゆる形態で実現することができ、これらの表示デバイスは例えば、プラズマ、ポリマー発光ダイオード、有機発光ダイオード、電界放出、スイッチングミラー、電気泳動、エレクトロクロミック、及びマイクロメカニカル表示デバイスを含む。

30

【図面の簡単な説明】

【0062】

【図1】液晶表示デバイスを図式的に示す図である。

【図2】図1の表示デバイスのアクティブマトリクス層の、処理素子及び画素のアレイの一部を図式的に示す図である。

【図3】処理素子の機能モジュールを図式的に示すブロック図である。

【図4】図4の処理素子が実行する処理ステップを示すフローチャートである。

【図5】図1の表示デバイスのアクティブマトリクス層の処理素子及び画素のアレイの代案の一部を図式的に示す図である。

40

【図6】処理素子及びこれに関連する画素のレイアウトを示す図である。(一定寸法比ではない。)

【図7a】画素座標によって規定した、表示する長方形を示す図である。

【図7b】画素座標によって位置を規定した、表示する所定文字を示す図である。

【図8】図1の表示デバイスのアクティブマトリクス層の処理素子及び画素のアレイの他の代案の一部を図式的に示す図である。

【図9】他の処理素子の機能モジュールを図式的に示す図である。

【図10】処理素子の接続構成を図式的に示す図である。

【図11】処理素子の接続構成の代案を示す図である。

50

【図 1 2】処理素子の接続構成の他の代案を示す図である。

【符号の説明】

【 0 0 6 3 】

1	液晶表示デバイス	
2	ガラス板	
4	ガラス板	
6	アクティブマトリクス層	
8	液晶配向層	
1 0	共通電極	
1 2	液晶配向層	10
1 4	液晶層	
2 1 ~ 3 6	画素	
4 1 ~ 4 8	処理素子	
5 1	入力モジュール	
5 2	プロセッサ	
5 3	画素ドライバ	
6 1、6 2	行アドレス線	
6 5 ~ 6 8	列アドレス線	
7 1 ~ 7 9	処理素子	
8 1 ~ 8 4	画素接触子	20
9 1 ~ 9 8	データ線	
1 0 1	長方形	
1 0 2	文字 " x "	
1 2 1 ~ 1 3 6	画素	
1 4 1 ~ 1 4 8	処理素子	
1 5 1	入力モジュール	
1 5 2	プロセッサ	
1 5 3	画素ドライバ	
1 5 5	比較器	
1 5 8	位置メモリ	30
1 6 1	接続線 (データ入力線)	
1 7 0	プリプロセッサ	
1 8 0	表示設定値入力線	
1 8 2	位置入力線	

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
28 November 2002 (28.11.2002)

PCT

(10) International Publication Number
WO 02/095723 A1

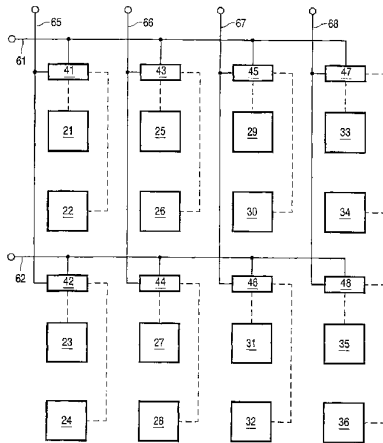
- (51) International Patent Classification: G09G 3/20, 3/36
- (21) International Application Number: PCT/IB02/01795
- (22) International Filing Date: 17 May 2002 (17.05.2002)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 0112395.9 22 May 2001 (22.05.2001) GB
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (72) Inventors: EDWARDS, Martin, J.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). HUNTER, Ian, M.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). JOHNSON, Mark, T.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). YOUNG, Nigel, D.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (74) Agent: WILLIAMSON, Paul, L.; Internationaal Octroobureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (81) Designated States (national): CN, JP, KR.
- (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IL, IT, LU, MC, NL, PT, SE, TR).
- Published: with international search report



WO 02/095723 A1

(72) Inventors: EDWARDS, Martin, J.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). HUNTER, Ian, M.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). JOHNSON, Mark, T.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). YOUNG, Nigel, D.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). *For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

(54) Title: DISPLAY DEVICES USING AN ARRAY OF PROCESSING ELEMENTS AND DRIVING METHOD THEREOF



(57) Abstract: A display device, for example a liquid crystal display device (1), and driving method are provided that avoid the need to provide the display device with display data (e.g. video) containing individual display settings for each pixel. The display device comprises an array of pixels (21-36, 71a-79d, 121-136) and an array of processing elements (41-48, 71-79, 141-148), each processing element being associated with a respective pixel or group of pixels. The processing elements (41-48, 71-79, 141-148) perform processing of compressed input display data at pixel level. The processing elements (41-48, 71-79, 141-148) decompress the input data to determine individual pixel settings for their associated pixel or pixels. The processing elements (41-48, 71-79, 141-148) then drive the pixels (21-36, 71a-79d, 121-136) at the individual settings. A processing element may interpolate pixel settings from input data allocated to itself and one or more neighbouring processing elements. Alternatively, the processing elements may have knowledge of the pixel locations of pixels associated with it, and use this information to determine whether one or more of its pixels needs to be driven in response to common input data received by the plural processing elements.

WO 02/095723

PCT/IB02/01795

1

DESCRIPTION

DISPLAY DEVICES USING AN ARRAY OF PROCESSING ELEMENTS AND DRIVING METHOD THEREOF

5 The present invention relates to display devices comprising a plurality of pixels, and to driving or addressing methods for such display devices.

10 Known display devices include liquid crystal, plasma, polymer light emitting diode, organic light emitting diode, field emission, switching mirror, electrophoretic, electrochromic and micro-mechanical display devices. Such devices comprise an array of pixels. In operation, such a display device is addressed or driven with display data (e.g. video) containing individual display settings (e.g. intensity level, often referred to as grey-scale level, and/or colour) for each pixel.

15 The display data is refreshed for each frame to be displayed. The resulting data rate will depend upon the number of pixels in a display, and the frequency at which frames are provided. Data rates in the 100 MHz range are currently typical.

20 Conventionally each pixel is provided with its respective display setting by an addressing scheme in which rows of pixels are driven one at a time, and each pixel within that row is provided with its own setting by different data being applied to each column of pixels.

25 Higher data rates will be required as ever larger and higher resolution display devices are developed. However, higher data rates leads to a number of problems. One problem is that the data rate required to drive a display device may be higher than a bandwidth capability of a link or application providing or forwarding the display data to the display device. Another problem with increased data rates is that driving or addressing circuitry consumes more power, as each pixel setting that needs to be accommodated represents a data transition that consumes power. Yet another problem is that the amount of time to individually address each pixel will increase with increasing numbers of pixels.

WO 02/095723

PCT/IB02/01795

2

The present invention alleviates the above problems by providing display devices and driving methods that avoid the need to provide a display device with display data (e.g. video) containing individual display settings for each pixel.

5 In a first aspect, the present invention provides a display device comprising a plurality of pixels, and a plurality of processing elements, each processing element being associated with one or more of the pixels. The processing element is adapted to receive compressed input display data, and
10 to process this data to provide decompressed data such that the processing element then drives its associated pixel or pixels at the pixels' respective determined display settings.

In a second aspect, the present invention provides a method of driving a display device of the type described above in the first aspect of the invention.

15 The processing elements perform processing of the input display data at pixel level.

Compressed data for each processing element may therefore be made to specify input relating to a number of the pixels of the display device, as the processing elements are able to interpret the input data and determine how it
20 relates to the individual pixels it has associated with it.

The compressed data may comprise an image of lower resolution than the resolution of the display device. Under this arrangement display settings are allocated to each of the processing elements based on the lower resolution image. Each processing element also acquires knowledge of the display
25 setting allocated to at least one neighbouring processing element. This knowledge may be obtained by communicating with the neighbouring processing element, or the information may be included in the input data provided to the processing element. The processing elements then expand the input image data to fit the higher resolution display by determining display
30 settings for all of their associated pixels by interpolating values for the pixels based on their allocated display settings and those of the neighbouring processing element(s) whose allocated setting(s) they also know. This allows a

decompressed higher resolution image to be displayed from the lower resolution compressed input data.

Alternatively, the processing elements may have knowledge of the pixel locations of pixels associated with it, and use this information to determine whether one or more of its pixels needs to be driven in response to common input data received by the plural processing elements. More particularly, the processing elements may be associated with either one or a plurality of pixels, and also be provided with data specifying or otherwise allowing determination of a location or other address of the associated one or plurality of pixels. Compressed input data may then comprise a specification of one or more objects or features to be displayed and data specifying (or from which the processing elements are able to deduce) those pixels that are required to display the object or feature. The data also includes a specification of the display setting to be displayed at all of the pixels required to display the object or feature. The display setting may comprise grey-scale level, absolute intensity, colour settings etc. The processing elements compare the addresses of the pixels required to display the object or feature with the addresses of their associated pixel or pixels, and for those pixels that match, drives those pixels at the specified display setting. In other words, the processing element decides what each of its pixels is required to display. This approach allows a common input to be provided in parallel to the whole of the display, potentially greatly reducing the required input data rate. Alternatively, the display may be divided into two or more groups of processing elements (and associated pixels), each group being provided with its own common input.

A preferred option for the pixel addresses is to define the pixel addresses in terms of position co-ordinates of the pixels in terms of rows and columns in which they are arrayed, i.e. pixel position co-ordinates, e.g. (x,y) co-ordinates. When the pixels are so identified, the specification of the object or feature to be displayed may advantageously be in the form of various pixel position co-ordinates, which the processing elements may analyse using rules for converting those co-ordinates into shapes to be displayed and positions at which to display those shapes. Another possibility is to indicate pre-determined

WO 02/095723

PCT/IB02/01795

4

shapes, e.g. ASCII characters, and a position on the display where the character is to be displayed.

The above described and other aspects of the invention will be apparent from and elucidated with reference to the embodiments described hereinafter.

Embodiments of the present invention will now be described, by way of example, with reference to the accompanying drawings, in which:

Figure 1 is a schematic illustration of a liquid crystal display device;

Figure 2 is a schematic illustration of part of an array of processing elements and pixels of an active matrix layer of the display device of Figure 1;

Figure 3 is a block diagram schematically illustrating functional modules of a processing element;

Figure 4 is a flowchart showing process steps carried out by the processing element of Figure 4 in a display driving process;

Figure 5 is a schematic illustration of part of an alternative array of processing elements and pixels of an active matrix layer of the display device of Figure 1;

Figure 6 shows a layout (not to scale) for a processing element and associated pixels;

Figure 7a shows a rectangle to be displayed defined by pixel co-ordinates;

Figure 7b shows a pre-determined character to be displayed whose position is defined by pixel co-ordinates;

Figure 8 is a schematic illustration of part of another alternative array of processing elements and pixels of an active matrix layer of the display device of Figure 1;

Figure 9 is a block diagram schematically illustrating functional modules of another processing element;

Figure 10 schematically illustrates an arrangement of connections to processing elements;

WO 02/095723

PCT/IB02/01795

5

Figure 11 schematically illustrates an alternative arrangement of connections to processing elements; and

Figure 12 schematically illustrates another alternative arrangement of connections to processing elements.

5

Figure 1 is a schematic illustration (not to scale) of a liquid crystal display device 1, comprising two opposed glass plates 2, 4. The glass plate 2 has an active matrix layer 6, which will be described in more detail below, on its inner surface, and a liquid crystal orientation layer 8 deposited over the active matrix layer 6. The opposing glass plate 4 has a common electrode on its inner surface, and a liquid crystal orientation layer 12 deposited over the common electrode 10. A liquid crystal layer 14 is disposed between the orientation layers 8, 12 of the two glass plates. Except for any active matrix details described below in relation to the pixel driving method of the present embodiment, the structure and operation of the liquid crystal display device 1 is the same as the liquid crystal display device disclosed in US 5,130, 829, the contents of which are contained herein by reference. Furthermore, in the present embodiment the display device 1 is a monochrome display device.

Certain details of the active matrix layer 6, relevant to understanding this embodiment, are illustrated schematically in Figure 2 (not to scale). The active matrix layer 6 comprises an array of pixels. Usually such an array will contain many thousands of pixels, but for simplicity this embodiment will be described in terms of a sample 4x4 portion of the array of pixels 21-36 as shown in Figure 2.

In any display device, the exact nature of a pixel depends on the type of device. In this example each pixel 21-36 is to be considered as comprising all those elements of the active matrix layer 6 relating to that pixel in particular, i.e. each pixel includes inter-alia, in conventional fashion, a thin-film-transistor and a pixel electrode. In some display devices there may however be more than one thin-film-transistor for each pixel. Also, in some embodiments of the invention, the thin-film-transistors may be omitted if their functionality is instead performed by the processing elements described below.

25
30

WO 02/095723

PCT/IB02/01795

6

Also provided as part of the active matrix layer 6 is an array of processing elements 41-48. Each processing element 41-48 is coupled to each of two adjacent (in the column direction) pixels, by connections represented by dotted lines in Figure 2. A plurality of row address lines 61,62 and column address lines 65-68 are provided for delivering input data to the processing elements 41-48. In conventional display devices one row address line would be provided for each row of pixels, and one column address line would be provided for each column of pixels, such that each pixel would be connected to one row address line and one column address line. However, in the active matrix layer 6, one row address line 61,62 is provided for each row of processing elements 41-48, and one column address line 65-68 is provided for each column of processing elements 41-48, such that each processing element 41-48 (rather than each pixel 21-36) is connected to one row address line and one column address line, as shown in Figure 2.

In operation, each processing element 41-48 receives input data from which it determines at what level to drive each of the two pixels coupled to it, as will be described in more detail below. Consequently, the rate at which data must be supplied to the display device 1 from an external source is halved, and likewise the number of row address lines required is halved.

By way of example, the functionality and operation of the processing element 41 will now be described, but the following description corresponds to each of the processing elements 41-48. Figure 3 is a block diagram schematically illustrating functional modules of the processing element 41. The processing element 41 comprises an input module 51, for receiving the input data provided in combination by signals on the row address line 61 and the column address line 65. The processing element 41 further comprises a processor 52. In operation, the processor 52 determines at which level to drive each of the two pixels coupled to it, i.e. pixels 21 and 22. The processing element 41 also comprises a pixel driver 53 that in operation outputs the determined driving signals to the pixels 21 and 22.

Figure 4 is a flowchart showing process steps carried out by the processing element 41 in this embodiment. At step s2, the input 51 of the

WO 02/095723

PCT/IB02/01795

7

processing element 41 receives input display data from a display driver coupled to the display device 1. The input display data comprises a display setting (which in this example of a monochrome display consists of just a grey-scale setting) for the processing element 41 itself. In addition, the input display data comprises a display setting for the processing element adjacent in the column direction, i.e. processing element 42. This input display data relates to both the pixels 21, 22 associated with the processing element 41 in that the processing element 41 will use this data to determine the display settings to be applied to each of those pixels.

At step s4, the processor 52 of the processing element 41 determines individual display settings for the pixels 21, 22 by interpolating between the value for the processing element 41 itself and the value for the adjacent processing element 42. Any appropriate algorithm for the interpolation process may be employed. In this embodiment, the driving level determined for the pixel next to the processing element 41, i.e. pixel 21, is that of a grey-scale (i.e.) intensity level equal to the setting for the processing element 41, and the driving level interpolated for the other pixel, i.e. pixel 22, is a value equal to the average of the setting for the processing element 41 and the setting for the neighbouring processing element 42.

At step s6, the processing element 41 drives the pixels 21 and 22, at the settings determined during step s4, by means of the pixel driver 53.

In this example, two pixels are driven at individual pixel settings in response to one item of input data. Thus the displayed image may be considered as a decompressed image displayed from compressed input data. The input data may be in a form corresponding to a smaller number of pixels than the number of pixels of the display device 1, in which case the above described process may be considered as one in which the image is expanded from a "lesser number of pixels" format into a "larger number of pixels" format (i.e. higher resolution), for example displaying a video graphics array (VGA) resolution image on an extended graphics array (XGA) resolution display.

Another possibility is that the data originally corresponds to the same number of pixels as are present on the display device 1, and is then

compressed prior to transmission to the display device 1 over a link of limited data rate or bandwidth. In this case the data is compressed into a form consistent with the interpolation algorithm to be used by the display device 1 for decompressing the data.

5 The above described arrangement is a relatively simple one in which interpolation is performed in only one direction. More elaborate arrangements provide even greater multiples of data rate savings. One embodiment is illustrated schematically in Figure 5 (not to scale), which shows a portion of another pixel and processing element array. In this example, processing
10 elements 71-79 are arranged in an array of rows and columns as shown. Each processing element is coupled (by connections which are not shown) to four symmetrical pixels [71a-d]-[79a-d] arranged around the processing element as shown. In addition, dedicated connections (not shown), which will be described in more detail below, are provided between neighbouring processing
15 elements.

In this embodiment, the input display data received by each processing element 71-79 comprises only the setting (or level) for that particular processing element 71-79. Each processing element 71-79 separately obtains the respective settings of neighbouring processing elements by communicating
20 directly with those neighbouring processing elements over the above mentioned dedicated connections.

Again, various interpolation algorithms may be employed. One possible algorithm is as follows.

If we label the received data settings for the processing elements 75, 76, 79 and 78 as W, X, Y and Z respectively, the interpolated display values for the following pixels are:

$$\text{pixel 75c} = (6W+X+Z)/8$$

$$\text{pixel 76d} = (6X+W+Y)/8$$

$$\text{pixel 79a} = (6Y+X+Z)/8$$

30
$$\text{pixel 78b} = (6Z+W+Y)/8$$

This provides a weighted interpolation in which a given pixel is driven at a level primarily determined by the setting of the processing element it is

WO 02/095723

PCT/IB02/01795

9

associated with, but with the driving level adjusted to take some account of the settings of the processing elements closest to it in each of the row and column directions. The overall algorithm comprises the above principles and weighting factors applied across the whole array of processing elements.

5 The algorithm is adjusted to accommodate the pixels at the edges of the array. If the array portion shown in Figure 5 is at the bottom right hand corner of an overall array, such that processing elements 73, 76, 79, 78 and 77 are all along edges of the array, then the interpolated display values for the following pixels are:

10 pixel 76c = $(3X+Y)/4$
pixel 79b = $(3Y+X)/4$
pixel 79c = Y

and so on.

15 Further details of the processing elements 41-48, 71-76 of the above embodiments will now be described. The processing elements are small-scale electronic circuits that may be provided using any suitable form of multilayer/semiconductor fabrication technology, including p-Si technology. Likewise, any suitable or convenient layer construction and geometrical layout of processor parts may be employed, in particular taking account of the materials and layers being used anyway for fabrication of the other
20 (conventional) constituent parts of the display device. However, in the above embodiments, the processing elements are formed from CMOS transistors provided by a process known as "NanoBlock™ IC and Fluidic Self Assembly" (FSA), which is described in US 5,545,291 and "Flexible Displays with Fully
25 Integrated Electronics", R.G. Stewart, Conference Record of the 20th IDRC, September 2000, ISSN 1083-1312, pages 415-418, both of which are incorporated herein by reference. This is advantageous because this method is particularly suited to producing very small components of the same scale as typical display pixels.

30 By way of example, a suitable layout (not to scale) for the processing element 75 and associated pixels 75a-d of the array of Figure 5 is shown in Figure 6. The processing element 75 and thin film transistors of the pixels 75a-

d are formed by the above mentioned FSA process (or alternatively, the thin film transistor may be omitted if the corresponding functionality is provided by the processing element). The display shapes of the pixels 75a-d are defined by the shape of the pixel electrodes thereof. Pixel contacts 81-84 are provided
5 between the processing element 75 and the respective pixels 75a-d.

Data lead pairs are provided from the processing element 75 to each of the neighbouring processing elements of the array of Figure 5, i.e. data leads 91 and 92 connect with processing element 72, data leads 93 and 94 connect with processing element 76, data leads 95 and 96 connect with processing
10 element 78, and data leads 97 and 98 connect with processing element 74. As described earlier, these data leads allow the processing element to communicate with its neighbouring processing elements to determine the input display settings of those neighbouring processing elements. In this example, the data leads 91-98 (and corresponding data leads of the other processing
15 elements) effectively surround each processing element, and hence the column and row addressing lines (not shown) for this array of processing elements are provided at a different layer of the thin film multilayer structure of the active matrix layer 6. In the case of the embodiment shown in Figure 2, since each processing element is directly provided with the data setting for the
20 neighbouring processing element, data lines corresponding to data leads 91-98 are not employed, hence the row and column address lines (represented by full lines in Figure 2) and the connections between the processing elements and the pixels (represented by dotted lines in Figure 2) may be formed from the same thin film layer, if this is desirable or convenient.

In the above embodiments the processing elements are opaque, and hence not available as display regions in a transmissive device. Thus the arrangement shown in Figures 4 and 5 is an example that is particularly suited for a transmissive display device, as the available display area around, for
25 example, the opaque processing element 75, is efficiently used due to the shapes and layout of the pixels 75a-d.
30

In the case of reflective display devices, a further possibility is to provide a pixel directly over the processing element, e.g. in the case of the Figure 6

arrangement a further pixel may be provided over the area of the processing element 75. For such a case, one convenient way of adapting the interpolation algorithm is to set the pixel overlying the processing element equal to the setting of the processing element.

5 In the above embodiments the display device 1 is a monochrome display, i.e. the variable required for the individual pixel settings is either on/off, or, in the case of a grey-scale display, the grey-scale or intensity level. However, in other embodiments the display device may be a colour display device, in which case the individual pixel display settings will also include a
10 specification of which colour is to be displayed.

The interpolation algorithm may be adapted to accommodate colour as a variable in any appropriate manner. One simple possibility is for the colour of all pixels associated with a given processing element to be driven at the colour specified in the display setting of that processing element. For example, in the
15 case of the arrangement shown in Figure 2, both pixels 21 and 22 would be driven at the colour specified in the input data for the processing element 41. An advantage of this algorithm is that it is simple to implement. A disadvantage is that although pixel 22 has been "blended in" in terms of intensity between pixels 21 and 23, this is not be the case for the colour property of the displayed
20 image.

More complex algorithms may provide for the colour to be "blended in" also. One possibility, when the colours are specified by co-ordinates on a colour chart, is for the average of the respective colour co-ordinates specified to the processing elements 41 and 42 to be applied to the pixel 22 (in the
25 Figure 2 arrangement). In the case of weighted interpolation algorithms such as the example given above for the arrangement of Figure 5, such colour co-ordinates may also be subjected to a weighted interpolation algorithm.

Yet another possibility is for a look-up table to be stored and employed at each processing element for the purpose of determining interpolated colour settings. Again referring to the arrangement of Figure 2 by way of example, the
30 processing element 41 would have a look-up table specifying the colour at which to drive the pixel 22 as a function of combinations of the colour specified

WO 02/095723

PCT/IB02/01795

12

for the processing element 41 and the colour specified for the processing element 42.

It will be apparent from the above embodiments that a number of design options are available to a skilled person, such as:

- 5 (i) the manufacturing process for the processing elements;
- (ii) the number and geometrical arrangement of pixels associated with each processing element;
- (iii) whether a pixel is located over a processing element;
- (iv) how a processing element acquires knowledge of the data setting of
10 neighbouring processing elements (required for the interpolation process);
- (v) the form of the interpolation algorithm, with respect to intensity and/or colour.

It is emphasised that the particular selections with respect to these design options contained in the above embodiments are merely exemplary,
15 and in other embodiments other selections of each design option, in any compatible combination, may be implemented.

The above described embodiments may be termed "interpolation" embodiments as they all involve interpolation to determine certain pixel display settings. A further range of embodiments, which may conveniently be termed
20 "position" embodiments, will now be described.

To summarise, each processing element is associated with one or more particular pixels. Each processing element is aware of its position, or the position of the pixel(s) it is associated with, in the array of processing elements or pixels. As in the embodiments described above, the processing elements
25 are again used to analyse input data to determine individual pixel display settings. However, in the position embodiments, the input display data is in a generalised form applicable to all (or at least a plurality) of the processing elements. The processing elements analyse the generalised input data to determine whether its associated pixel or pixels need to be driven to contribute
30 to displaying the image information contained in the generalised input data.

The generalised input data may be in any one or any combination of a variety of formats. One possibility is that the pixels of the display are identified

in terms of pixel array (x,y) coordinates. An example of when a rectangle 101 is to be displayed is represented schematically in Figure 7a. The input data is provided in the form of four sets of pixel array (x,y) coordinates specifying the corner positions of the rectangle, an intensity setting for the rectangle (if the display device offers grey scale capability), and a colour for the rectangle (if the display device is a colour display device). This data is input to all the processing elements of the display device. The processing elements are provided with rules that they use to determine how to join specified pixel array (x,y) coordinates. For example, the rules may specify that when three sets of co-ordinates are supplied, a triangle should be formed, and when four sets are provided, a rectangle should be formed, and so on. Alternatively, further encoding may be included in the input data, indicating how co-ordinates should be joined, e.g. whether by predetermined curves or by straight lines. Each processing element compares the positions of the its associated pixels with the pixels requiring to be driven to display the rectangle, and subsequently drives such pixels if required.

Another possibility for the format of the input data is for a predefined character to be specified, for example a letter "x" 102 as represented schematically in Figure 7b. The input data is provided in the form of one set of co-ordinates specifying the position of the letter x within the pixel array (i.e. the position of a predetermined part of the letter x or a standardised character "envelope" for it), the size of the letter x, and again an intensity setting (if the display device offers grey-scale capability) and a colour for the rectangle (if the display device is a colour display device).

By performing the processing described in the two preceding paragraphs at the processing elements, the requirement to externally drive the display device with separate data for each pixel is removed. Instead, common input data can be provided to all the processing elements, considerably simplifying the data input process and reducing bandwidth requirements.

Figure 8 is a schematic illustration (not to scale) of a 4x4 portion of an array of pixels 121-136 of the active matrix layer 6 of one particular position embodiment that will now be described. Unless otherwise stated, details of the

liquid crystal display device of this embodiment are the same as for the liquid crystal display device 1 described in relation to the earlier interpolation embodiments. An array of processing elements 141-148 is also provided. Each processing element 141-148 is coupled to two of the pixels, by connections
5 represented by dotted lines. As explained above, in this embodiment the properties of the processing elements 141-148 allow common input data to be provided to all the processing elements. A single data input line 161 is provided and connected in parallel to all the processing elements 141-148, as shown in Figure 8.

10 By way of example, the functionality and operation of the processing element 141 will now be described, but the following description corresponds to each of the processing elements 141-148. Figure 9 is a block diagram schematically illustrating functional modules of the processing element 141. The processing element 141 comprises an input module 151, for receiving the
15 input signal provided on the data input line 161. The processing element 141 also comprises a position memory 158, which stores position data identifying the (x,y) co-ordinates of the pixels 121 and 122 (the position data may alternatively identify the array location of the processing element 141 itself, allowing determination of the (x,y) co-ordinates of the pixels 121 and 122). The
20 processing element 141 further comprises a processor 152, which itself comprises a comparator 155. In operation, the processor 152 performs the above mentioned determination of the level at which to drive each of the two pixels coupled to it, i.e. pixels 21 and 22. The processing element 41 also comprises a pixel driver 153.

25 The process steps carried out by the processing element 141 in this embodiment correspond to those outlined in the flowchart of Figure 4 for the earlier described embodiments. Referring again to Figure 4, at step s2, the input 151 of the processing element 141 receives input display data from a display driver coupled to the display device 1. In this embodiment the input
30 display data comprises data specifying one or more image objects to be displayed. The image objects are specified in terms of (x,y) coordinates and other parameters as explained above with reference to Figures 7a and 7b. In

order to specify large or intricate images, the image may be specified for example in terms of a plurality of polygons building up a required shape. Alternatively or in addition, set characters, such as ASCII characters, along with position vectors, may be specified. Indeed, any suitable conventional method of image definition, as used for example in computer graphics/video cards, may be employed. This input display data thus relates to the plural pixels required to display the image object.

At step s4, the processor 152 of the processing element 141 determines individual display settings for the pixels 21, 22 by using the comparator 155 to compare the pixel co-ordinates required to be driven according to the received specification of image with the pixel co-ordinates of the pixels 121 and 122.

At step s6, the processing element 41 drives pixel 21 and/or pixel 22, at the pixel display setting, i.e. intensity and/or colour level, specified in the input image data, if required by the outcome of the above described comparison process.

It will be appreciated that the input data in this embodiment represents compressed data because image objects covering a large number of pixels can be defined simply and without the need to specify the setting of each individual pixel. As a result, for display devices of say 1024x768 pixels, data rates as low as a few kHz may be applied instead of 100MHz.

In this embodiment, all the processing elements 141-148 are connected in parallel to the single data input line 161. However, a number of alternatives are possible. Figure 10 schematically illustrates an alternative arrangement of connections to the processing elements 141-148 (for clarity the pixels are omitted in this Figure). A single data input line 161 is again provided, but this then splits as the processing elements 141-148 are arranged in two serially connected chains, with the processing elements (except for the ones at the end of each series chain) each having an output connection in addition to the earlier described input connection. This allows information to be buffered within each processing element 141-148, providing a possible reduction in signal degradation compared to transmission of the data along long lines in large area displays without buffering.

Figure 11 schematically illustrates another alternative arrangement of connections to the processing elements 141-148. In this arrangement input image data for the whole pixel array is initially provided at a single data input line 161, but is then input to a pre-processor 170. The pre-processor has two separate outputs, one connected to the first row of processing elements 141, 143, 145, 147 and one connected to the second row of processing elements 142, 144, 146, 148. The pre-processor 170 analyses the input data and only forwards to each row of processing elements that input data which specifies objects to be displayed which lay in the area of the pixel array associated with that row of processing elements. In other more complicated or larger arrays the number of outputs from the pre-processor may be selected as required. Another possibility is that the input data as provided is already split according to different regions of the pixel array, in which case separate direct inputs may be provided to each corresponding group of processing elements.

Figure 12 schematically illustrates another alternative arrangement of connections to the processing elements 141-148. In this arrangement input image data is provided in two component parts. The first part specifies the display setting (e.g. intensity and/or colour). This data is input to the processing elements via a display settings input line 180 that is connected in parallel to each of the processing elements 141-148. The second part of the input data is position data specifying the pixels that are to display the display setting. This position data is input to the processing elements via a position input line 182 that is also connected in parallel to each of the processing elements 141-148. For this connection arrangement, the arrangement of functional modules of each processing element is as described earlier with reference to Figure 9, except that the comparator 155 is not included in the processor 152 and the position memory 158 is modified as follows. The position memory 158 is replaced by a position processing module that not only stores the positions of the associated pixels, but also serves as an input for the position input line 182 shown in Figure 12. The position processing module further comprises a comparator that performs the comparison of the pixel positions required to be displayed with the pixel positions of the pixels

associated with the processing element. If one or more of the pixels associated with the processing element correspond to the image pixel positions, then the relevant pixel identities are forwarded to the processor 152 which attaches the data settings received in the basic input 151 and forwards this to the pixel driver 153 for driving the relevant pixel or pixels.

In the above position embodiments, the positions of the pixels are specified in terms of (x,y) co-ordinates. Individual pixels may however alternatively be specified or identified using other schemes. For example, each pixel may simply be identified by a unique number or other code, i.e. each pixel has a unique address. The address need not be allocated in accordance with the position of the pixel. The input data then specifies the pixel addresses of those pixels required to be displayed. If the pixel addresses are allocated in a systematic numerical order relating to the positions of the pixels, then the input data may when possible be further compressed by specifying just end pixels of sets of consecutive pixels to be displayed.

All of the position embodiments described above represent relatively simple geometrical arrangements. It will be appreciated however that far more complex arrangements may be employed. For example, the number of pixels associated with each processing element may be more than 2, for example four pixels may be associated with each processing element, and arranged in the same layout as that of the interpolation embodiment shown in Figures 5 and 6. As was the case with the earlier described interpolation embodiments, a further pixel may be positioned over the processing element in the case of a reflective display device.

Another possibility is to have only one pixel associated with each processing element. In this case, in reflective display devices each pixel may be positioned over its respective processing element.

Except for any particular details described above with reference to Figures 7 to 12, fabrication details and other details of the processing elements and other elements of the display device 1 of the position embodiments are the same as those of the interpolation embodiments described earlier with reference to Figures 2 to 6.

Although the above interpolation and position embodiments all implement the invention in a liquid crystal display device, it will be appreciated that these embodiments are by way of example only, and the invention may alternatively be implemented in any other form of display device allowing
5 processing elements to be associated with pixels, including, for example, plasma, polymer light emitting diode, organic light emitting diode, field emission, switching mirror, electrophoretic, electrochromic and micro-mechanical display devices.

WO 02/095723

PCT/IB02/01795

19

CLAIMS

1. A display device, comprising:
an array of pixels; and
5 an array of processing elements, each associated with a respective pixel or group of pixels;
wherein each processing element comprises:
an input for receiving input display data relating to a plurality of the pixels;
a processor for processing received input display data to determine individual
10 pixel data for the pixel or for each of the group of pixels associated with the processing element; and
a pixel driver for driving the associated pixel or each pixel of the associated group of pixels with that pixel's determined individual pixel data.
- 15 2. A device according to claim 1, wherein each processing element is associated with a respective group of pixels; the input of each processing element is adapted to receive display data comprising a display setting for the processing element; and each processing element is adapted to process
20 received input display data by interpolating the individual pixel data for each pixel of the associated group of pixels from the display setting for the processing element and a display setting or settings from respectively one or a plurality of neighbouring processing elements.
3. A device according to claim 2, wherein the processing element
25 comprises means for communicating with the one or the plurality of neighbouring processing elements to acquire the display setting or settings for the one or the plurality of neighbouring processing elements
4. A device according to claim 2, wherein the input of each
30 processing element is adapted to receive display data comprising the display setting for the processing element and the display setting or settings for the one or the plurality of neighbouring processing elements.

WO 02/095723

PCT/IB02/01795

20

5 5. A device according to claim 1, wherein the input of each processing element is adapted to receive display data comprising a specification, comprising pixel addresses and a display setting, specifying a feature to be displayed;

each processing element further comprises a memory for receiving and storing pixel addresses of the pixel or group of pixels associated with the processing element;

10 the processor of each processing element comprises a comparator for comparing the pixel addresses specifying the feature to be displayed with the pixel addresses of the pixel or group of pixels associated with the processing element; and

15 the processor of each processing element is adapted to determine the individual pixel data of the associated pixel or each pixel of the associated group of pixels as the specified display setting if the pixel address of the respective pixel corresponds with a specified pixel address of the feature to be displayed.

20 6. A device according to claim 5, wherein the memory of each processing element is adapted to receive and store pixel addresses in the form of pixel array co-ordinates; the input of each processing element is adapted to receive display data comprising a specification comprising identification of a predetermined shape of the feature and pixel array co-ordinates specifying the position of the feature in the pixel array; and the processor is arranged to

25 consider the pixel address of the respective pixel as corresponding with the specified pixel address of the feature to be displayed if the respective pixel lies within the specified shape at the specified position in the pixel array.

7. A device according to claim 5, wherein the memory of each processing element is adapted to receive and store pixel addresses in the form of pixel array co-ordinates; the input of each processing element is adapted to
5 receive display data comprising a specification comprising specified pixel array co-ordinates; the processing elements are provided with rules for joining specified pixel array co-ordinates to specify a shape and position of the feature; and the processor is arranged to consider the pixel address of the
10 respective pixel as corresponding with the specified pixel address of the feature to be displayed if the respective pixel lies within the specified shape at the specified position in the pixel array.

8. A method of driving a display device comprising an array of pixels; the method comprising:
15 receiving input display data, relating to a plurality of the pixels, at a processing element associated with one or a group of the pixels;
the processing element processing the received input display data to determine individual pixel data for the associated pixel or for each pixel of the associated group of pixels; and
20 the processing element driving the associated pixel or each pixel of the associated group of pixels with that pixel's determined individual pixel data.

9. A method according to claim 8, wherein the processing element is associated with a group of pixels; the input display data comprises a display
25 setting for the processing element; and the processing element processes the received input display data by interpolating the individual pixel data for each pixel of the associated group of pixels from the display setting for the processing element and a display setting or settings for respectively one or a
30 plurality of neighbouring processing elements each associated with a respective further group of pixels.

WO 02/095723

PCT/IB02/01795

22

10. A method according to claim 9, wherein the processing element acquires the display setting or settings for the one or the plurality of neighbouring processing elements by communicating with the one or the plurality of neighbouring processing elements.

11. A method according to claim 9, wherein the display setting or settings for the one or the plurality of neighbouring processing elements is provided to the processing element as part of the input display data.

12. A method according to claim 8, wherein the processing elements are provided with pixel addresses of the pixel or group of pixels associated with the processing element; the input display data comprises a specification, comprising pixel addresses and a display setting, specifying a feature to be displayed; and the processing element processes the received input display data to determine the individual pixel data for the associated pixel or for each pixel of the associated group of pixels by:
comparing the pixel addresses specifying the feature to be displayed with the pixel addresses of the pixel or group of pixels associated with the processing element; and
driving the pixel or those pixels of the group of pixels at the specified display setting if the pixel address of the respective pixel corresponds with a specified pixel address of the feature to be displayed.

13. A method according to claim 12, wherein the pixel addresses are in the form of pixel array co-ordinates; the specification comprises identification of a predetermined shape of the feature and pixel array co-ordinates specifying the position of the feature in the pixel array; and the pixel address of the respective pixel corresponds with the specified pixel address of the feature to be displayed if the respective pixel lies within the specified shape at the specified position in the pixel array.

14. A method according to claim 12, wherein the pixel addresses are in the form of pixel array co-ordinates; the specification comprises specified pixel array co-ordinates; the processing elements are provided with rules for joining specified pixel array co-ordinates to specify a shape and position of the feature; and the pixel address of the respective pixel corresponds with the specified pixel address of the feature to be displayed if the respective pixel lies within the specified shape at the specified position in the pixel array.

1/9

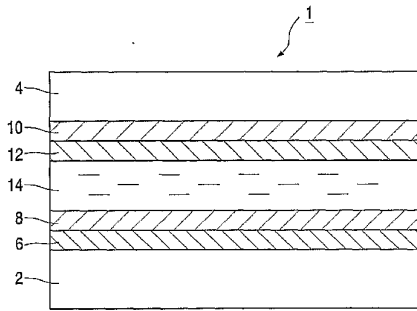


FIG. 1

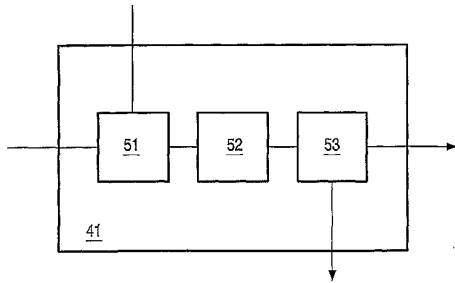


FIG. 3

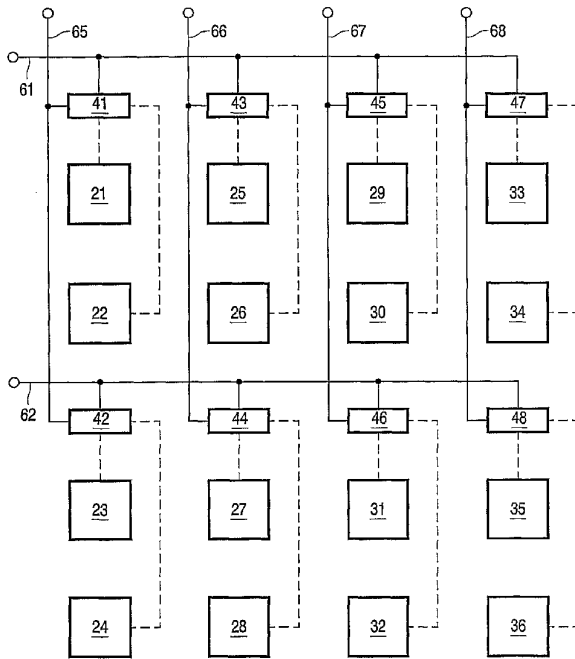


FIG. 2

3/9

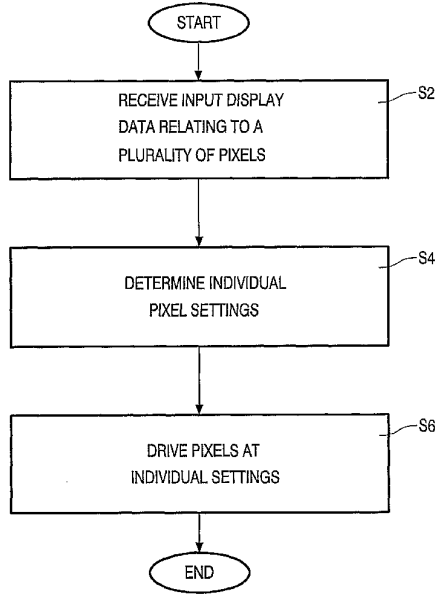


FIG. 4

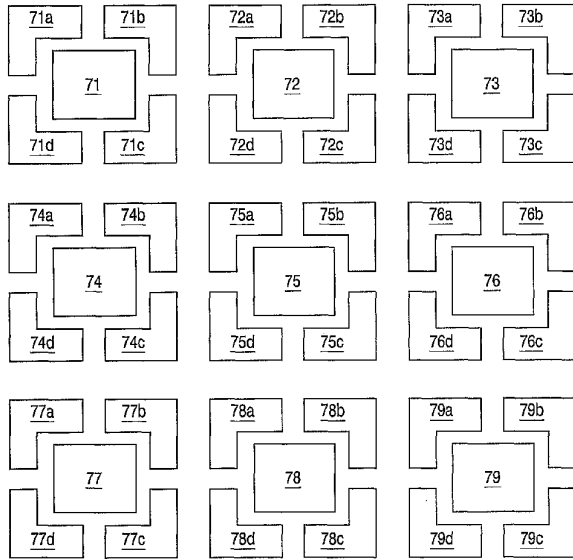


FIG. 5

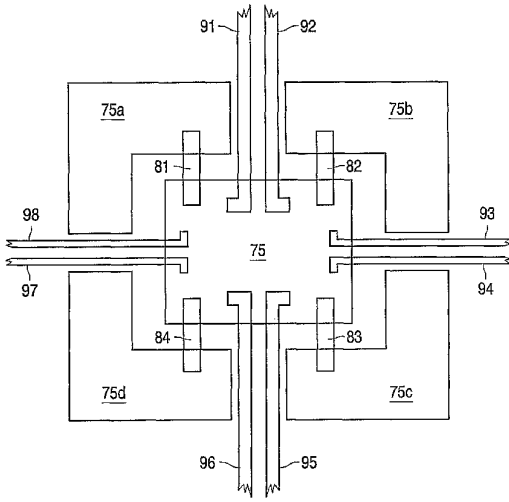


FIG. 6

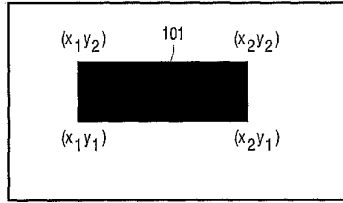


FIG. 7a

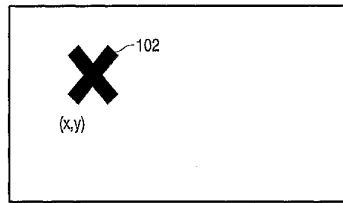


FIG. 7b

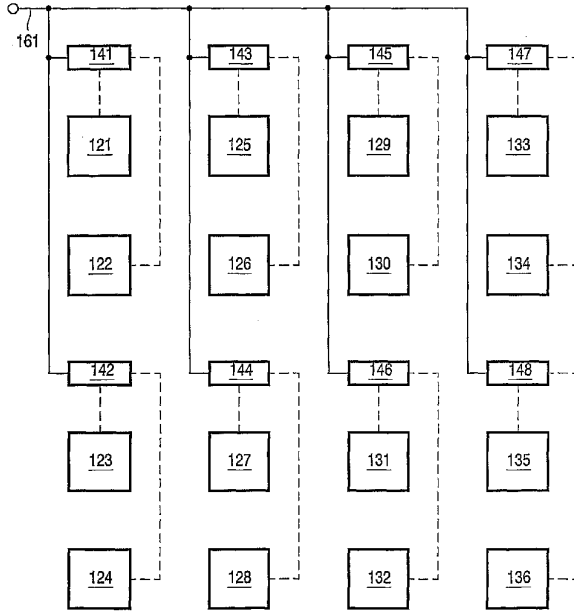


FIG. 8

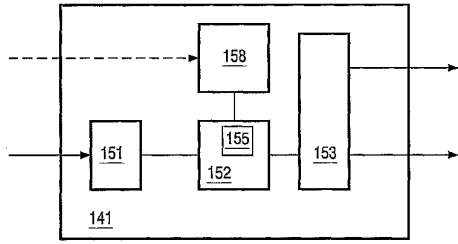


FIG. 9

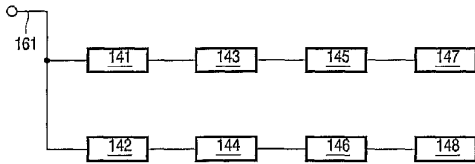


FIG. 10

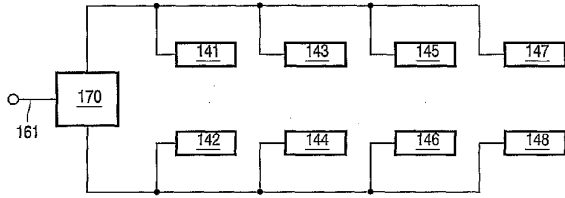


FIG. 11

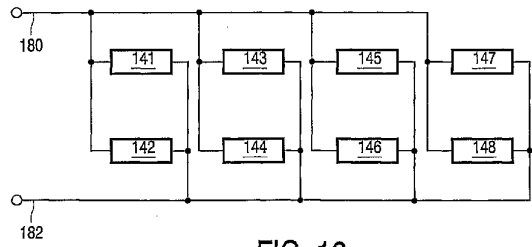


FIG. 12

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/1B 02/01795

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/20 G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data bases consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 061 039 A (RYAN DEAN E ET AL) 9 May 2000 (2000-05-09) column 1, line 1 - line 33 column 2, line 11 - line 35 column 3, line 56 - column 4, line 18 column 4, line 32 - line 60 figures 1,2	1,5,6,8, 12,13
X	US 5 523 769 A (SHEN CHIA ET AL) 4 June 1996 (1996-06-04)	1,8
A	column 3, line 55 - column 4, line 14 column 4, line 50 - line 64 column 5, line 3 - line 10 column 8, line 54 - column 9, line 42 figures 4-6 --- -/--	2,5,9,12
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to substantiate the publication date of another citation or other special reason (see specification) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		
** later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *** document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone **** document of particular relevance; the claimed invention cannot be considered to involve an inventive step which the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *X* document member of the same patent family		
Date of the actual completion of the international search 31 July 2002		Date of mailing of the international search report 09/08/2002
Name and mailing address of the ISA European Patent Office, P.B. 5618 Patenklaan 2 NL - 6900 HV Bielefeld Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-2016		Authorized officer Farricella, L

INTERNATIONAL SEARCH REPORT

International Application No
PCT/IB 02/01795

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 801 715 A (NORMAN RICHARD S) 1 September 1998 (1998-09-01)	1,8
A	column 6, line 21 -column 7, line 1 figures 1-4	2,5,9,12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/IB 02/01795

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6061039	A	09-05-2000 . NONE	
US 5523769	A	04-06-1996 JP 7146671 A	06-06-1995
US 5801715	A	01-09-1998 AU 2939892 A WO 9311503 A1	28-06-1993 10-06-1993

フロントページの続き

(51) Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 3 2 C
	G 0 9 G 3/20	6 3 3 P
	G 0 9 G 3/20	6 8 0 G
	H 0 4 N 5/66	B
(72)発明者	マーティン ジェイ エドワーズ	
	オランダ国 5 6 5 6 アーアー アインドーフエン	プロフ ホルストラーン 6
(72)発明者	イアン エム ハンター	
	オランダ国 5 6 5 6 アーアー アインドーフエン	プロフ ホルストラーン 6
(72)発明者	マーク ティー ジョンソン	
	オランダ国 5 6 5 6 アーアー アインドーフエン	プロフ ホルストラーン 6
(72)発明者	ナイジェル ディー ヤング	
	オランダ国 5 6 5 6 アーアー アインドーフエン	プロフ ホルストラーン 6
Fターム(参考)	2H093 NA23 NC13 NC40 NC50 ND31	
	5C006 AA16 AC11 AC24 AF42 AF43 AF51 BB15 BC12 BC23 FA47	
	5C058 AA05 BA01 BA07 BA35	
	5C080 AA10 BB05 DD26 EE29 FF11 JJ01 JJ02 JJ06 JJ07	

【要約の続き】

この処理素子に関連する画素の1つ以上を駆動する必要があるか否かを決定することができる。

【選択図】図2

专利名称(译)	使用处理元件阵列的显示装置及其驱动方法		
公开(公告)号	JP2004533011A	公开(公告)日	2004-10-28
申请号	JP2002592103	申请日	2002-05-17
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	マーティンジェイエドワーズ イアンエムハンター マークティーンジョンソン ナイジェルディーヤング		
发明人	マーティン ジェイ エドワーズ イアン エム ハンター マーク ティーン ジョンソン ナイジェル ディー ヤング		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
CPC分类号	G09G3/20 G09G3/2003 G09G3/2085 G09G3/2088 G09G3/36 G09G2300/0426 G09G2300/08 G09G2340/02 G09G2340/0407		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.612.R G09G3/20.621.M G09G3/20.624.B G09G3/20.632.C G09G3/20.633.P G09G3/20.680.G H04N5/66.B		
F-TERM分类号	2H093/NA23 2H093/NC13 2H093/NC40 2H093/NC50 2H093/ND31 5C006/AA16 5C006/AC11 5C006/AC24 5C006/AF42 5C006/AF43 5C006/AF51 5C006/BB15 5C006/BC12 5C006/BC23 5C006/FA47 5C058/AA05 5C058/BA01 5C058/BA07 5C058/BA35 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ06 5C080/JJ07		
优先权	2001012395 2001-05-22 GB		
其他公开文献	JP4644772B2		
外部链接	Espacenet		

摘要(译)

一种显示装置，以避免需要提供的显示数据，包括针对每个像素单独的显示设置值（例如，视频），例如，显示设备，诸如液晶显示装置（1），及其驱动方法提供。显示装置包括像素阵列（21-36,71a-79d，121-136）和处理元件阵列（41-48,71-79,141-148），每个处理元件与每个像素或像素组相关联。处理元件（41至48,71至79,141至148）执行以像素级压缩的输入显示数据的处理。处理元件（41-48,71-79,141-148）解压缩这些输入数据并为每个相关像素定义各个像素设置值。接下来，处理元件（41至48,71至79,141至148）以单独的设置值驱动像素（21至36,71a至79d，121至136）。处理元件可以从分配给该处理元件的输入数据和一个或多个相邻处理元件内插像素设置。或者，处理元件可以知道与该处理元件相关联的像素的位置，并且响应于由多个处理元件接收的公共输入数据，使用该信息，可以确定是否需要驱动一个或多个像素。The

