

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-53960

(P2004-53960A)

(43) 公開日 平成16年2月19日(2004.2.19)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 525	5C006
G09G 3/20	G02F 1/133 530	5C080
	G02F 1/133 550	
	G09G 3/20 611C	
審査請求 未請求 請求項の数 6 O L (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2002-211802 (P2002-211802)	(71) 出願人	302062931 NECエレクトロニクス株式会社
(22) 出願日	平成14年7月19日 (2002.7.19)	(74) 代理人	100105511 弁理士 鈴木 康夫
		(74) 代理人	100109771 弁理士 白田 保伸
		(72) 発明者	手代木 美行 東京都港区芝五丁目7番1号 日本電気株式会社内
		(72) 発明者	能勢 崇 東京都港区芝五丁目7番1号 日本電気株式会社内
		Fターム(参考)	2H093 NA16 NA31 NC41 NC71 ND35 ND60 NE10
		最終頁に続く	

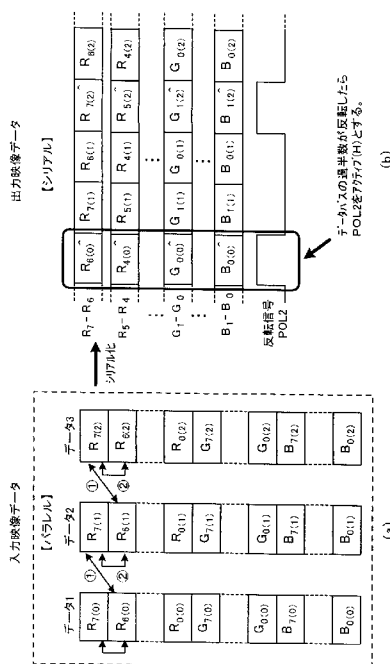
(54) 【発明の名称】 映像データ転送方法、表示制御回路及び液晶表示装置

(57) 【要約】

【課題】 映像データを転送するデータバス本数をデータの一部シリアル化により減少させても電磁妨害を抑制するためのデータの反転処理の動作速度が高速化させない。

【解決手段】 表示制御回路からソースドライバ等の信号線駆動回路に映像データを一部シリアル化して転送する方式において、映像データをパラレル/シリアル変換する前のパラレルデータの段階でシリアル化後のデータ順のデータ比較 1 及び 2 を順次行い、データのビット反転数が過半数か否かを判断して転送データの反転/非反転の制御を行う。映像データの一部シリアル化により高速化したデータの反転/非反転の制御を行う場合と比べ、比較器、反転/非反転判定回路等の動作速度を低減することができる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

パラレルデータでなる入力映像データを一部シリアル化した出力映像データとして信号線駆動回路に転送する液晶表示装置の映像データ転送方法において、

前記出力映像データの連続する前後におけるビット反転数が出力映像データのビット数の過半数の場合に後続の出力映像データの論理状態を反転させる反転処理をパラレルデータでなる前記入力映像データの段階において行うことを特徴とする映像データ転送方法。

【請求項 2】

3×2^n ビットパラレルの入力映像データを 2^m ビット (n, m : 自然数、 $n > m$) 単位でシリアル化し、 $3 \times 2^{(n-m)}$ ビットパラレルの出力映像データとして信号線駆動回路に転送する液晶表示装置の映像データ転送方法において、

前記出力映像データの $3 \times 2^{(n-m)}$ ビットパラレルの前のデータと後のデータの間のビット反転数が $3 \times 2^{(n-m-1)}$ 以下になるように、前記出力映像データの $3 \times 2^{(n-m)}$ ビットパラレルのデータに対応する前記入力映像データの $3 \times 2^{(n-m)}$ ビット毎に後続のビットの極性を反転又は非反転することを特徴とする映像データ転送方法。

【請求項 3】

パラレルデータでなる入力映像データを入力し、各入力映像データを第 1 のビットと第 2 のビットの 2 ビット単位でシリアル化した映像データを出力映像データとして信号線駆動回路に転送する表示制御回路において、

前データの第 2 のビットの非反転ビットと、後データの第 1 のビットの非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第 1 の比較判定手段と、

前データの第 2 のビットの反転ビットと、後データの第 1 のビットの非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第 2 の比較判定手段と、

後データの第 1 のビットの非反転ビットと、後データの第 2 のビットの非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第 3 の比較判定手段と、

後データの第 1 のビットの反転ビットと、後データの第 2 のビットの非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第 4 の比較判定手段と、

前記第 1 の比較判定手段及び第 2 の比較判定手段の何れかの判定結果の出力、前記第 3 の比較判定手段及び第 4 の比較判定手段の何れかの判定結果の出力をそれぞれ選択出力する

第 1 の選択手段及び第 2 の選択手段からなり、前記第 1 の選択手段は 1 つ前の入力映像データによる第 2 の選択手段の出力により制御され、第 2 の選択手段は第 1 の選択手段の出力により制御される選択手段と、

前記選択手段の第 1 の選択手段の出力及び第 2 の選択手段の出力により、それぞれ後データの第 1 のビット及び後データの第 2 のビットを反転又は非反転して出力するとともに、

前記反転又は非反転を示す反転信号を出力する出力手段と、

前記出力手段の出力を 2 ビット単位でシリアル化し出力映像データ及び出力反転信号として出力するパラレル/シリアル変換回路と、

を有することを特徴とする表示制御回路。

【請求項 4】

3×2^n ビットパラレルの入力映像データを入力し、第 1 のビット、第 2 のビット、...、第 2^m のビットの 2^m ビット (n, m : 自然数、 $n > m$) 単位でシリアル化した出力映像データとして信号線駆動回路に転送する表示制御回路において、

前データの 2^m ビット単位の第 2^m のビットの非反転ビットと後データの 2^m ビット単位の第 1 のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第 1

の比較判定手段と、前データの 2^m ビット単位の第 2^m のビットの反転ビットと後データの 2^m ビット単位の第 1 のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第 2 の比較判定手段と、

後データの 2^m ビット単位の第 1 のビットの非反転ビットと後データの 2^m ビット単位の第 2 のビットの非反転ビットとを比較してビット反

転数が過半数か否かを判定する第 3 の比較判定手段と、後データの 2^m ビット単位の第 1 のビットの反転ビットと後データの 2^m ビット単位の第 2 のビットの非反転ビットとを比

10

20

30

40

50

較してビット反転数が過半数か否かを判定する第4の比較判定手段と、……、後データの 2^m ビット単位の第 $2^m - 1$ のビットの非反転ビットと後データの 2^m ビット単位の第 2^m のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第 $2 \times 2^m - 1$ の比較判定手段と、後データの 2^m ビット単位の第 $2^m - 1$ のビットの反転ビットと後データの 2^m ビット単位の第 2^m のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第 2×2^m の比較判定手段と、

前記第1の比較判定手段及び第2の比較判定手段の何れかの判定結果の出力、前記第3の比較判定手段及び第4の比較判定手段の何れかの判定結果の出力、……、第 $2 \times 2^m - 1$ の比較判定手段及び第 2×2^m の比較判定手段の何れかの判定結果の出力をそれぞれ選択出力する第1の選択手段、第2の選択手段、……、第 2^m の選択手段からなり、前記第1の選択手段は1つ前の入力映像データによる第 2^m の選択手段の出力により制御され、第2の選択手段は第1の選択手段の出力により制御され、……、第 2^m の選択手段は第 $2^m - 1$ の選択手段の出力により制御される選択手段と、

前記選択手段の第1の選択手段、第2の選択手段、……、第 2^m の選択手段の出力により、それぞれ前記後データの第1のビット、第2のビット、……、第 2^m のビットを反転又は非反転して出力するとともに、前記反転又は非反転を示す反転信号を出力する出力手段と、

前記出力手段の出力を 2^m ビット単位でシリアル化し出力映像データ及び出力反転信号として出力するパラレル/シリアル変換回路と、

を有することを特徴とする表示制御回路。

10

20

【請求項5】

パラレルデータとなる入力映像データを入力し、各入力映像データを第1のビットと第2のビットの2ビット単位でシリアル化した映像データを出力映像データとして出力する表示制御回路と前記出力映像データを入力する信号線駆動回路とを備える液晶表示装置において、前記表示制御回路は、

前データの第2のビットの非反転ビットと、後データの第1のビットの非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第1の比較判定手段と、

前データの第2のビットの反転ビットと、後データの第1のビットの非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第2の比較判定手段と、

後データの第1のビットの非反転ビットと、後データの第2のビットの非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第3の比較判定手段と、

後データの第1のビットの反転ビットと、後データの第2のビットの非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第4の比較判定手段と、

前記第1の比較判定手段及び第2の比較判定手段の何れかの判定結果の出力、前記第3の比較判定手段及び第4の比較判定手段の何れかの判定結果の出力をそれぞれ選択出力する第1の選択手段及び第2の選択手段からなり、前記第1の選択手段は1つ前の入力映像データによる第2の選択手段の出力により制御され、第2の選択手段は第1の選択手段の出力により制御される選択手段と、

前記選択手段の第1の選択手段の出力及び第2の選択手段の出力により、それぞれ後データの第1のビット及び後データの第2のビットを反転又は非反転して出力するとともに、前記反転又は非反転を示す反転信号を出力する出力手段と、

前記出力手段の出力を2ビット単位でシリアル化し出力映像データ及び出力反転信号として出力するパラレル/シリアル変換回路と、

を有することを特徴とする液晶表示装置。

30

40

【請求項6】

3×2^n ビットパラレルの入力映像データを入力し、第1のビット、第2のビット、……、第 2^m のビットの 2^m ビット(n, m :自然数、 $n > m$)単位でシリアル化した映像データを出力映像データとして出力する表示制御回路と前記出力映像データを入力する信号線駆動回路とを備える液晶表示装置において、前記表示制御回路は、

前データの 2^m ビット単位の第 2^m のビットの非反転ビットと後データの 2^m ビット単位

50

の第1のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第1の比較判定手段と、前データの 2^m ビット単位の第 2^m のビットの反転ビットと後データの 2^m ビット単位の第1のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第2の比較判定手段と、後データの 2^m ビット単位の第1のビットの非反転ビットと後データの 2^m ビット単位の第2のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第3の比較判定手段と、後データの 2^m ビット単位の第1のビットの反転ビットと後データの 2^m ビット単位の第2のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第4の比較判定手段と、...、後データの 2^m ビット単位の第 $2^m - 1$ のビットの非反転ビットと後データの 2^m ビット単位の第 2^m のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第 $2 \times 2^m - 1$ の比較判定手段と、後データの 2^m ビット単位の第 $2^m - 1$ のビットの反転ビットと後データの 2^m ビット単位の第 2^m のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第 2×2^m の比較判定手段と、
 前記第1の比較判定手段及び第2の比較判定手段の何れかの判定結果の出力、前記第3の比較判定手段及び第4の比較判定手段の何れかの判定結果の出力、...、第 $2 \times 2^m - 1$ の比較判定手段及び第 2×2^m の比較判定手段の何れかの判定結果の出力をそれぞれ選択出力する第1の選択手段、第2の選択手段、...、第 2^m の選択手段からなり、前記第1の選択手段は1つ前の入力映像データによる第 2^m の選択手段の出力により制御され、第2の選択手段は第1の選択手段の出力により制御され、...、第 2^m の選択手段は第 $2^m - 1$ の選択手段の出力により制御される選択手段と、
 前記選択手段の第1の選択手段、第2の選択手段、...、第 2^m の選択手段の出力により、それぞれ前記後データの第1のビット、第2のビット、...、第 2^m のビットを反転又は非反転して出力するとともに、前記反転又は非反転を示す反転信号を出力する出力手段と、
 前記出力手段の出力を 2^m ビット単位でシリアル化し出力映像データ及び出力反転信号として出力するパラレル/シリアル変換回路と、
 を有することを特徴とする液晶表示装置。

10

20

30

40

50

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、液晶表示の制御に関し、特に液晶表示パネルに映像データを転送する表示制御回路を有する液晶表示装置に関する。

【0002】

【従来の技術】

近年、コンピュータ、テレビジョン等の表示画像の高精細化が進んできており、これらの映像データ（画像データ）を扱う液晶表示装置においては、画素数と階調数の増加に伴いデータバス本数、データ転送速度が年々増加してきている。

図8は、従来の液晶表示装置のシステム構成を示す図である。パーソナルコンピュータ（PC）等の画像描画装置2Aと液晶表示装置1Aとからなり、液晶表示装置1Aは、画像描画装置2Aからパラレルデータ等の映像データ及び当該映像データと関連する同期データ等を入力し、内部バスに所定の映像データ及び制御信号を出力する表示制御回路（タイミングコントローラ）11Aと、表示制御回路11Aからの映像データ及び周知の同期信号（HCK：映像データを取り込むタイミング信号、STH：水平スタートパルス等）からなる信号側制御信号と、基準階調電圧発生回路12Aからの基準階調電圧とを入力し、映像データを階調電圧として信号線に出力する信号線駆動回路（ソースドライバ）14Aと、表示制御回路11Aの走査側制御信号を入力し走査線を選択走査する信号を出力する走査線駆動回路（ゲートドライバ）13Aと、マトリクス状の信号線及び走査線を備え、交点にTFトランジスタのソース・ゲート電極が画素電極にドレイン電極がそれぞれ接続された液晶表示パネル15Aと、から構成されている。

【0003】

かかる液晶表示装置では、装置内部の表示制御回路 11A の入出力の映像データはパラレルデータとして複数の信号線となるデータバスを介して転送されているが、液晶表示パネルの大型化と画素数の増大及び表示画像の高精細化等により、映像データのビット数が増大し、出力映像データの連続する前後のデータ（それぞれ「前のデータ」、「後のデータ」という。）間でのビットの反転数（ビット反転数）も増大し、ビット反転数が大きいとデータのスイッチングとバスからの高調波成分の輻射が増大して電磁妨害（EMI：electromagnetic interference）が生じる。

【0004】

そこで、このような電磁輻射を抑制する方法として、映像データの前のデータに対する後のデータのビット反転数をデータ順に比較し、ビット反転数がデータのビット数の過半数となる後のデータは、その論理レベルを反転させるようなデータ処理を行うことにより、常にデータ間のビット反転数を 1/2 未満に制御した映像データに変換し、同時に論理レベルを反転した否かを示す反転信号（POL2）を前述の信号側制御信号の 1 つに追加して、両信号を液晶表示装置内で転送することが提案されている（特開 2001-356737 号公報）。

10

【0005】

図 9 は、表示制御回路と信号線駆動回路の間のデータ転送でのビット反転数の制御を示す概念図である。また、図 10 は、データ転送例を示す概念図である。表示制御回路 11A には、ビット比較器 112 と、反転/非反転回路 (1) 114 等が設けられている。表示制御回路 11A では、入力映像データを入力し、直前に送ったデータ（前のデータ）111 と、これから送るデータ（後のデータ）113 とをビット比較器 112 で比較し、比較結果が当該映像データのビット数の過半数か否かにより反転/非反転回路 (1) 114 において、後データを反転又は非反転して、データバスに出力し、同時に信号側制御信号の 1 信号線の反転信号（POL2）をアクティブ（論理状態が「H」レベル）等とする。

20

【0006】

また、信号線駆動回路 14A には、反転/非反転回路 (2) 141 とデータを格納するデータレジスタ 142 が設けられている。反転/非反転回路 (2) 141 は、データバスを介して入力される映像データと反転信号とを受信して、データ毎に反転信号に基づいて、反転信号が「H」レベルの場合には、入力した映像データを反転してデータレジスタ 142 に出力し、反転信号が「H」レベルでない場合（「L」レベル）には、入力した映像データはそのままデータレジスタ 142 に出力するという制御を行い、元のデータを再現してデータレジスタ 142 にラッチし、その後の階調電圧への変換に備える。

30

【0007】

図 11 は、赤（R）、緑（G）及び青（B）の 24 ビットの入力映像データのビット反転の制御を行った映像データの例を示す図である。最初に示す 24 ビットのパラレルデータ R7(0) ... R0(0)、G7(0) ... G0(0)、B7(0) ... B0(0) は、非反転の信号であり、反転信号は「L」レベル、2 番目に示す 24 ビットのパラレルデータ R7(1) ^ ... R0(1) ^、G7(1) ^ ... G0(1) ^、B7(1) ^ ... B0(1) ^ は、反転の信号（^ は反転を表す。）であり、反転信号は「H」レベル、以下同様である。

【0008】

また、映像データのビット数の増大に対処しデータバス本数を削減するための方法として、パラレルデータの一部をシリアル化してビット数を削減する方法が考えられている。更に、このような映像データについてもビット反転数の制御を行うことが考えられる。

40

図 12 は、一例として 2 対 1 でシリアル転送する場合のデータバスのデータ形式と反転信号のタイミングチャートを示す図である。24 ビットのパラレルデータの入力映像データについて、その奇数ビットに偶数ビットを時分割的に多重する形で一部（2 ビット）シリアル化した 12 ビットのパラレルのデータ形式としている。ここでクロック CH は一部シリアル化する前の入力映像データのクロック信号であり、クロック HCK は一部シリアル化した後の 12 ビットのパラレルデータのクロック信号である。同図から分かるように 12 ビットのパラレルデータのデータレート（データ速度）は 24 ビットのパラレルデータ

50

より2倍高速化する。

【0009】

【発明が解決しようとする課題】

前述のように液晶表示装置においては、表示画面の大型化及び画像の高精細化等による画素数及び階調数の増加に伴いデータバス本数とデータ転送速度が増加してきており、電磁妨害を抑制し、データバス本数を削減することが重要である。ここで電磁妨害を抑制するためにはデータの論理レベルの反転制御を行うことが有効であり、また、データバス本数を削減するためには、パラレルデータを一部シリアル化することが有効である。

【0010】

ところが、パラレルデータを一部シリアル化すると、一部シリアル化した映像データのデータ速度がシリアル化するビット数倍だけ増加することになり、データの論理レベルの反転制御の動作速度も同じ倍数分高速化することになり、従来の論理レベルの反転制御ではその回路動作が高速化する（例えば、図9に示すビット比較器、反転/非反転回路等はシリアル化された分だけ高速動作が要求される）ことになり、画素数及び階調数の増加への対応も困難になるという問題がある。また、論理レベルの反転制御のためのスイッチングによる電磁妨害等も新たな問題として派生する。

【0011】

（目的）

本発明の目的は、映像データの高精細表示等においても効果的な電磁妨害の抑制を可能とする映像データ転送方法、表示制御回路及び液晶表示装置を提供することにある。

【0012】

本発明の目的は、映像データを転送するデータバス本数をデータの一部シリアル化により減少させても電磁妨害を抑制するためのデータの反転処理の動作速度が高速化しないようにした映像データ転送方法、表示制御回路及び液晶表示装置を提供することにある。

【0013】

【課題を解決するための手段】

本発明の映像データ転送方法は、パラレルデータでなる入力映像データを一部シリアル化した出力映像データとして信号線駆動回路に転送する映像データ転送方法において、前記出力映像データの連続する前後におけるビット反転数が前記出力映像データのビット数の過半数の場合に後続の前記出力映像データの論理状態を反転させる反転処理を前記パラレルデータでなる入力映像データの段階において行うことを特徴とする。

【0014】

本発明の映像データ転送方法は、 3×2^n （例えば、 $n = 3$ 、 $3 \times 8 = 24$ ）ビットパラレルの入力映像データを 2^m （例えば、 $m = 1$ 、 $2^1 = 2$ ）ビット（ n 、 m ：自然数、 $n > m$ ）単位でシリアル化し、 $3 \times 2^{(n-m)}$ （例えば $3 \times 2^2 = 12$ ）ビットパラレルの出力映像データとして信号線駆動回路に転送する映像データ転送方法において、前記出力映像データの $3 \times 2^{(n-m)}$ （例えば、12）ビットパラレルの前のデータと後のデータの間のビット反転数が $3 \times 2^{(n-m-1)}$ （例えば、6）以下になるように、前記出力映像データの $3 \times 2^{(n-m)}$ （例えば、12）ビットパラレルのデータに対応する前記入力映像データの $3 \times 2^{(n-m)}$ （例えば、12）ビット毎に後続のビットの極性を反転又は非反転することを特徴とする。

【0015】

本発明の表示制御回路は、パラレルデータでなる入力映像データ（例えば図1の（a））を入力し、各入力映像データを第1のビット（例えば奇数ビット）と第2のビット（例えば偶数ビット）の2ビット単位（例えば図1のR7（0）、R6（0））でシリアル化した映像データを出力映像データ（例えば図1の（b））として信号線駆動回路に転送する表示制御回路において、

【0016】

前データ（例えば図1のデータ1）の第2のビット（例えば図1のR6（0））の非反転ビットと、後データ（例えば図1のデータ2）の第1のビット（例えば図1のR7（1）

)の非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第1の比較判定手段(例えば図2のC1、J1等)と、

前データ(例えば図1のデータ1)の第2のビット(例えば図1のR6(0))の反転ビットと、後データ(例えば図1のデータ2)の第1のビット(例えば図1のR7(1))の非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第2の比較判定手段(例えば図2のI1、C2、J2等)と、後データ(例えば図1のデータ2)の第1のビット(例えば図1のR7(1))の非反転ビットと、後データ(例えば図1のデータ2)の第2のビット(例えば図1のR6(1))の非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第3の比較判定手段(例えば図2のC3、J3等)と、

10

後データ(例えば図1のデータ2)の第1のビット(例えば図1のR7(1))の反転ビットと、後データ(例えば図1のデータ2)の第2のビット(例えば図1のR6(1))の非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第4の比較判定手段(例えば図2のI2、C4、J4等)と、

【0017】

前記第1の比較判定手段及び第2の比較判定手段の何れかの判定結果の出力、前記第3の比較判定手段及び第4の比較判定手段の何れかの判定結果の出力をそれぞれ選択出力する第1の選択手段及び第2の選択手段からなり、前記第1の選択手段は1つ前の入力映像データによる第2の選択手段の出力により制御され、第2の選択手段は第1の選択手段の出力により制御される選択手段(例えば図2のS1、S2、D3等)と、

20

【0018】

前記選択手段の第1の選択手段の出力及び第2の選択手段の出力により、それぞれ後データの第1のビット及び後データの第2のビットを反転又は非反転して出力するとともに、前記反転又は非反転を示す反転信号を出力する出力手段(例えば図2のP1、P2、D6、D7、D8、D9等)と、

前記出力手段の出力を2ビット単位でシリアル化し出力映像データ及び出力反転信号として出力するパラレル/シリアル変換回路(例えば図2のT1、T2等)と、を有することを特徴とする。

【0019】

本発明の表示制御回路は、 3×2^n ビットパラレルの入力映像データを入力し、第1のビット、第2のビット、...、第 2^m のビットの 2^m ビット(n, m :自然数、 $n > m$)単位でシリアル化した出力映像データとして信号線駆動回路に転送する表示制御回路において

30

、前データの 2^m ビット単位の第 2^m のビットの非反転ビットと後データの 2^m ビット単位の第1のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第1の比較判定手段と、前データの 2^m ビット単位の第 2^m のビットの反転ビットと後データの 2^m ビット単位の第1のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第2の比較判定手段と、後データの 2^m ビット単位の第1のビットの非反転ビットと後データの 2^m ビット単位の第2のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第3の比較判定手段と、後データの 2^m ビット単位の第1のビットの反転ビットと後データの 2^m ビット単位の第2のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第4の比較判定手段と、...、後データの 2^m ビット単位の第 $2^m - 1$ のビットの非反転ビットと後データの 2^m ビット単位の第 2^m のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第 $2 \times 2^m - 1$ の比較判定手段と、後データの 2^m ビット単位の第 $2^m - 1$ のビットの反転ビットと後データの 2^m ビット単位の第 2^m のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第 2×2^m の比較判定手段と、

40

【0020】

前記第1の比較判定手段及び第2の比較判定手段の何れかの判定結果の出力、前記第3の比較判定手段及び第4の比較判定手段の何れかの判定結果の出力、...、第 $2 \times 2^m -$

50

1の比較判定手段及び第 2×2^m の比較判定手段の何れかの判定結果の出力をそれぞれ選択出力する第1の選択手段、第2の選択手段、.....、第 2^m の選択手段からなり、前記第1の選択手段は1つ前の入力映像データによる第 2^m の選択手段の出力により制御され、第2の選択手段は第1の選択手段の出力により制御され、.....、第 2^m の選択手段は第 $2^m - 1$ の選択手段の出力により制御される選択手段と、

【0021】

前記選択手段の第1の選択手段、第2の選択手段、.....、第 2^m の選択手段の出力により、それぞれ前記後データの第1のビット、第2のビット、.....、第 2^m のビットを反転又は非反転して出力するとともに、前記反転又は非反転を示す反転信号を出力する出力手段と、

10

【0022】

前記出力手段の出力を 2^m ビット単位でシリアル化し出力映像データ及び出力反転信号として出力するパラレル/シリアル変換回路と、
を有することを特徴とする。

【0023】

本発明の液晶表示装置は、パラレルデータでなる入力映像データを入力し、各入力映像データを第1のビットと第2のビットの2ビット単位でシリアル化した映像データを出力映像データとして出力する表示制御回路と前記出力映像データを入力する信号線駆動回路とを備える液晶表示装置において、前記表示制御回路は、

【0024】

前データ(例えば図1のデータ1)の第2のビット(例えば図1のR6(0))の非反転ビットと、後データ(例えば図1のデータ2)の第1のビット(例えば図1のR7(1))の非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第1の比較判定手段(例えば図2のC1、J1等)と、

20

前データ(例えば図1のデータ1)の第2のビット(例えば図1のR6(0))の反転ビットと、後データ(例えば図1のデータ2)の第1のビット(例えば図1のR7(1))の非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第2の比較判定手段(例えば図2のI1、C2、J2等)と、

後データ(例えば図1のデータ2)の第1のビット(例えば図1のR7(1))の非反転ビットと、後データ(例えば図1のデータ2)の第2のビット(例えば図1のR6(1))の非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第3の比較判定手段(例えば図2のC3、J3等)と、

30

後データ(例えば図1のデータ2)の第1のビット(例えば図1のR7(1))の反転ビットと、後データ(例えば図1のデータ2)の第2のビット(例えば図1のR6(1))の非反転ビットとを比較してビット反転数が過半数か否かの判定結果を出力する第4の比較判定手段(例えば図2のI2、C4、J4等)と、

【0025】

前記第1の比較判定手段及び第2の比較判定手段の何れかの判定結果の出力、前記第3の比較判定手段及び第4の比較判定手段の何れかの判定結果の出力をそれぞれ選択出力する第1の選択手段及び第2の選択手段からなり、前記第1の選択手段は1つ前の入力映像データによる第2の選択手段の出力により制御され、第2の選択手段は第1の選択手段の出力により制御される選択手段(例えば図2のS1、S2、D3等)と、

40

【0026】

前記選択手段の第1の選択手段の出力及び第2の選択手段の出力により、それぞれ後データの第1のビット及び後データの第2のビットを反転又は非反転して出力するとともに、前記反転又は非反転を示す反転信号を出力する出力手段(例えば図2のP1、P2、D6、D7、D8、D9等)と、

前記出力手段の出力を2ビット単位でシリアル化し出力映像データ及び出力反転信号として出力するパラレル/シリアル変換回路(例えば図2のT1、T2等)と、
を有することを特徴とする。

50

【0027】

本発明の液晶表示装置は、 3×2^n ビットパラレルの入力映像データを入力し、第1のビット、第2のビット、... ..、第 2^m のビットの 2^m ビット (n, m : 自然数、 $n > m$) 単位でシリアル化した映像データを出力映像データとして出力する表示制御回路と前記出力映像データを入力する信号線駆動回路とを備える液晶表示装置において、前記表示制御回路は、

前データの 2^m ビット単位の第 2^m のビットの非反転ビットと後データの 2^m ビット単位の第1のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第1の比較判定手段と、前データの 2^m ビット単位の第 2^m のビットの反転ビットと後データの 2^m ビット単位の第1のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第2の比較判定手段と、後データの 2^m ビット単位の第1のビットの非反転ビットと後データの 2^m ビット単位の第2のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第3の比較判定手段と、後データの 2^m ビット単位の第1のビットの反転ビットと後データの 2^m ビット単位の第2のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第4の比較判定手段と、... ..、後データの 2^m ビット単位の第 $2^m - 1$ のビットの非反転ビットと後データの 2^m ビット単位の第 2^m のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第 $2 \times 2^m - 1$ の比較判定手段と、後データの 2^m ビット単位の第 $2^m - 1$ のビットの反転ビットと後データの 2^m ビット単位の第 2^m のビットの非反転ビットとを比較してビット反転数が過半数か否かを判定する第 2×2^m の比較判定手段と、

10

20

【0028】

前記第1の比較判定手段及び第2の比較判定手段の何れかの判定結果の出力、前記第3の比較判定手段及び第4の比較判定手段の何れかの判定結果の出力、... ..、第 $2 \times 2^m - 1$ の比較判定手段及び第 2×2^m の比較判定手段の何れかの判定結果の出力をそれぞれ選択出力する第1の選択手段、第2の選択手段、... ..、第 2^m の選択手段からなり、前記第1の選択手段は1つ前の入力映像データによる第 2^m の選択手段の出力により制御され、第2の選択手段は第1の選択手段の出力により制御され、... ..、第 2^m の選択手段は第 $2^m - 1$ の選択手段の出力により制御される選択手段と、

【0029】

前記選択手段の第1の選択手段、第2の選択手段、... ..、第 2^m の選択手段の出力により、それぞれ前記後データの第1のビット、第2のビット、... ..、第 2^m のビットを反転又は非反転して出力するとともに、前記反転又は非反転を示す反転信号を出力する出力手段と、

30

前記出力手段の出力を 2^m ビット単位でシリアル化し出力映像データ及び出力反転信号として出力するパラレル/シリアル変換回路と、

を有することを特徴とする。

【0030】

(作用)

表示制御回路からソースドライバ等の信号線駆動回路に映像データを一部シリアル化して転送する方式において、映像データをパラレル/シリアル変換する前のパラレルデータの段階において、シリアル化後のデータに対応するデータの比較を順次行ってビット反転数が過半数か否かにより、パラレルデータの反転/非反転の制御を行う。映像データを一部シリアル化した後の高速化したデータの反転/非反転の制御を行う場合と比べ、比較器、反転/非反転判定回路等の動作速度を低減することができる。

40

【0031】

【発明の実施の形態】

次に、本発明の映像データ転送方法、表示制御回路及び液晶表示装置の一実施の形態を図面を参照して説明する。

図1は、本発明の第1の実施の形態における入力及び出力の映像データの信号形式を示す図である。本実施の形態では、入力映像データ(DATA)は、赤(R)、緑(G)及び

50

青 (B) の各々の輝度信号に対応する 3 つの並列 (パラレル) 8 ビットのデータ、即ち 24 ビットパラレルの階調表示データを対象とし、出力映像データはデータバス本数は 1 / 2 の一部シリアル化した 12 ビットのデータを対象とする。具体的には、入力映像データは図 1 (a) に示す R 0 ~ R 7、G 0 ~ G 7、B 0 ~ B 7 の 24 ビットのパラレルデータであり、出力映像データは図 1 (b) に示す 24 ビットのパラレルデータの奇数ビット (例えば R 7 (1)、R 7 (2)) と偶数ビット (例えば R 6 (1)、R 6 (2)) を 2 ビット (隣接する 2 ビット) 単位でシリアル化 (例えば R 7 (1) と R 6 (1)、R 7 (2) と R 6 (2)) した 12 系列のデータ (例えば R 7 - R 6、R 5 - R 4、...、G 1 - G 0、B 1 - B 0、以下、シリアルデータともいう。) である。

【 0 0 3 2 】

本実施の形態では、図 1 (a) に示すように入力映像データの 24 ビットのパラレルデータ (データ 1、データ 2、データ 3、...) について、パラレルデータの段階において、隣接する 2 ビット単位 (例えば R 7 (0) と R 6 (0)、R 7 (1) と R 6 (1)、R 7 (2) と R 6 (2) ...) で反転 / 非反転の処理を行うことにより、12 系統の時系列なデータの間のパラレルなビット間のデータの反転数 (ビット反転数) は、総ビット数 (12 ビット) の半分以下に制御する。図 1 により本実施の形態の処理の概要を説明する。

【 0 0 3 3 】

図 1 (b) に示す本実施の形態のシリアル変換後の 1 系統のデータ R 7 - R 6 (R 6 (0)、R 7 (1)、R 6 (1)、R 7 (2)、R 6 (2)、...) についてみると、図 1 (a) に示す各パラレルデータ 1、2、3、... の最上位側の隣接する 2 ビットをシリアル化したものである。同様に他のデータ R 5 - R 4、...、G 1 - G 0、...、B 1 - B 0 も図 1 (a) の最上位より順次下位側のそれぞれ隣接する 2 ビットをシリアル化したものである。

【 0 0 3 4 】

本実施の形態では、図 1 (a) の最上位側の隣接する 2 ビット (R 7 (0) と R 6 (0)、R 7 (1) と R 6 (1)、R 7 (2) と R 6 (2)、...) に関して、1 入力映像データの連続する前後の前のデータ (「前データ」という。) (データ 1) の隣接する 2 ビット (R 7 (0) と R 6 (0)) のうち偶数ビット (R 6 (0)) と、入力映像データの連続する前後の後のデータ (「後データ」という。) (データ 2) の同じ桁 (同一位置) の隣接する 2 ビット (R 7 (1) と R 6 (1)) の奇数ビット (R 7 (1)) とを比較してデータに変化があるか否かを検出し、2 引き続いて後データ (データ 2) の同一位置の隣接する 2 ビット (R 7 (1) と R 6 (1)) 同士の奇数ビット (R 7 (1)) と偶数ビット (R 6 (1)) を比較してデータに変化があるか否かを検出する。また、最上位より順次下位側のそれぞれ隣接する 2 ビットについても前データと後データとの間で同様の比較動作 1 及び 2 を同時に行い、その全比較結果に基づいて、ビット反転数が過半数か否かを判断して、前データ及び後データの反転 / 非反転を制御を行う。

【 0 0 3 5 】

ここで、全ての隣接する 2 ビットの比較動作 1 及び 2 において、比較の基準となる前データが出力映像データとして反転されて出力されたか否かが分からないので、各比較動作における偶数ビットと奇数ビットについて、その非反転のデータと反転のデータを予め作成し、それぞれと後データとの比較を行い、以前の比較動作 2 及び 1 の結果に基づいて、何れかを選択する。つまり、比較動作 1 では比較動作 2 の結果を利用し、比較動作 2 では比較動作 1 の結果を利用する。

【 0 0 3 6 】

そして、以上の比較動作 1 又は 2 の結果に基づいて、入力映像データの反転 / 非反転の制御を行い、パラレルデータとして出力し、またデータ単位で反転されているか否かの情報を反転信号 (P O L 2) としてパラレルに出力し、それぞれをシリアルデータに変換して出力する。

【 0 0 3 7 】

(構成の説明)

図 2 は、2 ビット比較による本実施の形態の液晶表示装置の構成を示す図である。

10

20

30

40

50

本実施の形態の回路構成は、入力映像データの24ビットの平行データのうち、隣接する2ビット単位の奇数ビットを入力する12個の入力端子(DATA1)と、同じく偶数ビットを入力する12個の入力端子(DATA2)とを有し、偶数ビットの入力を1クロック(1HCK分)遅延する12個の遅延回路D1と、各遅延回路D1の出力及びその出力を反転回路I1により反転した信号を基準として奇数ビットと比較する12個の比較器C1及びC2と、奇数ビット及びその奇数ビットを反転回路I2により反転した信号を基準として偶数ビットと比較する12個の比較器C3及びC4と、各比較器C1、C2及びC3、C4の出力をそれぞれ入力し反転/非反転を判定する反転/非反転判定回路J1、J2及びJ3、J4と、を備え、

【0038】

反転/非反転判定回路J1、J2及びJ3、J4の出力を選択して出力するセレクタS1、S2であって、セレクタS2はセレクタS1の出力により制御され、セレクタS1はセレクタS2の出力を1クロック遅延する遅延回路D3の出力により制御されるセレクタS1、S2と、セレクタS1の出力を1クロック遅延する遅延回路D2と、を備え、

【0039】

更に、入力映像データの奇数ビット及び偶数ビットをそれぞれ1クロック遅延する遅延回路D4、D5と、遅延回路D4、D5の出力の反転/非反転の制御を行うそれぞれ12個の反転/非反転回路P1、P2と、各反転/非反転回路P1、P2の出力を1クロック遅延して奇数ビット及び偶数ビットとして出力する遅延回路D8、D9と、遅延回路D8、D9からの奇数ビット及び偶数ビットに対するそれぞれ反転信号POL2(S0)及び反転信号POL2(S1)を出力する、遅延回路D2及び遅延回路D3のそれぞれ出力を1クロック遅延する遅延回路D6及び遅延回路D7と、それぞれを平行/シリアル変換する平行/シリアル変換回路T1、T2と、を備える。

【0040】

ここで各遅延回路D1～D9は、例えばクロックCLK端子及びリセット端子付きD型フリップフロップ回路(F/F)により構成され、例えば初期状態でリセット可能であり、データの遅延はデータに同期するクロックにより、データをラッチすることにより実現する。

【0041】

本実施の形態の各部の機能は以下のとおりである。

遅延回路D1は、偶数ビットを奇数ビットと比較するために1クロック(1HCK分)の時間差を一致させる機能を有する。反転回路I1、I2は時系列なデータの比較を行うための基準となる前データ(1クロック前のデータ)を反転することにより、前データが反転されている場合の比較を可能とする。比較器C1～C4は、2入力のデータを比較し、論理状態が一致する場合に論理「L」(ローレベル)を、不一致の場合に論理「H」(ハイレベル)を出力する機能を有する。

【0042】

特に、比較器C1、C2は、ある平行データの隣接する2ビットの偶数ビットを基準として、次の平行データの同一位置の隣接する2ビットの奇数ビットとを比較する比較器であり、比較器C1は前記偶数ビットと前記奇数ビットとの比較を行い、比較器C2は、前記偶数ビットを反転したものと前記奇数ビットとの比較を行うものである。また、比較器C3、C4は、前記次の平行データの同一位置の隣接する2ビットの奇数ビットを基準として、該隣接する2ビットの偶数ビットとを比較する比較器であり、比較器C3は前記奇数ビットと前記偶数ビットとの比較を行い、比較器C4は、前記奇数ビットを反転したものと前記偶数ビットとの比較を行うものである。なお、前記のある平行データの隣接する2ビットと前記次の平行データの隣接する2ビットは、2ビットシリアルのデータ(一部シリアル化した映像データ)の時系列な連続する4ビットに相当することは前述のとおりであり、結果的に2ビットシリアルのデータとなる前の平行データの対応する4ビットを2ビット単位で順次比較する機能を有する。

【0043】

10

20

30

40

50

反転／非反転判定回路 J 1 ~ J 4 は、比較器 C 1 ~ C 4 の各出力を入力とし、各 1 2 組の比較器の出力の「L」状態が半分より多いか否かを判定し、「L」状態が半分より多い（「H」状態が半分以下）の場合に「L」状態を出力し、「L」状態が半分以下（「H」状態が半分より多い）の場合に「H」状態を出力する。

【0044】

セレクタ S 1 は、遅延回路 D 3 の出力（d）により制御され出力（d）が「L」のとき、反転／非反転判定回路 J 1 の出力を選択して出力し、出力（d）が「H」のとき、反転／非反転判定回路 J 2 の出力を選択して出力する機能を有する。セレクタ S 2 は、セレクタ S 1 の出力（a）により制御され、出力（a）が「L」のとき、反転／非反転判定回路 J 3 の出力を選択して出力し、出力（a）が「H」のとき、反転／非反転判定回路 J 4 の出力を選択して出力する機能を有する。

10

【0045】

遅延回路 D 4、D 5 は、奇数ビット及び偶数ビットを 1 クロック遅延し、遅延回路 D 2、D 3 からの判定出力（c）、（d）との動作タイミングを一致させる機能を有する。反転／非反転回路 P 1、P 2 は、1 2 組備え、隣接する 2 ビットの順次奇数ビット及び偶数ビットの反転の有無を判定回路の判定出力（c）、（d）により行う機能を有する。

【0046】

1 組の遅延回路 D 6、D 7 は、判定回路からの反転信号を 1 クロック遅延して平行に出力し、1 2 組の遅延回路 D 8、D 9 は、1 2 組の反転／非反転回路 P 1、P 2 からの平行データを 1 クロック遅延し、平行に出力する機能を有する。

20

【0047】

平行／シリアル変換回路 T 1 は、遅延回路 D 6、D 7 の平行出力をシリアル信号に変換して反転信号として出力する機能を有する。平行／シリアル変換回路 T 2 は、1 2 組の遅延回路 D 8、D 9 からの奇数ビット及び偶数ビットの 2 4 個の平行出力を一部シリアル化した 1 2 系統のシリアルデータ変換し出力映像データとして前記反転信号と対応して出力する機能を有する。

【0048】

（動作の説明）

次に、図 2 に示す第 1 の実施の形態の動作について、図 1 のデータ配列を参照して、以下詳細に説明する。

30

本実施の形態の比較器 C 1、C 2、C 3、C 4 は、動作上は平行データの最上位側の隣接する 2 ビットの比較処理を行う比較器であるが、便宜上、適宜残りの隣接する 2 ビットの比較処理を行う比較器を含めたものとして説明する。また、1 2 個の反転／非反転回路等も同様である。また、本実施の形態の動作において入力映像データのデータ 1 の R 6（0）は、反転／非反転処理において非反転として扱われたとし、各遅延回路 D 1 ~ D 9 を構成するフリップフロップ回路（F/F）は初期条件として出力が「L」にリセットされたものとする。以下、データ 2 の入力時点以降の動作を説明する。

【0049】

初期状態では遅延回路 D 3 の出力「L」であるから、セレクタ S 1 は、比較の基準となるデータ 1 の偶数ビット（R 6（0）等）が反転されないで入力される比較器 C 1 が接続された反転／非反転判定回路 J 1 の判定結果の出力を選択する。反転／非反転判定回路 J 1 は、R 6（0）と R 7（1）及び残りの隣接する 2 ビットの比較結果により、ビット反転数について過半数か否かを判断して奇数ビット（R 7（1）等）を反転するか否かの判定結果を出力する。

40

【0050】

i) ここで仮に、反転／非反転判定回路 J 1 はビット反転数が半数以下と判定した場合、J 1 の出力（a）は「L」となるから、セレクタ S 2 は同一データ 2 の入力時点において、比較の基準となるデータ 2 の奇数ビット（R 7（0）等）が反転されないで入力される 1 2 個の比較器 C 3 の出力に接続された反転／非反転判定回路 J 3 の出力を選択する。反転／非反転判定回路 J 3 は、R 7（1）と R 6（1）及び残りの隣接する 2 ビットの比較

50

結果を入力し、ビット反転数が過半数か否かを判断してデータ2の偶数ビット（R6（1）等）を反転するか否かの判定結果を出力する。

【0051】

i i) また逆に、反転/非反転判定回路J1がビット反転数は過半数と判定した場合、J1の出力(a)は「H」となるから、セクタS2は、比較の基準となるデータ2の奇数ビット（R7（1）等）が反転された12個の比較器C4の出力に接続された反転/非反転判定回路J4の出力を選択する。反転/非反転判定回路J4は、R7（1）[^]（[^]は反転を表す。）とR6（1）及び残り隣接する2ビットの比較結果を入力し、ビット反転数が過半数か否かの判定結果を出力する。

【0052】

何れの場合にも、セクタS1の出力(a)は遅延回路D2により1クロック遅延された出力(c)となり、セクタS2の出力(b)は遅延回路D3で1クロック遅延された出力(d)となり、次のデータ3の入力時点でそれぞれ反転/非反転回路P1、P2の反転/非反転の制御信号となるとともに、遅延回路D6、D7を介して反転信号としてパラレル/シリアル変換回路T1に出力される。

【0053】

反転/非反転回路P1、P2は、それぞれ遅延回路D4、D5を介して前記隣接する2ビットの奇数ビットと偶数ビットが1クロック遅延されたデータ2を入力しているから、各データ2は反転/非反転の制御信号である出力(c)、(d)により、論理状態が制御されて出力される。

【0054】

つまり、反転/非反転判定回路J1がビット反転数を半数以下と判定した場合は、出力(c)（出力(a)）は「L」であり、反転/非反転回路P1は、遅延回路D4からの奇数ビットの論理状態を非反転（R7（1））として出力し、反転/非反転判定回路J1がビット反転数を過半数と判定した場合は、出力(c)（出力(a)）は「H」であり、反転/非反転回路P1は、遅延回路D4からの奇数ビットの論理状態を反転（R7（1）[^]）として出力し、遅延回路D8を介して出力(h)としてパラレル/シリアル変換回路T2に出力する。また、反転/非反転回路P2は、セクタS1の出力状態により選択される反転/非反転判定回路J3、J4の出力状態により決定されるセクタS2の出力(d)（出力(b)）を制御信号として、遅延回路D5からの偶数ビットの論理状態を反転/非反転して出力し、該出力は遅延回路D9を介して出力(i)としてパラレル/シリアル変換回路T2に出力する。

【0055】

パラレル/シリアル変換回路T2は、論理状態が制御された隣接する2ビットをシリアルデータに変換して出力し、パラレル/シリアル変換回路T1は、反転信号(e)、(f)をシリアルデータに変換して、前記隣接する2ビットのシリアル信号の極性の制御結果を示す反転信号POL2として前記シリアルデータと同期して出力する。

【0056】

以上のような入力映像データにおける、前データ1（図1参照）の偶数ビット、後データ2（図1参照）の奇数ビット、後データ2の偶数ビットの3ビットを単位とするデータの論理状態の反転/非反転の制御と、パラレルデータからシリアルデータへの変換の信号処理は、後続のデータ3以降についても同様に行われる。例えば、データ2の隣接する2ビット（R7（1）、R6（1））の処理の終了結果である出力(b)が「H」とであるとすると、次の3ビットを単位とする処理は、セクタS1が反転/非反転判定回路J2の判定出力を選択し、その出力(a)の「L」又は「H」によりセクタS2は、反転/非反転判定回路J3又はJ4の判定結果を出力し、これらの出力は、1クロック遅延後に反転/非反転回路P1、P2において対応するデータ3の隣接する2ビットの反転/非反転の制御が行われる。

【0057】

図3は、本実施の形態の動作のタイムチャートを示す図である。同図では入力映像データ

10

20

30

40

50

としての24ビットからなるパラレルデータを各12ビットの奇数ビットと偶数ビットとに分けて示すとともに、反転信号の出力(a)~(f)と、反転/非反転の処理後のパラレルデータは反転/非反転回路P1から出力される12ビットの奇数ビットを示すタイミングチャートである。以下、本実施の形態の動作を図3に示す例により、入力映像データの入力時点t1、t2、t3、...の順に説明する。

【0058】

同図においてt1時点までのパラレルデータは全て0とし、t2時点以降、同図に示すパラレルデータが入力し、初期状態では遅延回路を構成する各フリップフロップは全て0(リセット)状態とする。この場合、t1時点では出力(a)~(f)は何れも「L」である。

10

【0059】

t2時点：破線で囲ったt2時点のデータの入力状態では、遅延回路D3の出力(d)は「L」であるから、セクタS1は、奇数ビット(101000100100)と直前(t1)に送った偶数ビット(000000000000)との比較結果のビット反転数を判定する反転/非反転判定回路J1の出力を選択する。この時のビット反転数は4であるから出力(a)は「L」となる。このためセクタS2は、奇数ビット(101000100100)と偶数ビット(110100111010)との比較結果のビット反転数を判定する反転/非反転判定回路J3の出力を選択する。この時のビット反転数は6であるから出力(b)は「H」となる。

20

【0060】

同時にt2時点では、遅延回路D2の出力(c)は「L」であるから、反転/非反転回路P1は図3に示すように出力奇数ビット(g)(000000000000)を出力する。遅延回路D3の出力(d)も「L」であるから、図示しないが出力偶数ビット(000000000000)を出力する。なお、遅延回路D6、D7からの反転信号(e)、(f)も何れも「L」であり、遅延回路D8、D9の出力データも全て(000000000000)である。

【0061】

t3時点：t3時点では、遅延回路D3の出力(d)は「H」であるからセクタS1は、反転/非反転判定回路J2の出力を選択する。反転/非反転判定回路J2は奇数ビット(110111010110)と直前(t2)に送った偶数ビット(110100111010)の反転ビット(001011000101)との比較結果のビット反転数を判定し、この時のビット反転数は7であるから、出力(a)は「H」となる。このため出力(a)によりセクタS2は反転/非反転判定回路J4の出力を選択する。反転/非反転判定回路J4は奇数ビット(110111010110)の反転ビット(001000101001)と偶数ビット(010110011001)の比較結果を出力する。この時のビット反転数は6であるから、出力(b)は「H」となる。

30

【0062】

同時にt3時点では、遅延回路D2、D3の出力(c)、(d)はそれぞれ「L」、「H」となるから、反転/非反転回路P1は出力奇数ビットとして図3に示すように1クロック前の奇数ビット(101000100100)を出力する。また、反転/非反転回路P2は、図示していないが1クロック前の偶数ビット(110100111010)の反転データ(001011000101)を出力する。なお、遅延回路D6、D7からの反転信号(e)、(f)はまだ「L」であり、遅延回路D8、D9の出力データも(000000000000)である。

40

【0063】

t4時点：t4時点では遅延回路D2、D3の出力(c)、(d)がそれぞれ「H」、「H」となり、反転/非反転回路P1は、出力奇数ビットとして図3に示すt3時点の奇数ビット(110111010110)の反転ビット(001000101001)を出力する。このとき、反転/非反転回路P2は、図示していないがt3時点の偶数ビット(010110011001)の反転ビット(101001100110)を出力する。また

50

、同時に遅延回路 D 8、D 9 は、t 3 時点で反転 / 非反転回路 P 1、P 2 が出力したデータを出し、遅延回路 D 6、D 7 は、出力 (e)、(f) として t 3 時点で遅延回路 D 2、D 3 が出力したそれぞれ反転信号「 L」、「H」を出力する。

【 0 0 6 4 】

以下同様にして、パラレルデータでなる入力映像データの各データの入力時点における、前記入力映像データの連続する前後における前データの偶数ビットと前記入力映像データの連続する前後における後データの奇数ビットとの比較によるビット反転数の判定結果と、前記後データの奇数ビットと後データの偶数ビットとの比較によるビット反転数の判定結果との出力を行う処理と、1クロック後における、前記判定結果に基づく、1クロック前の入力映像データの反転 / 非反転の制御を行う処理の繰り返しにより、遅延回路 D 8、D 9 から出力されるパラレルデータがパラレル / シリアル変換回路 T 2 を介してシリアルデータの出力映像データとなった状態で前後のデータのビット反転数が半分以下になるように極性反転の制御が行われる。同時に遅延回路 D 6、D 7 から出力される反転信号は、パラレル / シリアル変換回路 T 1 を介してシリアルデータとなり、前記シリアルデータの映像データと同期するシリアルな反転信号として出力される。この反転信号は、前述のように表示パネルの駆動回路等の受信部におけるシリアルデータからパラレルデータへの変換時の本来の映像データの再現のための制御信号となる。

10

【 0 0 6 5 】

以上の実施の形態では、前記前データの偶数ビットと前記後データの奇数ビットの比較と後データの奇数ビットと同偶数ビットの比較とから、一部シリアル化後の連続する2ビットとなる後データの奇数ビット及び偶数ビットの反転又は非反転を制御するものであるが、シリアル化のビット数を更に増加させ、データバス本数をより削減するようにした場合にも本発明は適用可能である。

20

【 0 0 6 6 】

(第 2 の実施の形態)

図 4 は、本発明の第 2 の実施の形態における入力及び出力の映像データの信号形式を示す図である。第 2 の実施の形態では一部シリアル化するビット数を 4 ビットとした例である。

入力映像データは、赤 (R)、緑 (G) 及び青 (B) の各々の輝度信号に対応する 3 つのパラレル 8 ビット、つまり 2 4 ビットのパラレルデータの階調表示データである。具体的には、図 4 (a) に示すように R 0 ~ R 7、G 0 ~ G 7、B 0 ~ B 7 の 2 4 ビットのパラレルデータであり、出力映像データは、図 4 (b) に示すように、前記 2 4 ビットのパラレルデータの 4 ビット (例えば R 7 (1)、R 6 (1)、R 5 (1)、R 4 (1)) 単位でシリアル化 (例えば R 7 (0)、R 6 (0)、R 5 (0)、R 4 (0)、R 7 (1)、R 6 (1)、R 5 (1)、R 4 (1)、...、**「 4 ビットシリアル」**という。) した 6 系列のデータ (例えば R 7 - R 4、R 3 - R 0、G 7 - G 4、G 3 - G 0、B 7 - B 4、B 3 - B 0) である。

30

【 0 0 6 7 】

本実施の形態では、前記パラレルデータ (入力映像データ) からシリアルデータ (出力映像データ) への変換前にデータの反転処理が行われ、6 系統でなる時系列なデータの間のビット反転数は、総ビット数 (6 ビット) のうち半分以下に制御される。

40

【 0 0 6 8 】

図 5 は、本発明の 4 ビット比較による第 2 の実施の形態の構成を示す図である。

本実施の形態の回路構成は、入力映像データの 2 4 ビットのパラレルデータのうち、奇数ビットの 1 ビットおきのデータを入力する 6 個の入力端子 DATA 1 1 と、偶数ビットの 1 ビットおきのデータを入力する 6 個の入力端子 DATA 1 2 と、奇数ビットの他の 1 ビットおきのデータを入力する 6 個の入力端子 DATA 1 3 と、偶数ビットの他の 1 ビットおきのデータを入力する 6 個の入力端子 DATA 1 4 と、を有し、

【 0 0 6 9 】

入力端子 DATA 1 4 の他の 1 ビットおきの偶数ビットのデータを 1 クロック (1 H C K

50

分) 遅延する 6 個の遅延回路 D 1 1 と、各遅延回路 D 1 1 の出力及びその出力を反転回路 I 1 1 により反転したデータを基準として入力端子 DATA 1 1 の 1 つおきの奇数ビットとを比較する 6 個の比較器 C 1 1 及び C 1 2 と、入力端子 DATA 1 1 の 1 つおきの奇数ビット及びその奇数ビットを反転回路 I 1 2 により反転したデータを基準として入力端子 DATA 1 2 の 1 つおきの偶数ビットと比較する 6 個の比較器 C 1 3 及び C 1 4 と、入力端子 DATA 1 2 の 1 つおきの偶数ビットのデータを基準として入力端子 DATA 1 3 の他の奇数ビットのデータと比較する比較器 C 1 5 及び C 1 6 と、入力端子 DATA 1 3 の他の奇数ビットのデータを基準として入力端子 DATA 1 4 の偶数ビットの他の 1 ビットおきのデータと比較する比較器 C 1 7 及び C 1 8 と、

【0070】

それぞれ 6 個の比較器 C 1 1、C 1 2、比較器 C 1 3、C 1 4、比較器 C 1 5、C 1 6 及び比較器 C 1 7、C 1 8 の出力を入力し、反転/非反転を判定するそれぞれ反転/非反転判定回路 J 1 1、J 1 2、反転/非反転判定回路 J 1 3、J 1 4、反転/非反転判定回路 J 1 5、J 1 6 及び反転/非反転判定回路 J 1 7、J 1 8 からなる比較判定回路と、を備え、

【0071】

反転/非反転判定回路 J 1 1、J 1 2、反転/非反転判定回路 J 1 3、J 1 4、反転/非反転判定回路 J 1 5、J 1 6、反転/非反転判定回路 J 1 7、J 1 8 の出力をそれぞれ選択して出力するセレクタ S 1 1、S 1 2、S 1 3 及び S 1 4 であって、セレクタ S 1 2 はセレクタ S 1 1 の出力により制御され、セレクタ S 1 3 はセレクタ S 1 2 の出力により制御され、セレクタ S 1 4 はセレクタ S 1 3 の出力により制御され、セレクタ S 1 1 はセレクタ S 1 4 の出力を 1 クロック遅延する遅延回路 D 1 5 の出力により制御されるセレクタ S 1 1、S 1 2、S 1 3 及び S 1 4 と、また、セレクタ S 1 1、S 1 2 及び S 1 3 の出力をそれぞれ 1 クロック遅延する遅延回路 D 1 2、D 1 3、D 1 4 と、各遅延回路 D 1 2、D 1 3、D 1 4、D 1 5 の出力をそれぞれ 1 クロック遅延して反転信号 (i)、(j)、(k)、(l) を出力する遅延回路 D 2 0、D 2 1、D 2 2、D 2 3 と、を備え、

【0072】

また、入力映像データの 6 個の入力端子 DATA 1 1 の奇数ビットの 1 ビットおきのデータ、6 個の入力端子 DATA 1 2 の偶数ビットの 1 ビットおきのデータ、6 個の入力端子 DATA 1 3 の奇数ビットの他の 1 ビットおきのデータ、6 個の入力端子 DATA 1 4 の偶数ビットの他の 1 ビットおきのデータをそれぞれ入力し、1 クロック遅延するそれぞれ 6 個のフリップフロップ回路 (F / F) D 1 6、D 1 7、D 1 8、D 1 9 と遅延回路 D 1 2、D 1 3、D 1 4、D 1 5 の出力の反転/非反転の制御を行うそれぞれ 6 個の反転/非反転回路 P 1 1、P 1 2、P 1 3、P 1 4 と、各反転/非反転回路 P 1 1、P 1 2、P 1 3、P 1 4 の出力を 1 クロック遅延するそれぞれ 6 個の遅延回路 D 2 4、D 2 5、D 2 6、D 2 7 と、遅延回路 D 2 4、D 2 5、D 2 6、D 2 7 からの奇数ビットの 1 ビットおきのデータ、偶数ビットの 1 ビットおきのデータ、奇数ビットの他の 1 ビットおきのデータ、偶数ビットの他の 1 ビットおきのデータをパラレル/シリアル変換するパラレル/シリアル変換回路 T 1 2 と、遅延回路 D 2 0、D 2 1、D 2 2、D 2 3 の出力 (i)、(j)、(k)、(l) をパラレル/シリアル変換するパラレル/シリアル変換回路 T 1 1 と、を備える。

【0073】

第 2 の実施の形態の個々の回路機能は第 1 の実施の形態のものと扱うデータのビット数等において相違するものの実質的には同様である。つまり、6 個の比較器は並列 6 ビットのデータの反転/非反転を検出し、比較判定回路を構成する反転/非反転判定回路はビット反転数が 3 より多いか否かを判定し、反転/非反転回路は 6 ビットのデータの反転/非反転を行う。また、4 個のセレクタは制御信号「L」又は「H」によりそれぞれ上側 (前記制御信号「L」の場合) 又は下側 (前記制御信号「H」の場合) の反転/非反転判定回路の判定結果を出力し、パラレル/シリアル変換回路 T 1 1 は 4 つの反転信号を順次シリアル化して出力し、パラレル/シリアル変換回路 T 1 2 は、6 個の遅延回路 D 2 4、D 2 5

10

20

30

40

50

、D 2 6、D 2 7からの6ビットデータをビット単位で順次シリアル化して出力する。

【0074】

図6は、本実施の形態の動作のタイミングチャートを示す図である。同図は入力映像データとしての24ビットの平行データを各6ビットでなる1つおきの2つの奇数ビットA、Bと、1つおきの2つの偶数ビットA、Bとに分けて示すとともに、反転信号の出力(a)~(l)と、反転/非反転の処理後の平行データを反転/非反転回路P11から出力される6ビットの奇数ビットのみとを示したタイミングチャートである。以下、本実施の形態の動作を図6の例により、入力映像データの入力時点t1、t2、t3、...の順に説明する。

【0075】

同図においてt1時点までの平行データは全て0とし、t2時点以降、同図に示す平行データが入力し、初期状態では遅延回路を構成する各D型フリップフロップ回路は全て0(リセット)状態とする。この場合、t1時点では出力(a)~(l)は何れも「L」である。

【0076】

t2時点：t2時点のデータの入力状態で、出力(h)は「L」であるから、セクタS11は、奇数ビットA(110100)は直前(t1)に送った偶数ビットB(000000)との比較結果のビット反転数を判定する反転/非反転判定回路J11の出力を選択する。この時のビット反転数は3であるから出力(a)は「H」となる。このためセクタS12は、奇数ビットA^(^は反転を表す。)(001011)と偶数ビットA(100111)との比較結果のビット反転数を判定する反転/非反転判定回路J14の出力を選択する。この時のビット反転数は3であるから出力(b)は「H」を出力する。このためセクタS13は、偶数ビットA^(011000)と奇数ビットB(000010)との比較結果のビット反転数を判定する反転/非反転判定回路J16の出力を選択する。この時のビット反転数は3であるから出力(c)は「H」となる。このためセクタS14は、奇数ビットB^(111101)と偶数ビットB(110100)との比較結果のビット反転数を判定する反転/非反転判定回路J18の出力を選択する。この時のビット反転数は2であるから出力(d)は「L」のままとなる。

【0077】

同時にt2時点では、遅延回路D12の出力(e)は「L」であるから、反転/非反転回路P11は図6に示すように出力奇数ビットA(000000)を出力する。遅延回路D13~D15の出力(f)~(h)も全て「L」であるから、図示しないが出力偶数ビットA、出力奇数ビットB及び出力偶数ビットBとして何れも(000000)を出力する。なお、遅延回路D20~D23からの反転信号(i)~(l)も何れも「L」であり、遅延回路D24~D27の出力データも全て(000000)である。

【0078】

t3時点：t3時点では、遅延回路D15の出力(h)は「L」のままであるから、セクタS11は奇数ビットA(101001)と直前(t2)に送った偶数ビットB(110100)との比較結果のビット反転数を判定する反転/非反転判定回路J11の出力を選択する。この場合、ビット反転数は4であるから、出力(a)は「H」となる。以下同様にしてセクタS12~S14は、出力(b)~(d)としてそれぞれ「H」、「H」、「H」を出力する。

【0079】

同時にt3時点では、遅延回路D12の出力(e)は「H」となり、反転/非反転回路P11は出力奇数ビットAとして1クロック前の奇数ビットA(110100)を反転した奇数ビットA^(001011)を出力する。また、遅延回路D13、D14の出力(f)、(g)も「H」となるから、反転/非反転回路P12、P13は、図示していないがそれぞれ1クロック前の偶数ビットA及び奇数ビットBの各反転である偶数ビットA^及び奇数ビットB^を出力する。更に遅延回路D15の出力(h)は「L」のままであるから、反転/非反転回路P14は、図示していないが1クロック前の偶数ビットBを出力す

10

20

30

40

50

る。なお、遅延回路 D 2 0 ~ D 2 3 からの反転信号 (i) ~ (l) はまだ「 L 」であり、遅延回路 D 2 4 ~ D 2 7 の出力データも (0 0 0 0 0 0) である。

【 0 0 8 0 】

t 4 時点 : t 4 時点では、セレクタ S 1 1 ~ S 1 4 及び反転 / 非反転回路 P 1 1 ~ P 1 4 の各動作は t 2 ~ t 3 時点の動作と同様であるが、同時に t 3 時点で出力された反転 / 非反転回路 P 1 1 ~ P 1 4 からの前記各データが遅延回路 D 2 4 ~ D 2 7 から出力され、遅延回路 D 2 0 ~ D 2 3 から前記各データの極性の反転制御の内容を表す反転信号 (i) ~ (l) として、t 3 時点で出力された前述の「 H 」、「H」、「H」、「L」が出力される。

【 0 0 8 1 】

以下同様にして、パラレルデータでなる入力映像データの各データの入力時点における、前記入力映像データの連続する前後における前データの偶数ビット B と前記入力映像データの連続する前後における後データの奇数ビット A との比較によるビット反転数の判定結果と、前記後データの奇数ビット A と前記後データの偶数ビット A との比較によるビット反転数の判定結果と、前記後データの偶数ビット A と前記後データの奇数ビット B との比較によるビット反転数の判定結果と、前記後データの奇数ビット B と前記後データの偶数ビット B との比較によるビット反転数の判定結果を出力する処理と、1 クロック後における、前記各判定結果によるビット反転 / 非反転回路 P 1 1 ~ P 1 4 の反転 / 非反転の制御を行う処理の繰り返しにより、パラレルデータの段階での反転 / 非反転の制御を行い、遅延回路 D 2 4 ~ D 2 7 から出力されるパラレルデータがパラレル / シリアル変換回路 T 1 2 を介してシリアルデータの映像データとなった状態で前後のデータのビット反転数が半分以下になるように極性反転の制御が行われる。同時に遅延回路 D 2 0 ~ D 2 3 から出力される反転信号は、パラレル / シリアル変換回路 T 1 1 を介してシリアルデータとなり、前記シリアル化された映像データと同期するシリアルな反転信号として出力される。この反転信号は、前述のように表示パネルの駆動回路等の受信部におけるシリアルデータからパラレルデータへの変換時の本来の映像データの再現のための制御信号となる。

図 7 は、第 2 の実施の形態のシリアルデータのタイミングチャートを示す図である。4 ビット単位でシリアル化したことにより、シリアルデータ数は 1 / 4 となりデータバス数は 6 本に削減されている。

(他の実施の形態)

以上の実施の形態においては、映像データの一部シリアル化として、2 ビットシリアル及び 4 ビットシリアルの例を説明したが、本発明は入力映像データのパラレルデータに対し、一般に 2^m ビットシリアル化において適用可能であることは明らかである。

例えば、カラー映像データを扱う場合のように、 3×2^n ビットパラレルの入力映像データを対象とする場合、該入力映像データを 2^m ビット (n, m : 自然数、 $n > m$) 単位でシリアル化し、 $3 \times 2^{(n-m)}$ ビットパラレルの出力映像データとしてソースドライバ等の信号線駆動回路に転送する映像データ転送においては、

前記出力映像データの $3 \times 2^{(n-m)}$ ビットパラレルの連続する前のデータと後のデータの間のビット反転数が $(1 / 2) 3 \times 2^{(n-m)}$ (= $3 \times 2^{(n-m-1)}$) 以下になるように、前記出力映像データの $3 \times 2^{(n-m)}$ ビットパラレルのデータに対応する前記入力映像データの $3 \times 2^{(n-m)}$ ビット毎に後続のビットの極性を反転又は非反転する制御を行う方式を採用することが可能である。

【 0 0 8 2 】

また、この場合の表示制御回路等としては、図 2、図 5 に示す比較器、反転 / 非反転判定回路、セレクタ、反転 / 非反転回路及びパラレル / シリアル変換回路等を本発明の原理に基づいて増設することにより実現可能である。

【 0 0 8 3 】

更に、入力映像データの一部シリアル化として 2 ビット単位の奇数ビットと偶数ビットの組み合わせ及び連続する 4 ビット単位の組み合わせの例を示したが、これらの組み合わせは表示制御回路側のパラレル / シリアル変換と信号線駆動回路 (ソースドライバ) 側のシ

10

20

30

40

50

リアル/パラレル変換との相互変換のアルゴリズムを整合させるのみで任意に設定可能である。このことは一般に 2^m ビット単位のシリアル化において同様である。

【0084】

また、以上の実施の形態では、反転又は非反転の処理は、シリアル変換前のパラレルデータであるから、比較の基準となるデータであるシリアル時の前のデータは、シリアル化前に、反転しているか否か判断できないので、装置構成上、前データの反転データと非反転データとをそれぞれ使用し後データと比較するようにしているが、反転データと非反転データを予め用意する構成とすることを必須とするものではなく、ビット反転数の判定結果に基づいて、適宜、反転データを作成して比較する処理構成とすることができることは明らかである。

10

【0085】

以上説明したように本発明は、液晶表示装置の駆動回路等に対する入力映像データの転送に関し、当該転送データを入力映像データを一部シリアル化することにより、データバス本数を減少させた映像データに関し、その原理は、パラレル/シリアル変換により一部シリアル化する入力映像データ、つまり、一部シリアル化する前のパラレルの状態のデータにおいて、シリアル化後に前のデータと後のデータの関係になるデータを取り出して比較し、その結果により当該後データに相当するパラレルデータの反転又は非反転を行うことによつて、一部シリアル化後の映像データの後のデータが前のデータに対しそのビット反転数がその過半数にならないようにするとともに、前記反転又は非反転を行うときに、その反転又は非反転の情報である反転信号をも前記パラレルデータと対応してパラレルに生成する。そして、それぞれのデータをシリアル化することにより、一部シリアル化した映像データと反転信号とを出力するものである。

20

【0086】

これらのデータは液晶パネルのソースドライバ等の信号線駆動回路に転送し、一部シリアル化した映像データは反転信号により極性の反転/非反転の制御前の状態に戻され、パラレル/シリアル変換に対応する周知のシリアル/パラレル変換により元のパラレルデータの入力映像データに復元される。復元された入力映像データは階調電圧に変換され、信号線及びTFTを介して画素電極に供給される動作が行われることは云うまでもない。

【0087】

【発明の効果】

本発明によれば、パラレルデータの入力映像データを比較/反転した後に一部シリアル化するパラレル/シリアル変換を行い、パラレルビット数を削減した出力映像データと、当該出力映像データの反転情報を有する反転信号とを生成し、液晶表示装置のソースドライバ等の信号線駆動回路に転送するように構成しているから、従来の表示制御回路のように、パラレル/シリアル変換した後にデータの比較及び反転/非反転を行うものと比較して、同様のデータバス波形を実現するとともに、ビット反転数の抑制のためのデータ処理の動作速度を高速化することがない。

30

【0088】

このため、出力映像データのデータバス本数を削減可能であるとともに、データのビット反転数を抑制でき、該データバスからの電磁輻射及びデータの反転/非反転の制御におけるスイッチング動作による電磁輻射を抑制し、電磁妨害の発生を防止することが可能となる。

40

【0089】

【図面の簡単な説明】

【図1】本発明の第1の実施の形態における入力及び出力の映像データの信号形式を示す図である。

【図2】2ビット比較による本実施の形態の表示制御回路の構成を示す図である。

【図3】第1の実施の形態の動作のタイムチャートを示す図である。

【図4】本発明の第2の実施の形態における入力及び出力の映像データの信号形式を示す図である。

50

【図5】本発明の4ビット比較による第2の実施の形態の構成を示す図である。

【図6】第2の実施の形態の動作のタイミングチャートを示す図である。

【図7】第2の実施の形態のシリアルデータのタイミングチャートを示す図である。

【図8】従来の液晶表示装置のシステム構成を示す図である。

【図9】表示制御回路と信号線駆動回路とのデータ転送でのビット反転数の制御を示す概念図である。

【図10】データ転送例を示す概念図である。

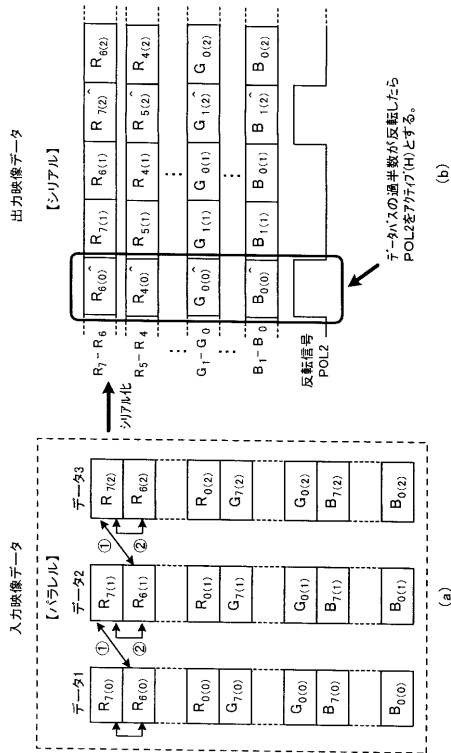
【図11】赤(R)、緑(G)及び青(B)の24ビットの入力映像データのビット反転の制御を行った映像データの例を示す図である。

【図12】一例として2対1でシリアル転送する場合のデータバスのデータ形式と反転信号のタイミングチャートを示す図である。

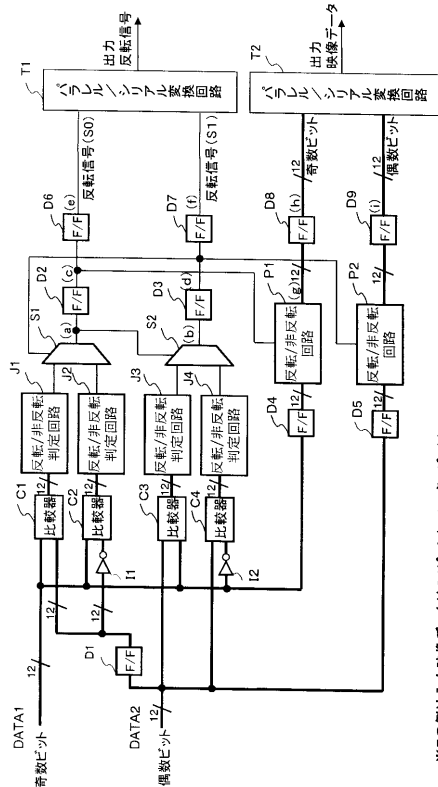
【符号の説明】

- 1 A 液晶表示装置
- 2 A 画像描画装置
- 11 A 表示制御回路(タイミングコントローラ)
- 12 A 基準階調電圧発生回路
- 13 A 走査線駆動回路(ゲートドライバ)
- 14 A 信号線駆動回路(ソースドライバ)
- 15 A 液晶パネル
- C1 ~ C4、C11 ~ C18 比較器
- J1 ~ J4、J11 ~ J18 反転/非反転判定回路
- S1、S2、S11 ~ S14 セレクタ
- P1、P2、P11 ~ P14 反転/非反転回路
- T1、T2、T11、T12 平行/シリアル変換回路
- D1 ~ D9、D11 ~ D27 遅延回路

【図1】

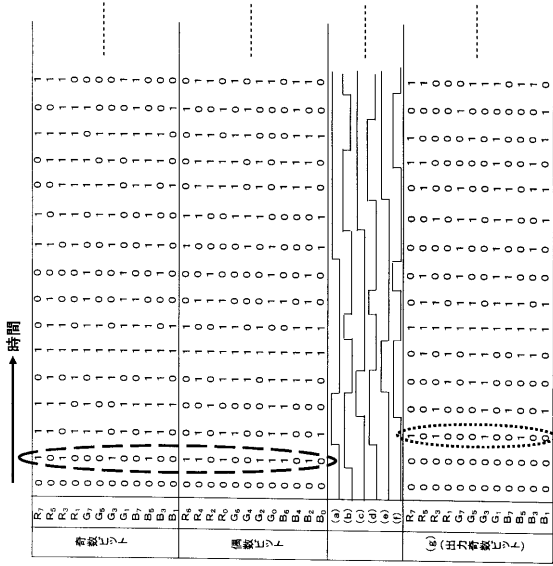


【図2】

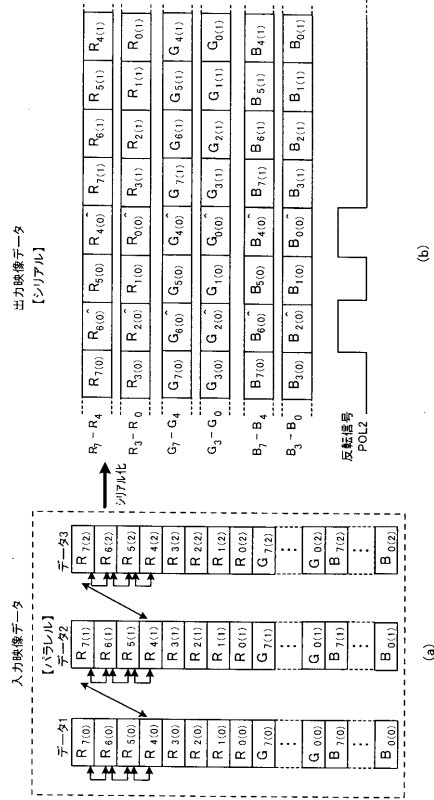


※この例は入力映像データは24ビット(R,G,B各8ビット)
 ※反転信号(S0)は奇数ビットに対する反転信号、反転信号(S1)は偶数ビットに対する反転信号
 ※点(a)~(f)は図2のタイミングチャートの観測点
 ※各F/Fはクロック及びリセット端子付き

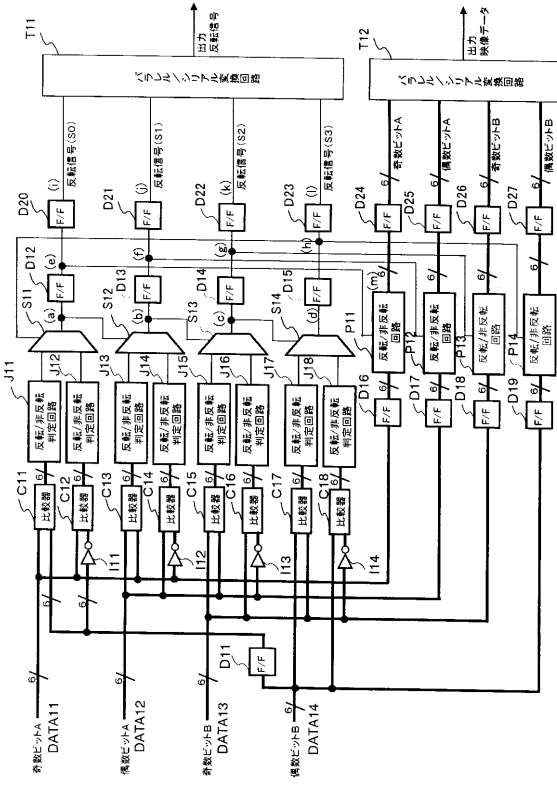
【図 3】



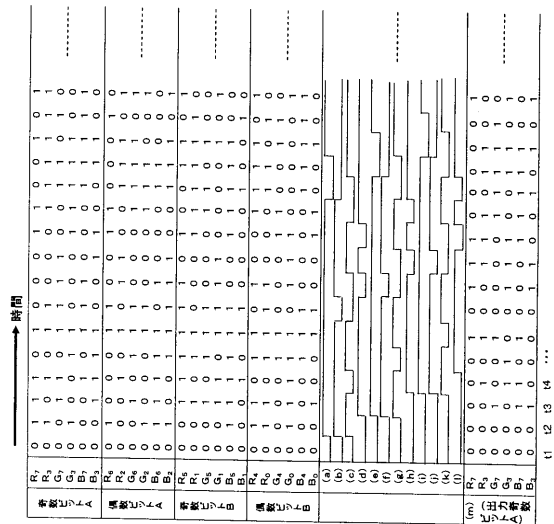
【図 4】



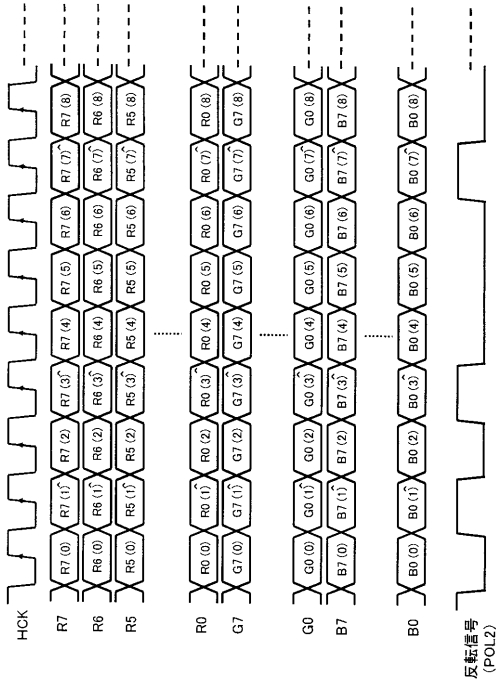
【図 5】



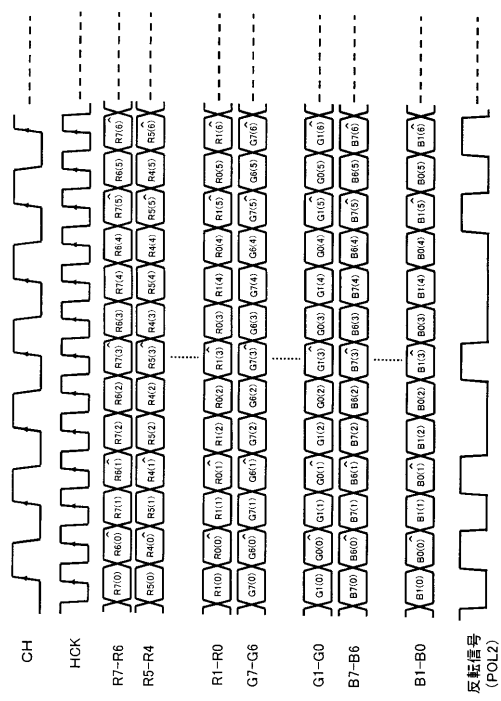
【図 6】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 2 U
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 3 J
G 0 9 G	3/20	6 3 3 B
G 0 9 G	3/20	6 3 3 C
G 0 9 G	3/20	6 3 3 H
G 0 9 G	3/20	6 3 3 U

F ターム(参考) 5C006 AA11 AA16 AA22 AC11 AF25 AF51 AF53 AF72 BB16 BC16
BF03 BF04 BF06 BF07 BF14 BF24 BF26 BF27 BF42 FA13
FA32 FA42 FA56
5C080 AA10 BB05 CC03 DD08 DD12 DD23 EE29 EE30 FF03 FF11
JJ02 JJ04 JJ07 KK04 KK43

专利名称(译)	视频数据传输方法，显示控制电路和液晶显示装置		
公开(公告)号	JP2004053960A	公开(公告)日	2004-02-19
申请号	JP2002211802	申请日	2002-07-19
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
[标]发明人	手代木美行 能勢崇		
发明人	手代木 美行 能勢 崇		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/00		
CPC分类号	G09G5/006 G09G3/3611 G09G2330/06		
FI分类号	G09G3/36 G02F1/133.525 G02F1/133.530 G02F1/133.550 G09G3/20.611.C G09G3/20.612.U G09G3/20.621.B G09G3/20.623.J G09G3/20.633.B G09G3/20.633.C G09G3/20.633.H G09G3/20.633.U		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NC41 2H093/NC71 2H093/ND35 2H093/ND60 2H093/NE10 5C006/AA11 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AF25 5C006/AF51 5C006/AF53 5C006/AF72 5C006/BB16 5C006/BC16 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF07 5C006/BF14 5C006/BF24 5C006/BF26 5C006/BF27 5C006/BF42 5C006/FA13 5C006/FA32 5C006/FA42 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD08 5C080/DD12 5C080/DD23 5C080/EE29 5C080/EE30 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ07 5C080/KK04 5C080/KK43 2H193/ZP20		
代理人(译)	铃木康夫		
其他公开文献	JP4447200B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使通过序列化一部分数据减少了传输视频数据的数据总线的数量，也可以防止用于抑制电磁干扰的数据反转处理的操作速度加速。解决方案：在传输系统中，其中一部分视频数据被串行化并从显示控制电路传输到诸如源驱动器等的信号线驱动电路，数据比较(1)和(2)被连续执行在串行化之后按照数据的顺序对视频数据进行并行/串行转换之前的并行数据步骤，并且进行鉴别以确定数据的位反转次数是否为多数，以便进行控制转移数据的反转/非反转。因此，与对通过部分串行化视频数据提供的高速数据进行反转/非反转控制的情况相比，减小了比较器和反相/非反转电路等的操作速度。 Z

