

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2003 - 122325

(P2003 - 122325A)

(43)公開日 平成15年4月25日(2003.4.25)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	575	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
	622		622 G
	623		623 E

審査請求 未請求 請求項の数 7 O L (全 14数) 最終頁に続く

(21)出願番号 特願2001 - 320862(P2001 - 320862)

(22)出願日 平成13年10月18日(2001.10.18)

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71)出願人 000003078

株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者 宇都宮 崇徳

神奈川県川崎市川崎区駅前本町25番地1 東
芝マイクロエレクトロニクス株式会社内

(74)代理人 100083806

弁理士 三好 秀和 (外 7 名)

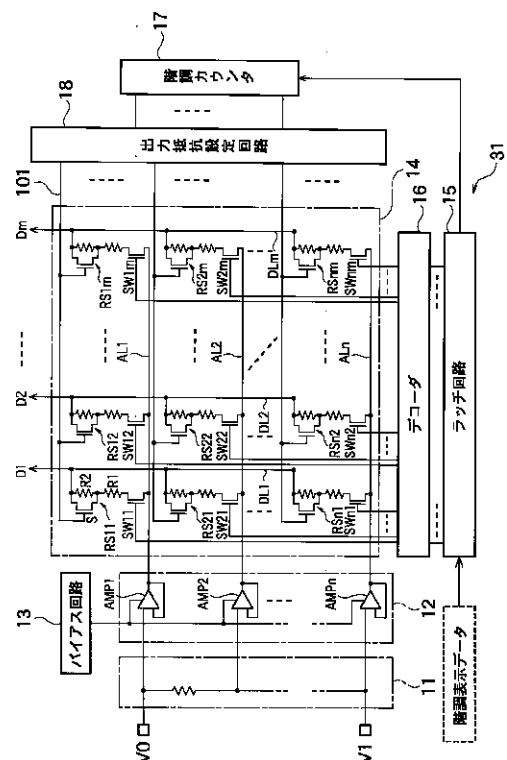
最終頁に続く

(54)【発明の名称】 表示装置用駆動回路

(57)【要約】

【課題】 低消費電力化のために、1水平走査期間に各階調レベルが書き込まれる度数に応じて階調電圧発生回路のバイアス電流を設定する構成では、負荷の大きさに適したバイアス電流を設定することが難しく、スルーレート調整が簡単にできない。

【解決手段】 1水平走査期間に各階調電圧が出力される個数に応じて抵抗選択回路RS11, ... RSnmの抵抗値を設定するように構成した。この場合、スルーレート $\Delta t = CR$ (ここで、 $C = LSI$ 内部寄生容量+液晶パネル負荷容量)の関係が成り立つため、負荷の大きさに適した抵抗値の設定が容易となる。また、階調アンプには常に一定のバイアス電流を供給することができる。従って、階調アンプの能力を損なわずに、スルーレート調整を容易に行うことができる。



【特許請求の範囲】

【請求項 1】 複数の階調電圧を発生する階調電圧発生手段と、

入力された階調表示データを複数の階調レベルに変換するデータ変換手段と、

前記各階調レベルに対応した階調電圧を前記階調電圧出力ライン毎に出力する階調電圧選択手段と、

前記階調表示データを入力して、前記複数の階調電圧のそれぞれが 1 水平走査期間に選択される個数を各階調電圧毎にカウントする階調カウント手段と、

前記階調カウント手段でカウントされた個数に応じて前記階調電圧出力ライン毎に抵抗値を設定する出力抵抗値設定手段と、

を備えたことを特徴とする表示装置用駆動回路。

【請求項 2】 前記階調電圧選択手段は、前記複数の階調電圧が各々供給される複数の階調電圧入力ラインと複数の階調電圧出力ラインとがマトリクス配列されると共に、前記マトリクスの各交差部に、前記階調レベルに対応してオン/オフ制御され、オン時に前記階調電圧入力ラインと階調電圧出力ラインとを導通させて前記階調電圧入力ラインに供給された階調電圧を前記階調電圧出力ラインに出力する階調選択スイッチが接続され、前記出力抵抗値設定手段は、前記階調選択スイッチと階調電圧出力ラインとの間に接続され、少なくとも 1 つの抵抗値を選択可能に構成された出力抵抗選択回路と、前記階調カウント手段でカウントされた個数に応じて前記出力抵抗選択回路の抵抗値を非選択又は少なくとも 1 つ選択して、前記階調電圧入力ライン毎に抵抗値を設定する出力抵抗設定回路とからなることを特徴とする請求項 1 記載の表示装置用駆動回路。

【請求項 3】 複数の階調電圧を発生する階調電圧発生手段と、

入力された階調表示データを複数の階調レベルに変換するデータ変換手段と、

前記各階調レベルに対応した階調電圧を前記階調電圧出力ライン毎に出力する階調電圧選択手段と、

前記階調表示データを入力して、前記複数の階調電圧のそれぞれが 1 水平走査期間に選択される個数を各階調電圧毎にカウントする階調カウント手段と、

前記階調カウント手段でカウントされた個数に応じて前記階調電圧入力ライン毎に抵抗値を設定する入力抵抗値設定手段と、

を備えたことを特徴とする表示装置用駆動回路。

【請求項 4】 前記階調電圧選択手段は、前記複数の階調電圧が各々供給される複数の階調電圧入力ラインと複数の階調電圧出力ラインとがマトリクス配列されると共に、前記マトリクスの各交差部に、前記階調レベルに対応してオン/オフ制御され、オン時に前記階調電圧入力ラインと階調電圧出力ラインとを導通させて前記階調電圧入力ラインに供給された階調電圧を前記階調電圧出力

10 【請求項 5】 複数の階調電圧を発生する階調電圧発生手段と、

入力された階調表示データを複数の階調レベルに変換するデータ変換手段と、

前記各階調レベルに対応した階調電圧を前記階調電圧出力ライン毎に出力する階調電圧選択手段と、

前記階調表示データを入力して、前記複数の階調電圧のそれぞれが 1 水平走査期間に選択される個数を各階調電圧毎にカウントする階調カウント手段と、

20 前記階調カウント手段でカウントされた個数に応じて前記階調電圧入力ラインへ供給する出力電流を設定する出力電流設定手段と、

を備えたことを特徴とする表示装置用駆動回路。

【請求項 6】 前記階調電圧選択手段は、前記複数の階調電圧が各々供給される複数の階調電圧入力ラインと複数の階調電圧出力ラインとがマトリクス配列されると共に、前記マトリクスの各交差部に、前記階調レベルに対応してオン/オフ制御され、オン時に前記階調電圧入力ラインと階調電圧出力ラインとを導通させて前記階調電圧入力ラインに供給された階調電圧を前記階調電圧出力ラインに出力する階調選択スイッチが接続され、前記出力電流設定手段は、前記階調電圧発生手段の出力段に接続され、出力電流を供給するトランジスタ回路の電流供給経路を少なくとも 2 つ選択可能に構成された電流供給経路選択回路と、前記階調カウント手段でカウントされた個数に応じて前記トランジスタ回路の電流供給経路を 1 つ選択して、前記階調電圧入力ライン毎に出力電流を設定する出力電流設定回路とからなることを特徴とする請求項 5 記載の表示装置用駆動回路。

【請求項 7】 前記電流供給経路選択回路は、出力電流を 1 つのトランジスタ回路から供給する経路と、出力電流を並列に接続された 2 つのトランジスタ回路から供給する経路の 2 経路を選択可能に構成されたものであることを特徴とする請求項 6 に記載の表示装置用駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えば液晶表示装置に用いられる駆動回路に関し、詳しくは階調電圧選択方式の駆動回路に関する。

【0002】

【従来の技術】一般的な液晶表示装置では、液晶パネル

の走査線を駆動するゲートドライバと信号線を駆動するソースドライバが液晶パネルの駆動回路として接続されている。このうち、ソースドライバの駆動方式としては、アナログの表示データをスイッチの開閉により信号線に書き込むアナログサンプルホールド方式のほか、デジタルの表示データに対応する階調電圧を選択して信号線に書き込む階調電圧選択方式が知られている。

【0003】この階調電圧選択方式の駆動回路として、特開平10-301541号公報には、1水平走査期間に各階調レベルが書き込まれる度数を検出し、この度数 10 に応じて階調電圧発生回路のバイアス電流を設定するようにした液晶駆動回路が開示されている。この液晶駆動回路によれば、出力される表示データに応じた必要最小限の駆動電流をその都度流すことができるため、液晶表示装置全体の低消費電力化を図ることができる。

【0004】

【発明が解決しようとする課題】上記のような階調電圧選択方式の駆動回路では、表示データの階調度合いによっては、1水平走査期間に1つの階調電圧がすべての信号線に出力される場合と、1つの階調電圧が1本の信号 20 線に出力される場合が生じる。信号線は液晶パネルの液晶容量（負荷容量）に接続されているので、ソースドライバの各階調アンプでは、出力が一本の信号線に接続される場合よりも、すべての信号線に接続される場合の方が負荷が大きくなる。

【0005】図8は、一般的な階調電圧選択方式の駆動回路において、1つの階調アンプから信号線に出力される階調電圧の一例を示す信号波形図である。ここでは、振幅V0の階調電圧が出力された例を示している。図8に示すように、階調アンプからの出力がすべての信号線 30 （ここでは270本）に接続されたとき（図中、破線a）の方が、前記出力が1つの信号線に接続されたとき（図中、実線b）よりも負荷が大きくなるため、立ち上がりで Δt_1 、立ち下がりで Δt_2 だけスルーレートが遅れることになる。スルーレートが遅れると、液晶容量への階調電圧の書き込み時間が短くなるため、画素上では本来の階調レベルが得られなくなり、これが表示ムラとして認識されることになる。なお、ここでは波形の立ち上がり（立ち下がり）から一定時間経過後、振幅V0（V1）に至るまでの時間をスルーレートと呼ぶものと 40 する。

【0006】上述した特開平10-301541号の液晶駆動回路では、負荷に応じて階調電圧発生回路に供給されるバイアス電流が設定されるので、スルーレートの遅れもある程度は解消されるが、同一の駆動回路を液晶容量の異なる液晶パネルと組み合わせたときには、負荷特性の違いからスルーレートの調整が必要となる。しかし、階調電圧発生回路に供給されるバイアス電流とスルーレートは必ずしも一定の比例関係にないため、負荷の大きさに適したバイアス電流を設定することが難しく、 50

スルーレート調整が簡単にはできないという問題点があった。また、バイアス電流を低く設定した場合には、階調アンプとして使われるMOSトランジスタの能力が落ち、スルーレートが悪化することも考えられる。

【0007】この発明の目的は、階調アンプの能力を損なうことなしに、スルーレート調整を容易に行うことができる表示装置用駆動回路を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、請求項1の発明は、複数の階調電圧を発生する階調電圧発生手段と、入力された階調表示データを複数の階調レベルに変換するデータ変換手段と、前記各階調レベルに対応した階調電圧を前記階調電圧出力ライン毎に出力する階調電圧選択手段と、前記階調表示データを入力して、前記複数の階調電圧のそれぞれが1水平走査期間に選択される個数を各階調電圧毎にカウントする階調カウント手段と、前記階調カウント手段でカウントされた個数に応じて前記階調電圧出力ライン毎に抵抗値を設定する出力抵抗値設定手段とを備えたことを特徴とする表示装置用駆動回路である。

【0009】請求項2の発明は、請求項1において、前記階調電圧選択手段は、前記複数の階調電圧が各々供給される複数の階調電圧入力ラインと複数の階調電圧出力ラインとがマトリクス配列されると共に、前記マトリクスの各交差部に、前記階調レベルに対応してオン/オフ制御され、オン時に前記階調電圧入力ラインと階調電圧出力ラインとを導通させて前記階調電圧入力ラインに供給された階調電圧を前記階調電圧出力ラインに出力する階調選択スイッチが接続され、前記出力抵抗値設定手段は、前記階調選択スイッチと階調電圧出力ラインとの間に接続され、少なくとも1つの抵抗値を選択可能に構成された出力抵抗選択回路と、前記階調カウント手段でカウントされた個数に応じて前記出力抵抗選択回路の抵抗値を非選択又は少なくとも1つ選択して、前記階調電圧入力ライン毎に抵抗値を設定する出力抵抗設定回路とからなることを特徴とする。

【0010】また、上記目的を達成するため、請求項3の発明は、複数の階調電圧を発生する階調電圧発生手段と、入力された階調表示データを複数の階調レベルに変換するデータ変換手段と、前記各階調レベルに対応した階調電圧を前記階調電圧出力ライン毎に出力する階調電圧選択手段と、前記階調表示データを入力して、前記複数の階調電圧のそれぞれが1水平走査期間に選択される個数を各階調電圧毎にカウントする階調カウント手段と、前記階調カウント手段でカウントされた個数に応じて前記階調電圧入力ライン毎に抵抗値を設定する入力抵抗値設定手段とを備えたことを特徴とする表示装置用駆動回路である。

【0011】請求項4の発明は、請求項3において、前記階調電圧選択手段は、前記複数の階調電圧が各々供給

される複数の階調電圧入力ラインと複数の階調電圧出力ラインとがマトリクス配列されると共に、前記マトリクスの各交差部に、前記階調レベルに対応してオン/オフ制御され、オン時に前記階調電圧入力ラインと階調電圧出力ラインとを導通させて前記階調電圧入力ラインに供給された階調電圧を前記階調電圧出力ラインに出力する階調選択スイッチが接続され、前記入力抵抗値設定手段は、前記階調電圧発生手段の出力段に接続され、少なくとも1つの抵抗値を選択可能に構成された入力抵抗選択回路と、前記階調カウント手段でカウントされた個数に応じて前記入力抵抗選択回路の抵抗値を非選択又は少なくとも1つ選択して、前記階調電圧入力ライン毎に抵抗値を設定する入力抵抗調整回路とからなることを特徴とする。

【0012】さらに、上記目的を達成するため、請求項5の発明は、複数の階調電圧を発生する階調電圧発生手段と、入力された階調表示データを複数の階調レベルに変換するデータ変換手段と、前記各階調レベルに対応した階調電圧を前記階調電圧出力ライン毎に出力する階調電圧選択手段と、前記階調表示データを入力して、複数の階調電圧のそれぞれが1水平走査期間に選択される個数を各階調電圧毎にカウントする階調カウント手段と、前記階調カウント手段でカウントされた個数に応じて前記階調電圧入力ラインへ供給する出力電流を設定する出力電流設定手段とを備えたことを特徴とする表示装置用駆動回路である。

【0013】請求項6の発明は、請求項5において、前記階調電圧選択手段は、前記複数の階調電圧が各々供給される複数の階調電圧入力ラインと複数の階調電圧出力ラインとがマトリクス配列されると共に、前記マトリクスの各交差部に、前記階調レベルに対応してオン/オフ制御され、オン時に前記階調電圧入力ラインと階調電圧出力ラインとを導通させて前記階調電圧入力ラインに供給された階調電圧を前記階調電圧出力ラインに出力する階調選択スイッチが接続され、前記出力電流設定手段は、前記階調電圧発生手段の出力段に接続され、出力電流を供給するトランジスタ回路の電流供給経路を少なくとも2つ選択可能に構成された電流供給経路選択回路と、前記階調カウント手段でカウントされた個数に応じて前記トランジスタ回路の電流供給経路を1つ選択して、前記階調電圧入力ライン毎に出力電流を設定する出力電流設定回路とからなることを特徴とする。

【0014】請求項7の発明は、請求項6において、前記電流供給経路選択回路は、出力電流を1つのトランジスタ回路から供給する経路と、出力電流を並列に接続された2つのトランジスタ回路から供給する経路の2経路を選択可能に構成されたものであることを特徴とする。

【0015】

【発明の実施の形態】以下、この発明に係わる表示装置用駆動回路を階調電圧選択方式による液晶表示装置のソ

ースドライバに適用した場合の実施形態について説明する。

【0016】以下の説明において、“階調表示データ”とは外部から供給されるデジタルデータを、また“表示データ”とは階調電圧選択回路14で変換されたアナログデータを指すものとする。

【0017】図2は、本実施形態に係わる液晶表示装置の全体的な回路構成図である。ここでは、駆動回路一体型の液晶表示装置の構成を示している。

【0018】図2において、アレイ基板10上には、複数本の走査線G1, G2, ... Gn (総称G)と、これと直交する複数本の信号線D1, D2, ... Dm (総称D)がマトリクス配列されている。走査線Gの端部はゲートドライバ2に、また信号線Dの端部はソースドライバ3にそれぞれ接続されている。前記両線の各交点近傍には液晶画素5が形成され、これら複数の液晶画素5により表示画素部1が構成されている。液晶画素5は、画素電極6、対向電極7及びこれら電極間に保持される液晶層8から構成されている。各液晶画素5への表示データの供給は、スイッチ素子としてのMOSFET9により制御されている。各MOSFET9のゲートは行毎に共通に走査線G1, G2, ... Gnに接続され、ドレインは列毎に信号線D1, D2, ... Dmに接続されている。また、ソースは画素電極6に接続されている。さらに、すべての液晶画素5に対応する対向電極7は共通にコモン回路4に接続されている。ただし、対向電極7はアレイ基板10と対向配置される図示しない対向基板上に形成された電極であり、コモン回路4は図示しない外部駆動回路基板(以下、外部という)に配置されている回路である。また図示していないが、画素電極6には表示データ書き込み時の電圧変動の影響を抑制するための補助容量が並列に接続されている。

【0019】図2において、ソースドライバ3から信号線D1, D2, ...に表示データが供給され、これと同期してゲートドライバ2から走査線G1, G2, ...に行選択信号が上から下に向かって順に出力されると、その走査線Gに接続する各MOSFET9がオン状態となり、信号線D1, D2, ...にサンプリングされた表示データはオン状態のMOSFET9を介して液晶画素5に書き込まれる。この表示データは画素電極6と対向電極7との間に電荷として蓄積され、これに液晶層8が応答することで、その電荷の大きさに応じた階調度の映像が映し出される。なお、図2に示すアレイ基板10は絶縁基板であり、例えばガラス基板で構成されている。

【0020】本実施形態において、表示画素部1に配置されるMOSFET9、及びゲートドライバ2やソースドライバ3内の図示しないスイッチ素子として使用されるMOSFETは、p-Si(ポリシリコン)TFTで構成されている。そして、ゲートドライバ2、ソースドライバ3及び表示画素部1は、同一の製造プロセスによ

りアレイ基板 10 上に一体に形成されている。

【0021】なお、以下に説明する実施形態 1、2 及び 3 において、ソースドライバ 31、32 及び 33 は、図 2 のソースドライバ 3 に対応する。

【0022】[実施形態 1] 図 1 は、実施形態 1 に係わるソースドライバ 31 の回路構成図である。図 1 において、外部の電源回路から供給された電位 V_0 、 V_1 の外部電圧は、抵抗分割回路 11 において $V_0 \sim V_1$ 間で n 段 (n は階調数) の階調電圧 $V_{t1} \sim V_{tn}$ に分割される。階調アンプ回路 12 は、階調レベル毎に設けられた n 段の階調アンプ AMP_1 、 AMP_2 、... AMP_n (総称 AMP) で構成されている。各階調アンプ AMP に
10 は、階調アンプ回路 12 から対応する階調電圧 $V_{t1} \sim V_{tn}$ と、階調電圧バイアス回路 13 からそれぞれ一定のバイアス電圧 (及びバイアス電流) とが供給されている。

【0023】抵抗分割回路 11 から出力された各階調電圧は、階調アンプ回路 12 の対応する階調アンプ AMP_1 、 AMP_2 、... AMP_n により、信号線 D_1 、 D_2 、... への書き込みに必要な電圧まで増幅された後、階調電
20 圧選択回路 14 に出力される。階調アンプ AMP_1 、 AMP_2 、... AMP_n から出力される各階調電圧は、 $AMP_1 > AMP_2 > \dots > AMP_n$ (又はこの逆) の関係にある。なお、抵抗分割回路 11、階調アンプ回路 12 及びバイアス回路 13 は、本実施形態における階調電圧発生手段を構成する。

【0024】階調電圧選択回路 14 は、図 2 の信号線 D_1 、 D_2 、... D_m と接続する階調電圧出力ライン DL_1 、 DL_2 、... DL_m と、階調アンプ AMP_1 、 AMP_2 、... AMP_n の出力に接続された階調電圧入力ライン
30 AL_1 、 AL_2 、... AL_n とがマトリクス配列 ($m \times n$) され、そのマトリクスの各交差部には階調選択スイッチ SW_{11} 、... SW_{nm} (総称 SW) が接続されている。階調選択スイッチ SW は MOSFET で構成されており、各階調選択スイッチ SW のソース電極は行毎に共通に階調電圧入力ライン AL に、またドレイン電極は後述する抵抗選択回路 RS_{11} 、... RS_{nm} (総称 RS) を介して列毎に共通に階調電圧出力ライン DL に、さらにゲート電極は後述するデコーダ 16 の出力ラインにそれぞれ接続されている。
40

【0025】ここで、“行”とは横方向に配列されたラインである階調電圧入力ライン AL に、また“列”とは縦方向に配列されたラインである階調電圧出力ライン DL に相当する。

【0026】各階調選択スイッチ SW_{11} 、... SW_{nm} は、デコーダ 16 からの出力によりオン・オフが制御される。オン時には、階調電圧入力ライン AL と抵抗選択回路 RS 、並びに階調電圧出力ライン DL とを導通させて、階調電圧入力ライン AL に供給された階調電圧を階調電圧出力ライン DL に出力する。なお、階調電圧選択
50

回路 14 は、本実施形態における階調電圧選択手段を構成する。

【0027】抵抗選択回路 RS_{11} 、... RS_{nm} は、階調選択スイッチ SW と階調電圧出力ライン DL との間に接続された回路である。図 1 の抵抗選択回路 RS_{11} を代表して説明すると、直列に接続された抵抗 R_1 、 R_2 及び抵抗選択スイッチ S により構成されている。抵抗選択スイッチ S は MOSFET で構成されており、抵抗選択スイッチ S のソース電極は抵抗 R_1 、 R_2 の中間ノードに、またドレイン電極は階調電圧出力ライン DL にそれぞれ接続されている。この例では、抵抗選択スイッチ S が抵抗 R_2 と並列に接続されているが、抵抗 R_1 と並列に接続されていてもよい。抵抗選択スイッチ S のゲート電極は後述する出力抵抗設定回路 18 の信号ライン 101 に接続されている。

【0028】各抵抗選択スイッチ S は、出力抵抗設定回路 18 から出力される信号レベルによりオン・オフが制御される。オン時には、階調選択スイッチ SW のドレイン電極と階調電圧出力ライン DL との間は抵抗 R_1 の抵抗値に設定される。また、オフ時には階調選択スイッチ SW のドレイン電極と階調電圧出力ライン DL との間は抵抗 $R_1 + R_2$ の抵抗値に設定される。本実施形態では、抵抗 $R_1 + R_2$ の抵抗値に設定した状態において、各階調電圧の出力が 1 つの信号線 D に接続されたときに図 8 の実線 b に示すようなスルーレートが得られるように抵抗 R_1 、 R_2 の抵抗値が決められている。

【0029】本実施形態の出力抵抗選択回路 RS では、抵抗 R_1 又は抵抗 $R_1 + R_2$ の 2 つの抵抗値を選択することができるが、出力抵抗選択回路 RS は少なくとも 1 つの抵抗値を選択可能に構成されていればよく、幾つかの回路構成が考えられる。例えば、抵抗 R_1 、 R_2 にそれぞれ並列に抵抗選択スイッチ S_1 、 S_2 (図示せず、 S_1 は抵抗 R_1 に、 S_2 は抵抗 R_2 に対応する) を接続した場合は、抵抗選択スイッチ S_1 、 S_2 を共にオンした時に抵抗 R_1 、 R_2 は共に非選択に設定され、抵抗選択スイッチ S_1 (又は S_2) をオフした時に抵抗 R_1 (又は R_2) が抵抗値に設定される。また、抵抗選択スイッチ S_1 及び S_2 をオフした時には抵抗 $R_1 + R_2$ が抵抗値に設定される。この場合、抵抗 R_1 、 R_2 が同一抵抗値であれば 3 段階の抵抗値を設定することができ、抵抗 R_1 、 R_2 が異なる抵抗値であれば 4 段階の抵抗値を設定することができる。さらに、抵抗と抵抗選択スイッチとを適宜に組み合わせにより、多段の抵抗値を設定することが可能となる。

【0030】ラッチ回路 15 は、外部のコントロール IC からシリアルデータとして供給されたデジタルの階調表示データを 1 ライン分ラッチし、パラレルデータとしてデコーダ 16 と後述する階調カウンタ 17 にそれぞれ出力する。デコーダ 16 は、送られてきた階調表示データのコードを復号して、1 ライン分 (m 個) の階調レベ

ル信号として出力する。各階調レベル信号は、各列において階調アンプAMP 1, AMP 2, ... AMP nから供給される階調電圧の一つを選択する信号となる。すなわち、階調レベル信号に対応する階調選択スイッチSW 1, ... SW nが列毎に一つ選択されると、階調電圧出力ラインDL 1, DL 2, ... DL mには、階調アンプAMP 1, AMP 2, ... AMP nから供給された階調電圧の一つが出力される。このようにして、入力された1ライン分の階調表示データに応じた各階調電圧（表示データ）が階調電圧出力ラインDL 1, DL 2, ... DL mから信号線D 1, D 2, ... D mに出力される。なお、ラッチ回路15及びデコーダ16は、本実施形態におけるデータ変換手段を構成する。

【0031】本実施形態において、階調選択スイッチSWや抵抗選択スイッチSは、C-MOS、N型又はP型MOSトランジスタで構成することができる。

【0032】階調カウンタ17は、ラッチ回路15から送られてきた階調表示データを入力して、各階調電圧が1水平走査期間内にいくつ出力されるのかをカウントし、その結果を各階調電圧毎の出力数（個数）として出力抵抗設定回路18に出力する。

【0033】出力抵抗設定回路18は、階調カウンタ17でカウントされた出力数（各階調電圧が1水平走査期間内に出力される個数）に応じた出力抵抗選択信号を信号ライン101を通じて各階調電圧毎に出力し、出力抵抗選択回路RS 11, ... RS nmの各抵抗選択スイッチSを選択（又は非選択）する。これにより、各階調電圧に対応する階調電圧入力ラインAL 1, AL 2, ... AL nの抵抗値が、階調カウンタ17でカウントされた出力数に応じて設定される。各抵抗選択スイッチSは、行毎に供給される同一の出力抵抗選択信号により一斉に選択（又は非選択）される。

【0034】なお、出力抵抗選択回路RSと出力抵抗設定回路18は、本実施形態における出力抵抗値設定手段を構成する。

【0035】出力抵抗設定回路18では、階調カウンタ17でカウントされた階調電圧の出力数が多い場合、すなわち接続する負荷が大きい場合は、その階調電圧に対応する階調電圧入力ラインALの抵抗値を抵抗R 1とするために、オンレベルの出力抵抗選択信号を出力して、対応する抵抗選択スイッチSをすべてオン状態とする。また、階調電圧の出力数が少ない場合、すなわち接続する負荷が小さい場合は、その階調電圧に対応する階調電圧入力ラインALの抵抗値を抵抗R 1 + R 2とするため、オフレベルの出力抵抗選択信号を出力して、対応する抵抗選択スイッチSをすべてオフ状態とする。

【0036】上記のような抵抗選択スイッチSの選択は1水平走査期間毎にリセットされ、各1水平走査期間に入力される階調表示データに従って、各階調電圧入力ラインAL 1, AL 2, ... AL nの抵抗値が設定される。

【0037】本実施形態では、出力抵抗選択回路RSで抵抗値を2段階に選択することができるため、例えば階調電圧出力ラインDL 1, DL 2, ... DL mを270本とすると、1水平走査期間に出力される階調電圧の出力数が0 ~ 135であれば、抵抗選択スイッチSをオフして抵抗R 1 + R 2の抵抗値に設定し、また136 ~ 270であれば、抵抗選択スイッチSをオンして抵抗R 1のみの抵抗値に設定する。ただし、1水平走査期間に出力される階調電圧の出力数と設定される抵抗値との関係は、本実施形態の例に限定されることなく、適宜に変更可能である。

【0038】次に、実施形態1に係わるソースドライバ31の動作を図3のタイミングチャートを参照しながら説明する。図3において、(a)は階調表示データのLOAD（読み込み）信号、(b)は階調表示データ、(c)は階調カウンタ17のカウント動作を示す信号、(d)は出力抵抗設定回路18から出力される出力抵抗選択信号、(e)は1水平走査期間（1H）に表示画素部1に供給される表示データをそれぞれ示している。

【0039】期間nで入力された階調表示データ(b)は、ラッチ回路15で1ライン分のパラレルデータに変換され、デコーダ16と階調カウンタ17にそれぞれ出力される。デコーダ16に供給された階調表示データは、1ライン分の階調レベル信号に復号され、次の期間n + 1でLOAD信号(a)が入力されると同時に、表示データとして信号線D 1, D 2, ... に出力される。図3では(e)のData(n)に相当する。

【0040】一方、階調カウンタ17では、入力された階調表示データを元に、各階調電圧が1水平走査期間内にいくつ出力されるかがカウントされる(c)。カウント結果は、次の期間n + 1でLOAD信号が入力されると同時に、出力抵抗設定回路18に供給される。出力抵抗設定回路18では、LOAD信号が入力している間に、階調カウンタ17でカウントされた出力数に応じて、各階調電圧毎に出力抵抗選択信号を出力する(d)。

【0041】このように、期間nで入力した階調表示データが期間n + 1で表示データとして表示画素部1に供給される前に、出力抵抗選択回路RS 11, ... RS nmの各抵抗選択スイッチSが期間nでのカウント結果に応じて選択（又は非選択）される。これにより、各階調電圧に対応する階調電圧入力ラインAL 1, AL 2, ... AL nでは、接続する負荷の大きさに対応した抵抗値がそれぞれ設定される。この際、階調アンプAMPの出力に接続される負荷の数が少ないときには通常の抵抗値に設定され、負荷の数が多いたときにはそれよりも小さいに抵抗値に設定される。

【0042】本実施形態において、1つの階調アンプAMPから信号線Dに出力される階調電圧の一例を図4に示す。ここでは、電位V 0の階調電圧（例えばV t 1）

が出力された例を示している。図 4 に示すように、階調アンプからの出力がすべての信号線 (270本) に接続されたとき (図中、太破線 a') と、前記出力が 1 つの信号線に接続されたとき (図中、実線 b) とを比較すると、スルーレートの遅れを立ち上がりで $\Delta t_1'$ 、立ち下がりで $\Delta t_2'$ とすることができ、図 8 に示す従来例に比べスルーレートの遅れを大幅に改善することができる。

【0043】本実施形態の構成によれば、1 水平走査期間に接続される負荷の大きさに係わらずスルーレートをほぼ均一化することができるので、負荷が大きい場合であっても液晶容量への階調電圧の書き込み時間が短くなることがない。すなわち、表示データの階調度合いがどのようなものであっても、画素上では常に本来の階調レベルが得られることになる。したがって、階調レベルの不足による表示ムラを解消して、高品位な画像を得ることができる。

【0044】また、本実施形態の構成においては、出力抵抗選択回路 RS11, ... RSnm により階調電圧入力ライン AL の抵抗値を設定するようにしているので、同一のソースドライバを液晶容量の異なる液晶パネルと組み合わせる場合でも、抵抗 R1, R2 を液晶容量に応じて再設定することにより、スルーレート調整を容易に行うことができる。先に説明したように、負荷に応じて階調電圧発生回路に供給するバイアス電流を設定するように構成した場合は、負荷の大きさに適したバイアス電流を設定することが難しいため、同一のソースドライバを液晶容量の異なる液晶パネルと組み合わせる際のスルーレート調整が難しいという問題点がある。しかし、本実施形態のように負荷に応じて抵抗値を設定する構成においては、時定数により、スルーレート $\Delta t = CR$ (ここで、 $C = LSI$ 内部寄生容量 + 液晶パネル負荷容量) の関係が成り立つため、負荷の大きさに適した抵抗値を容易に設定することができる。

【0045】また、ソースドライバ 31、ゲートドライバ 2 及び表示画素部 1 は同一の製造プロセスで作製することができるため、抵抗 R1, R2 の抵抗値は、プロセス条件等を修正することで容易に再設定することができる。

【0046】さらに、階調アンプ AMP には常に一定のバイアス電流が供給されるため、バイアス電流が低く設定されることにより、階調アンプの能力が低下するという不具合を防ぐことができる。したがって、階調アンプの能力を損なうことなしに、スルーレート調整を容易に行うことができる。

【0047】[実施形態 2] 図 5 は、実施形態 2 に係わるソースドライバ 32 の回路構成図である。図 5 では、図 1 と同等部分を同一符号で示すものとし、その説明を適宜に省略する。

【0048】実施形態 2 のソースドライバ 32 では、図

1 の出力抵抗選択回路 RS11, ... RSnm と出力抵抗設定回路 18 の代わりに、入力抵抗選択回路 RS1, ... RSn と入力抵抗設定回路 19 を備えている。

【0049】入力抵抗選択回路 RS1, ... RSn は、階調アンプ回路 12 の出力段に接続された回路であり、入力抵抗選択回路 RS1 に代表して示すように、直列に接続された抵抗 R1, R2 及び抵抗選択スイッチ S1, S2 により構成されている。抵抗選択スイッチ S1, S2 は MOSFET で構成されており、抵抗選択スイッチ S1 のソース電極は階調電圧入力ライン AL に、ドレイン電極は抵抗 R1, R2 の中間ノードにそれぞれ接続されている。また、抵抗選択スイッチ S2 のソース電極は抵抗 R1, R2 の中間ノードに、ドレイン電極は階調電圧入力ライン AL に、それぞれ接続されている。さらに、各スイッチのゲート電極は後述する入力抵抗設定回路 19 からの信号ライン 102, 103 にそれぞれ接続されている。

【0050】各抵抗選択スイッチ S1, S2 は、入力抵抗設定回路 19 から出力される入力抵抗選択信号によりオン・オフが制御され、これにより回路の抵抗値が設定される。すなわち、抵抗選択スイッチ S1, S2 がオンすると、抵抗 R1, R2 は共に非選択に設定され、抵抗選択スイッチ S1 (又は S2) がオフすると、抵抗 R1 (又は R2) が抵抗値として設定される。また、抵抗選択スイッチ S1 及び S2 がオフすると、抵抗 R1 + R2 が抵抗値として設定される。本実施形態では、抵抗 R1, R2 を異なる抵抗値 ($R1 < R2$) としているため、抵抗選択スイッチ S1 又は S2 のオン・オフにより 4 段階の抵抗値を設定することができる。ただし、抵抗 R1, R2 が同一抵抗値であれば 3 段階の抵抗値を設定することができる。

【0051】さらに、抵抗と抵抗選択スイッチとを適宜に組み合わせることにより、多段の抵抗値を設定することが可能となる。本実施形態においても、抵抗 R1 + R2 の抵抗値に設定した状態において、各階調電圧の出力が 1 つの信号線 D に接続されたときに図 8 の実線 b に示すようなスルーレートが得られるように抵抗 R1, R2 の抵抗値が決められている。

【0052】入力抵抗設定回路 19 は、階調カウンタ 17 でカウントされた出力数に応じた入力抵抗選択信号を信号ライン 102, 103 を通じて各階調電圧毎に出力し、入力抵抗選択回路 RS1, ... RSn の抵抗選択スイッチ S1, S2 を選択又は非選択とする。これにより、各階調電圧に対応する階調電圧入力ライン AL1, AL2, ... ALn の抵抗値が、階調カウンタ 17 でカウントされた出力数に応じて設定される。

【0053】なお、入力抵抗選択回路 RS と入力抵抗設定回路 19 は、本実施形態における入力抵抗値設定手段を構成する。

【0054】入力抵抗設定回路 19 では、階調カウンタ

17でカウントされた階調電圧の出力数が多い場合、すなわち接続する負荷が大きい場合は、その階調電圧に対応する階調電圧入力ラインALの抵抗値を抵抗R1とするために、信号ライン102にはオフレベル、信号ライン103にはオンレベルの入力抵抗選択信号を出力して、対応する抵抗選択スイッチS1をすべてオフ状態、S2をすべてオン状態とする。また、階調電圧の出力数が少ない場合、すなわち接続する負荷が小さい場合は、その階調電圧に対応する階調電圧入力ラインALの抵抗値を抵抗R1 + R2とするために、信号ライン102及 10
び103にオフレベルの入力抵抗選択信号を出力して、対応する抵抗選択スイッチS1、S2をすべてオフ状態とする。

【0055】上記のような抵抗選択スイッチS1、S2の選択は1水平走査期間毎にリセットされ、各1水平走査期間に入力される階調表示データに従って、各階調電圧入力ラインAL1、AL2、...ALnの抵抗値が設定される。

【0056】本実施形態では、入力抵抗選択回路RSで抵抗値を4段階に選択することができるため、例えば階 20
調電圧出力ラインDL1、DL2、...DLmを270本とすると、1水平走査期間に出力される階調電圧の出力数が0~70であれば、抵抗選択スイッチS1、S2を共にオフ状態として抵抗R1 + R2の抵抗値に設定し、出力数が71~140であれば、抵抗選択スイッチS1をオン状態、S2をオフ状態として抵抗R2のみの抵抗値に設定する。また出力数が141~210であれば、抵抗選択スイッチS1をオフ状態、S2をオン状態として抵抗R1のみの抵抗値に設定し、さらに出力数が21
0~270であれば、抵抗選択スイッチS1、S2を共 30
にオン状態として抵抗R1、R2を共に非選択に設定する。この場合は、階調電圧出力ラインDL1、DL2、...DLmのもつ配線抵抗値に設定されたことになる。なお、1水平走査期間に出力される階調電圧の出力数と設定される抵抗値との関係は、本実施形態の例に限定されることがなく、適宜に変更可能である。

【0057】この実施形態2のように、階調電圧の出力数に応じて階調電圧入力ラインの抵抗値を設定するように構成した場合においても、図4に示すように、スルーレートの遅れを立ち上がりで $\Delta t_1'$ 、立ち下がりで Δ 40
 t_2' とすることができ、図8の従来例に比べスルーレートの遅れを大幅に改善することができる。このように、1水平走査期間に接続される負荷の大きさに係わらずスルーレートをほぼ均一化することができるため、表示データの階調度合いに関わらず、画素上では常に本来の階調レベルを得ることができるようになり、階調レベルの不足による表示ムラを解消して、高品位な画像を得ることができる。

【0058】また、本実施形態においては、入力抵抗選択回路RS1、...RSnから入力抵抗選択信号を出力し 50

て階調電圧入力ラインALの抵抗値を設定するようにしているので、同一のソースドライバを液晶容量の異なる液晶パネルと組み合わせる場合でも、抵抗R1、R2を液晶容量に応じて再設定することにより、スルーレート調整を容易に行うことができる。この場合も、時定数により、スルーレート $\Delta t = CR$ （ここで、 $C = LSI$ 内部寄生容量 + 液晶パネル負荷容量）の関係が成り立つため、負荷の大きさに適した抵抗値を容易に設定することができる。

【0059】また、ソースドライバ32、ゲートドライバ2及び表示画素部1は同一の製造プロセスで作製することができるため、抵抗R1、R2の抵抗値は、プロセス条件等を修正することで容易に再設定することができる。とくに、実施形態2の入力抵抗選択回路RS1、RS2、...RSnは、実施形態1の出力抵抗選択回路RS11、...RSnmよりも抵抗及びスイッチ数を大幅に少なくすることができるため、低消費電力化が可能となるだけでなく、基板構成を簡略化して製造コストの低減を図ることができる。

【0060】さらに、階調アンプAMPには常に一定のバイアス電流が供給されるため、バイアス電流が低く設定されることにより、階調アンプの能力が低下するという不具合を防ぐことができる。したがって、階調アンプの能力を損なうことなしに、スルーレート調整を容易に行うことができる。

【0061】さらに加えて、実施形態1及び2においては、階調アンプAMPやバイアス回路の構成を変更する必要がないというメリットがある。

【0062】[実施形態3]図6は、実施形態3に係わるソースドライバ33の回路構成図である。図6では、図1又は図5と同等部分を同一符号で示すものとし、その説明を適宜に省略する。

【0063】実施形態3のソースドライバ33では、図5の入力抵抗選択回路RS1、...RSnと入力抵抗設定回路19の代わりに、階調アンプ回路21と出力電流設定回路20を備えている。

【0064】階調アンプ回路21は、階調電圧の出力数に応じて出力電流を供給する経路を選択可能な階調アンプAMP11、AMP12、...AMPnにより構成されている。次に、階調アンプAMP11を代表して構成を説明する。

【0065】図7は、階調アンプAMP11の回路構成図である。作動増幅部111は、N型のトランジスタTrN1、TrN2及びP型のトランジスタTrP1、TrP2及びTrP3で構成されている。これらトランジスタはMOSFETで構成されている。

【0066】TrP1にはバイアス回路13から定電圧が供給され、TrN2には抵抗分割回路11から階調電圧Vt1が供給されている。上記トランジスタのうち、TrP2、TrP3はトランジスタサイズが同じであ

り、また $TrN1$, $TrN2$ についてもトランジスタサイズは同じである。ただし、 $TrN1 \neq TrP1$, $TrN2 \neq TrP2$ であり、P型及びN型のトランジスタサイズは異なるものとする。

【0067】ここで、階調アンプ回路21の基本動作について説明する。階調アンプ $AMP11$, $AMP12$, ... $AMPn$ には、抵抗分割回路11からそれぞれ対応する階調電圧 $Vt1 \sim Vtn$ が与えられている。このうち、電圧の低い階調電圧が $TrN2$ に与えられる階調アンプ（例えば $AMPn$ ）では、 $TrP3 - TrN2$ の経路に流れる電流 $I1$ が減少するため、ノードAの電圧は増加する。そのため、 $TrN3$ の電流 I_{Ds} は増大し、アンプ出力 OUT の電圧は低くなる。このアンプ出力 OUT の電圧は $TrN1$ のゲート電極に印加され、 $TrP2 - TrN1$ 間の電流 $I2$ が減少する。ここで、 $TrP2$, $TtP3$ のゲート電圧は $TrP2 - TrN1$ 間にも供給されているため、 $TrN1 - TrP3$ 間の電圧がノードAの電圧 ($I1 = I2$) と等しくなるまで上記動作が続けられ、入力された階調電圧 Vtn がアンプ出力 OUT となった時点で階調アンプ内部が安定する。

【0068】一方、電圧の高い階調電圧が $TrN2$ に与えられる階調アンプ（例えば $AMP11$ ）では、 $TrP3 - TrN2$ の経路に流れる電流 $I1$ が増加し、ノードAの電圧が低下する。そのため、 $TrN3$ の電流 I_{Ds} は減少し、アンプ出力 OUT の電圧は高くなる。このアンプ出力 OUT の電圧は $TrN1$ のゲート電極に印加され、 $TrP2 - TrN1$ 間の電流 $I2$ は増加する。この後、 $TrN1 - TrP3$ 間の電圧がノードAの電圧 ($I1 = I2$) と等しくなるまで上記動作が続けられ、入力された階調電圧 Vtn がアンプ出力 OUT となった時点で階調アンプ内部が安定する。

【0069】電流供給経路選択部（出力部）112は、N型トランジスタ $TrN3$, $TrN4$, $TrN5$ 及びP型トランジスタ $TrP4$, $TrP5$ 及び $TrP6$ で構成されている。これらトランジスタは $MOSFET$ で構成されている。

【0070】 $TrP4$ には、 $TrP1$ と同じ定電圧がバイアス回路13から供給されている。また電流供給経路選択部112の出力端であるアンプ出力 OUT は、対応する階調電圧入力ライン $AL1$ に接続されている。上記トランジスタのうち、 $TrP6$ と $TrN5$ は電流供給経路を切り替えるためのスイッチとして機能し、 $TrP5$ と $TrN4$ のオン抵抗に依存しないようにオン抵抗が低い ($L = 小$, $W = 大$) トランジスタサイズとなっている。 $TrP6$ と $TrN5$ のゲート電極には、後述する出力電流設定回路20からの信号ライン104が接続されている。ただし、 $TrP6$ はインバータ INV を介して信号ライン104と接続されている。

【0071】階調アンプ $AMP11$ の $TrP6$, $TrN5$ は、出力電流設定回路20から出力される出力電流経

路選択信号によりオン・オフが制御され、これにより階調電圧入力ラインに出力される出力電流が設定される。

【0072】例えば、通常時はLレベルの出力電流経路選択信号が入力されるとすると、この時には $TrP6$ のゲート電極にはHレベル、 $TrN5$ のゲート電極にはLレベルの信号がそれぞれ印加されるので、 $TrP6$ 及び $TrN5$ は共にオフする。このため、出力電流を供給するトランジスタ回路の電流供給経路は、 $TrP4$ 及び $TrN3$ の2つのトランジスタ回路となる。一方、Hレベルの出力電流経路選択信号が入力された場合、 $TrP6$ のゲート電極にはLレベル、 $TrN5$ のゲート電極にはHレベルの信号がそれぞれ印加されるので、 $TrP6$ 及び $TrN5$ は共にオンする。ここで、トランジスタサイズを $TrP4 = TrP5$, $TrN3 = TrN4$ とすると、出力電流を供給するトランジスタ回路の電流供給経路は、 $TrP4$ と $TrP5 + TrP6$ の2経路が並列に接続されたトランジスタ回路が電源電圧 $VDD \sim$ アンプ出力 OUT を経由する電流供給経路となり、 $TrN3$ と $TrN4 + TrN5$ の2経路が並列に接続されたトランジスタ回路がアンプ出力 $OUT \sim$ 接地電圧 GND を経由する電流供給経路となる。この場合には、トランジスタ回路の W 値が2倍となるため、電流供給経路選択部112のオン抵抗は $1/2$ となり、電流供給能力は2倍となる。

【0073】出力電流設定回路20は、階調カウンタ17でカウントされた出力数に応じた出力電流経路選択信号を各階調電圧毎に信号ライン104を通じて出力し、階調アンプ AMP の電流供給経路選択部112に含まれる $TrP6$, $TrN5$ をオン・オフする。これにより、各階調電圧に対応する階調電圧入力ライン $AL1$, $AL2$, ... ALn へ供給される出力電流が、階調カウンタ17でカウントされた出力数に応じて設定される。

【0074】なお、電流供給経路選択部112と出力電流設定回路20は、本実施形態における出力電流設定手段を構成する。

【0075】次に、階調アンプ回路21で出力電流を設定する動作について説明する。出力電流設定回路20では、階調カウンタ17でカウントされた階調電圧の出力数が少ない場合、すなわち接続する負荷が小さい場合は、その階調電圧に対応する階調電圧入力ライン AL の出力電流が通常時の電流量となるようにLレベルの出力電流選択信号を出力して、出力電流を供給するトランジスタ回路の電流供給経路を $TrP4$ 及び $TrN3$ の2つのトランジスタ回路とする。また、階調電圧の出力数が多い場合、すなわち接続する負荷が大きい場合は、その階調電圧に対応する階調電圧入力ライン AL の出力電流が通常時よりも多い電流量となるようにHレベルの出力電流選択信号を出力して、出力電流を供給するトランジスタ回路の電流供給経路として、 $TrP4$ と $TrP5 + TrP6$ の2経路が並列に接続されたトランジスタ回路

を電源電圧 VDD ~ アンプ出力 OUT を経由する電流供給経路とし、且つ $TrN3$ と $TrN4 + TrN5$ の 2 経路が並列に接続されたトランジスタ回路をアンプ出力 OUT ~ 接地電圧 GND を経由する電流供給経路とする。この場合はトランジスタ回路の W 値が 2 倍となるため、出力電流を供給するトランジスタ回路の電流供給経路を $TrP4$ 及び $TrN3$ の 2 つのトランジスタ回路とした場合と比べ、電流供給経路選択部 112 の電流供給能力を 2 倍にすることができる。

【0076】この実施形態 3 のように、階調電圧の出力数に応じて階調アンプ AMP の出力電流を設定するように構成した場合においても、図 4 に示すように、スルーレートの遅れを立ち上がりで $\Delta t1'$ 、立ち下がりで $\Delta t2'$ とすることができ、図 8 の従来例に比べスルーレートの遅れを大幅に改善することができる。このように、1 水平走査期間に接続される負荷の大きさに係わらずスルーレートをほぼ均一化することができるため、表示データの階調度合いに関わらず、画素上では常に本来の階調レベルを得ることができるようになり、階調レベルの不足による表示ムラを解消して、高品位な画像を得ることができる。

【0077】本実施形態において、1 水平走査期間に出力される階調電圧の出力数と設定される出力電流との関係は、本実施形態の例に限定されることなく、適宜に変更可能である。

【0078】また、実施形態 3 では P 型のトランジスタ $TrP4$ と $TrP5 + TrP6$ 、並びに N 型のトランジスタ $TrN3$ と $TrN4 + TrN5$ を同時に切り替える例について説明したが、出力電流経路選択信号により $TrP6$ のみをオンさせるように構成した場合、出力電流を供給するトランジスタ回路の電流供給経路は、電源電圧 VDD ~ アンプ出力 OUT を経由する電流供給経路において、 $TrP4$ と $TrP5 + TrP6$ の 2 経路が並列に接続されたトランジスタ回路のみとなり、出力電流の立ち上がりのスルーレートのみを調整することができる。また、出力電流経路選択信号により $TrN5$ のみをオンさせるように構成した場合、出力電流を供給するトランジスタ回路の電流供給経路は、アンプ出力 OUT ~ 接地電圧 GND を経由する電流供給経路において、 $TrT3$ と $TrN4 + TrN5$ の 2 経路が並列に接続されたトランジスタ回路のみとなり、出力電流の立ち下りのスルーレートのみを調整することができる。

【0079】また、本実施形態においては、階調アンプ $AMP11$, $AMP12$, ... $AMPn$ において階調電圧の出力数に応じた出力電流を設定するようにしているので、同一のソースドライバを液晶容量の異なる液晶パネルと組み合わせる場合でも、階調アンプ AMP のトランジスタサイズを液晶容量に応じて再設定することにより、スルーレート調整を容易に行うことができる。

【0080】また、階調アンプ回路 21 は、ソースドラ

*イバ 33、ゲートドライバ 2 及び表示画素部 1 は同一の製造プロセスで作製することができるため、トランジスタサイズは、プロセス条件等を修正することで容易に再設定することができる。とくに、実施形態 3 では、実施形態 1 及び 2 に比べて抵抗数を大幅に少なくすることができるため、低消費電力化が可能となるだけでなく、基板構成を簡略化して製造コストの低減を図ることができる。さらに、階調アンプ AMP には常に一定のバイアス電流が供給されるため、バイアス電流が低く設定されることにより、階調アンプの能力が低下するという不具合を防ぐことができる。したがって、階調アンプの能力を損なうことなしに、スルーレート調整を容易に行うことができる。

【0081】

【発明の効果】以上説明したように、本発明に係わる表示装置用駆動回路では、負荷の大きさに応じて階調電圧入力ラインの抵抗値や出力電流を設定するようにしたので、階調電圧入力ラインによりスルーレートの変動するソースドライバのスルーレート調整を容易に行うことができる。また、同一のソースドライバを液晶容量の異なる液晶パネルと組み合わせる場合でもスルーレート調整を容易に行うことができる。また、階調アンプには常に一定のバイアス電流が供給されるため、階調アンプの能力が低下することがない。

【0082】したがって、本発明に係わる表示装置用駆動回路によれば、階調アンプの能力を損なうことなしに、スルーレート調整を容易に行うことができる。

【図面の簡単な説明】

【図 1】実施形態 1 に係わるソースドライバの回路構成図。

【図 2】実施形態に係わる液晶表示装置の全体的な回路構成図。

【図 3】実施形態 1 に係わるソースドライバの動作を示すタイミングチャート。

【図 4】信号線への出力数とスルーレートとの関係を示す実施形態の信号波形図。

【図 5】実施形態 2 に係わるソースドライバの回路構成図。

【図 6】実施形態 3 に係わるソースドライバの回路構成図。

【図 7】階調アンプの回路構成図。

【図 8】信号線への出力数とスルーレートとの関係を示す従来例の信号波形図。

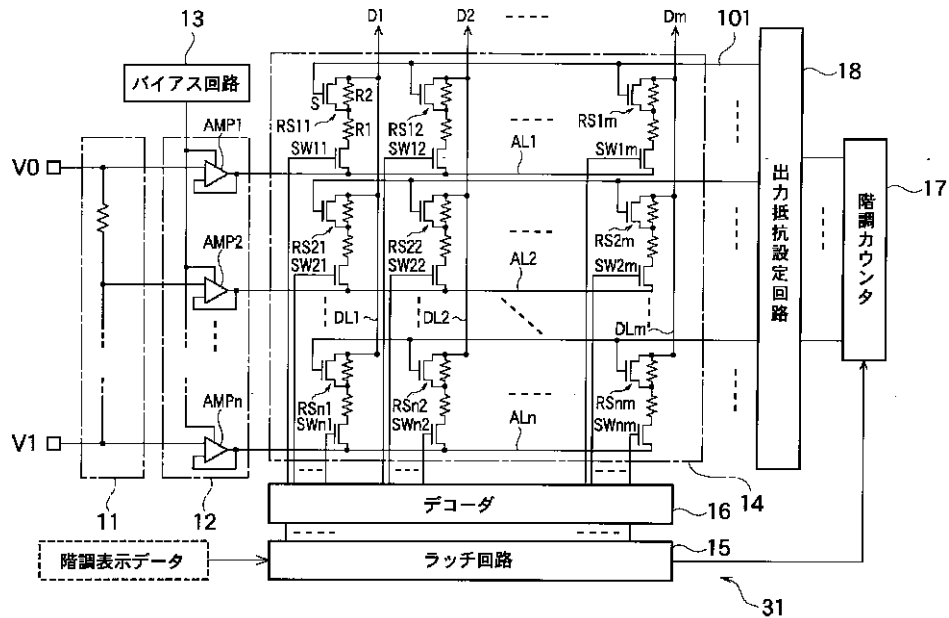
【符号の説明】

1 : 表示画素部、3, 31, 32, 33 : ソースドライバ、11 : 抵抗分割回路、12, 21 : 階調アンプ回路、13 : バイアス回路、14 : 階調電圧選択回路、15 : ラッチ回路、16 : デコーダ、17 : 階調カウンタ、18 : 出力抵抗設定回路、19 : 入力抵抗設定回路、20 : 出力電流設定回路、101 ~ 104 : 信号ラ

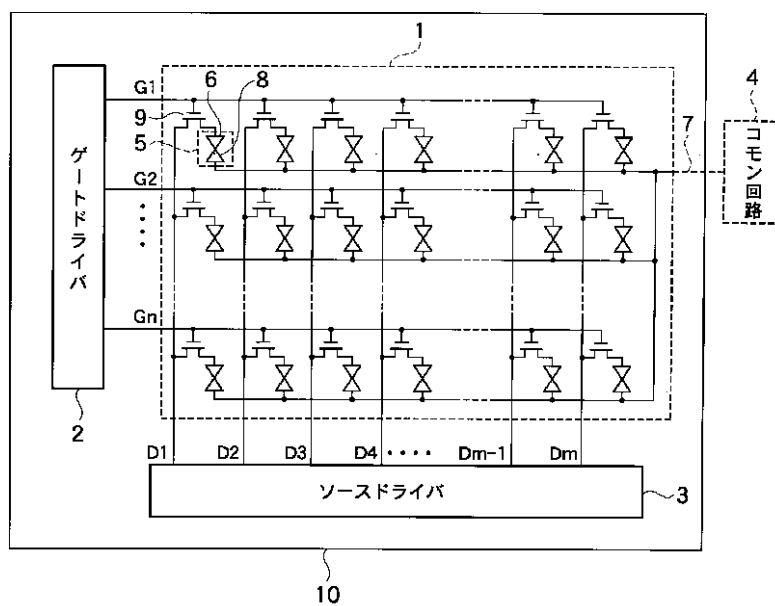
イン、111：作動増幅部、112：電流供給経路選択部、AMP1, AMP2, ... AMPn, AMP11, AMP12, ... AMPn：階調アンプ、D1, D2, ... Dm：信号線、DL1, DL2, ... Dm：階調電圧出力*

*ライン、RS11, ... RSnm：抵抗選択回路、SW11, ... SWnm：階調選択スイッチ、RS11, ... RSnm：出力抵抗選択回路

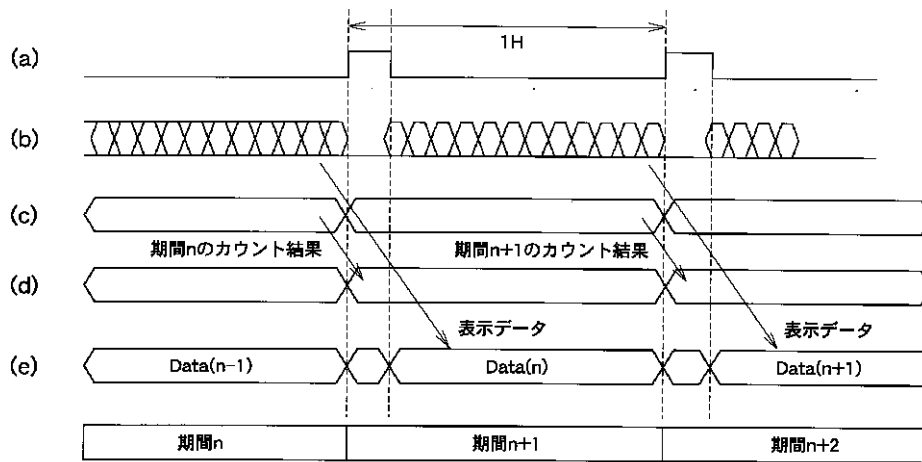
【図1】



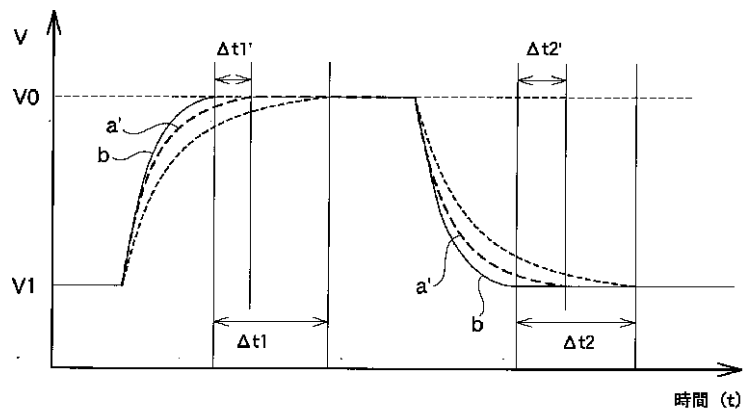
【図2】



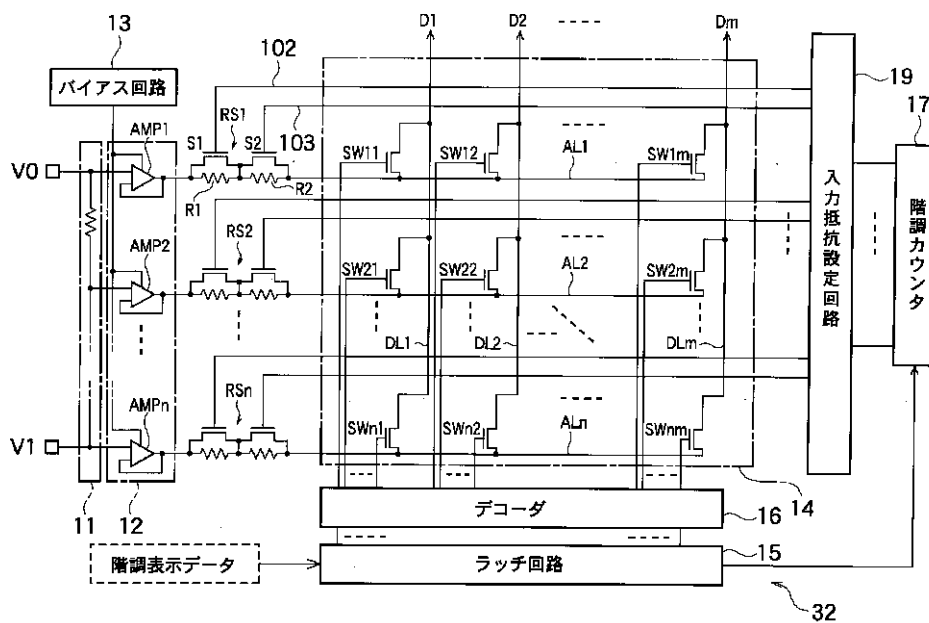
【図3】



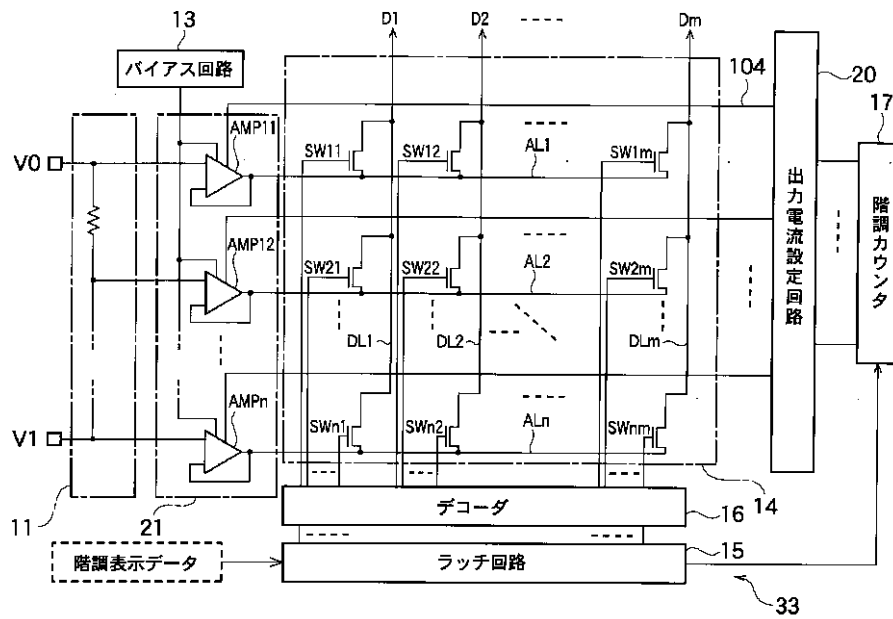
【図4】



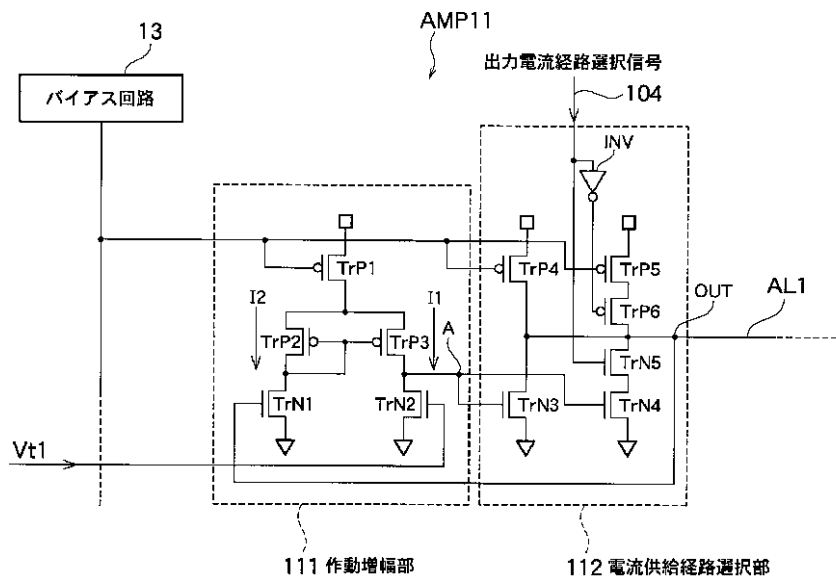
【図5】



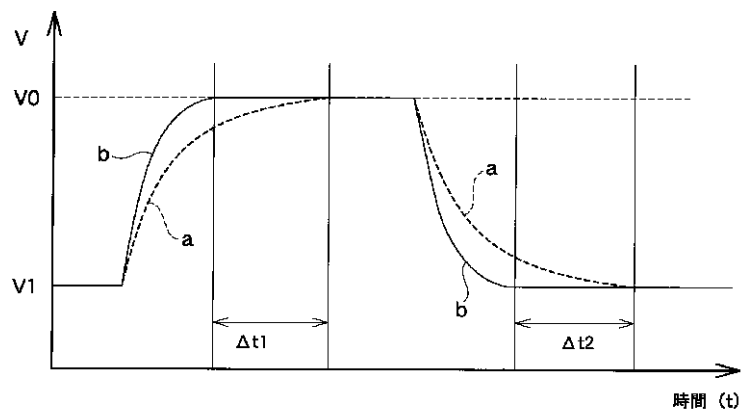
【図6】



【図7】



【図8】



 フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/20

識別記号

6 4 1

F I

G 0 9 G 3/20

テ-マコ-ト' (参考)

6 4 1 D

F タ-ム(参考) 2H093 NA53 NB07 NB11 NC09 NC26

NC27 NC32 ND32 ND39

5C006 AA16 AC24 AF42 AF45 BB16

BC03 BC12 BF04 BF22 BF25

FA04 FA12 FA47

5C080 AA10 BB05 DD08 DD26 EE29

FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	表示装置用驱动回路		
公开(公告)号	JP2003122325A	公开(公告)日	2003-04-25
申请号	JP2001320862	申请日	2001-10-18
[标]申请(专利权)人(译)	东芝微电子株式会社 株式会社东芝		
申请(专利权)人(译)	东芝微电子有限公司 东芝公司		
[标]发明人	宇都宫崇德		
发明人	宇都宫 崇德		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.575 G09G3/20.611.A G09G3/20.622.G G09G3/20.623.E G09G3/20.641.D		
F-TERM分类号	2H093/NA53 2H093/NB07 2H093/NB11 2H093/NC09 2H093/NC26 2H093/NC27 2H093/NC32 2H093/ND32 2H093/ND39 5C006/AA16 5C006/AC24 5C006/AF42 5C006/AF45 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BF04 5C006/BF22 5C006/BF25 5C006/FA04 5C006/FA12 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA02 2H193/ZD23		
其他公开文献	JP3916915B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了减少功耗，在根据在一个水平扫描周期中写入每个灰度级的频率来设置灰度电压产生电路的偏置电流的配置中，设置适合负载大小的偏置电流。设置困难，摆率调整不容易。解决方案：电阻选择电路RS11，...，RSnm的电阻值是根据一个水平扫描周期中输出的灰度电压的数量设置的。在这种情况下，由于建立了摆率 $\Delta t = CR$ （其中 $C = \text{LSI内部寄生电容} + \text{液晶面板负载电容}$ ）的关系，因此容易设置适合于负载尺寸的电阻值。此外，恒定的偏置电流可以总是提供给灰度放大器。因此，可以在不损害灰度放大器的能力的情况下容易地调整压摆率。

