

(19)日本国特許庁（J P）

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2002－351408

(P2002－351408A)

(43)公開日 平成14年12月6日(2002.12.6)

(51)Int.Cl ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	520	G 0 2 F 1/133	5 C 0 0 6
G 0 9 F 9/30	338	G 0 9 F 9/30	5 C 0 8 0
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 9 4
		611 A	
		611 B	

審査請求 有 請求項の数 10 O L (全 11数) 最終頁に続く

(21)出願番号 特願2001－153680(P2001－153680)

(22)出願日 平成13年5月23日(2001.5.23)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 松本 昭一郎

大阪府守口市京阪本通2丁目5番5号 三洋電
機株式会社内

(74)代理人 100104433

弁理士 宮園 博一

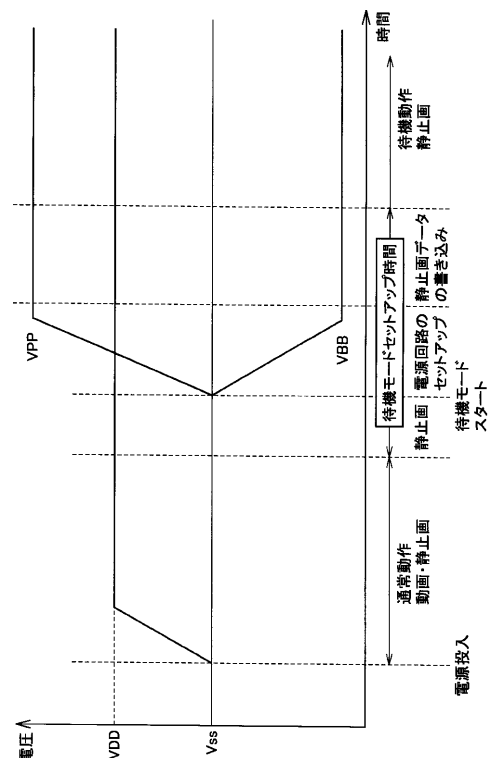
最終頁に続く

(54)【発明の名称】 表示装置およびその制御方法

(57)【要約】

【課題】待機時の動作モードに入る際のデータの書き込みを良好に行うことが可能な表示装置を提供する。

【解決手段】この表示装置は、メモリ61を有する画素部6と、画素部6と同一基板上（同一液晶パネル1）上に形成され、メモリ61を動作させるための正電圧発生回路8および負電圧発生回路9と、正電圧発生回路8および負電圧発生回路9の電圧値が設定値に到達した後に、メモリ61にデータの書き込みを行う外部制御回路2とを備えている。



【特許請求の範囲】

【請求項1】 メモリを有する画素部と、前記画素部と同一基板上に形成され、前記メモリを動作させるための電源回路と、前記電源回路の電圧値が設定値に到達した後に、前記メモリにデータの書き込みを行う制御回路とを備えた、表示装置。

【請求項2】 前記電源回路は、少なくとも正電圧発生回路を含み、前記メモリへのデータの書き込みの間、前記メモリの電源として、前記正電圧発生回路よりも電流駆動能力の高い電源を用いるとともに、前記データの書き込み後に、前記メモリの電源として、前記正電圧発生回路を用いる、請求項1に記載の表示装置。

【請求項3】 前記電源回路は、正電圧発生回路および負電圧発生回路を含み、待機時の動作モードから通常使用時の動作モードに入る際に、前記正電圧発生回路のノードを一旦接地電位にすることによって放電した後に、前記メモリに、前記負電圧発生回路を接続する、請求項1または2に記載の表示装置。

【請求項4】 メモリを有する画素部と、前記画素部と同一基板上に形成され、前記メモリを動作させるための電源回路とを備えた表示装置の動作方法であって、前記電源回路の電圧値を設定値に到達させるステップと、前記電源回路の電圧値が設定値に到達した後に、前記メモリにデータの書き込みを行うステップとを備えた、表示装置の制御方法。

【請求項5】 前記電源回路を設定値に到達させるステップは、表示パネルの電源投入と同時に前記電源回路を起動させるステップを含み、前記メモリにデータの書き込みを行うステップは、前記電源回路の電圧値が設定値に到達した後に、通常使用時の動作モードの動作を行い、その後、待機時の動作モードに入る際に、前記メモリにデータの書き込みを行う、請求項4に記載の表示装置の制御方法。

【請求項6】 前記電源回路の電圧値を設定値に到達させるステップは、待機時の動作モードに入ることが検知された後、前記電源回路を起動させるステップを含み、前記メモリにデータの書き込みを行うステップは、前記待機時の動作モードにおいて、前記電源回路の電圧値が設定値に到達した後に、前記メモリにデータの書き込みを行うステップを含む、請求項4に記載の表示装置の制御方法。

【請求項7】 前記電源回路は、少なくとも正電圧発生回路を含み、前記メモリにデータの書き込みを行うステップは、

*前記メモリへのデータの書き込みの間、前記メモリの電源として、前記正電圧発生回路よりも電流駆動能力の高い電源を用いるとともに、前記データの書き込み後に、前記メモリの電源として、前記正電圧発生回路を用いるステップを含む、請求項4～6のいずれか1項に記載の表示装置の制御方法。

【請求項8】 前記電源回路は、正電圧発生回路および負電圧発生回路を含み、待機時の動作モードから通常使用時の動作モードに入る際に、前記正電圧発生回路のノードを一旦接地電位にすることによって放電した後に、前記メモリに、前記負電圧発生回路を接続するステップを含む、請求項4～7のいずれか1項に記載の表示装置の制御方法。

【請求項9】 前記電源回路の電圧値を設定値に到達させるステップは、前記電源回路からのセットアップ完了信号を前記制御回路に送信することによって前記電源回路の電圧値が設定値に到達したことを検知するステップを含む、請求項4～8のいずれか1項に記載の表示装置の制御方法。

【請求項10】 前記電源回路の電圧値を設定値に到達させるステップは、前記電源回路の起動後に、所定の時間が経過したことに基づいて前記電源回路の電圧値が設定値に到達したことを検知するステップを含む、請求項4～8のいずれか1項に記載の表示装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示装置およびその制御方法に関し、特に、画素部にメモリを有する表示装置およびその制御方法に関する。

【0002】

【従来の技術】近年、ポリシリコンTFT (Thin Film Transistor) を用いた小型の液晶表示装置 (LCD: Liquid Crystal Display) の需要が増大してきている。このため、液晶パネルおよび外部制御ICを含めた表示システムの低消費電力化が求められている。特に、携帯電話に搭載される液晶表示装置では、携帯電話が電池で駆動されることから、低消費電力化の要望が大きい。したがって、携帯電話に使用される液晶表示装置にも低消費電力化の要求が強く、特に、待ち受け時における待ち受け画面での電力低下が求められている。

【0003】最近では、携帯電話に搭載される液晶表示装置の待ち受け画面での低消費電力化を目的として、バックライトを消灯したり、LCD画面の一部分のみに必要情報を表示するパースシャル表示方式を採用するなど、種々の技術開発が行われている。

【0004】また、待ち受け画面の低消費電力化を目的として、LCDの画素部にSRAM (Static Random Access Memory) などのメモ

りを内蔵するとともに、待ち受け状態になると、周辺回路による駆動を停止して低消費電力化を実現するシステムとしてのメモリ内蔵LCDが提案されている。

【0005】このメモリ内蔵LCDの動作としては、通常使用時における動作モード、待ち受け待機時に表示すべきビデオデータの書き込み時における動作モード、および、待機時における動作モードの3つの動作モードが存在する。通常使用時では、水平クロックと垂直クロックとからなる基本クロックに基づいて動作する。すなわち、通常使用時の動作モードでは、画素の周辺に配置されたデータ線駆動回路と走査線駆動回路とを用いて、ビデオデータを画素に書き込む動作を行う。

【0006】また、待ち受け待機時に表示すべきビデオデータの書き込み時における動作モードでは、待機時に入る前に、メモリにビデオデータを書き込む動作を行う。さらに、待機時における動作モードでは、待機時に表示すべきビデオデータをメモリから液晶に書き込む動作を行う。

【0007】

【発明が解決しようとする課題】上記した従来の提案されたメモリ（SRAM）内蔵LCDでは、待機時に移行する際に、メモリにビデオデータを書き込むため、待ち受け待機時および待機時にメモリが活性化されるとともに、通常使用時には、メモリは不活性状態となる。この場合、メモリが通常使用時の不活性状態から待機時の活性状態に移行する際に、メモリを駆動するための電源回路を起動すると、メモリ（SRAM）に貫通電流が流れるため、消費電流が増加するという問題点がある。

【0008】また、メモリが通常使用時の不活性状態から待機時の活性状態に移行する際に、メモリを駆動するための電源回路の起動と、データの書き込みとを同時に行うと、上記メモリ（SRAM）の貫通電流によって、データの書き込みを行うことが困難になるという問題点がある。

【0009】この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、待機時の動作モードに入る際のデータの書き込みを良好に行うことが可能な表示装置を提供することである。

【0010】この発明のもう1つの目的は、上記の表示装置において、動作モードを移行する際に生じる消費電流の増加を抑制することである。

【0011】この発明のさらにもう1つの目的は、待機時の動作モードに入る際のデータの書き込みを良好に行うことが可能な表示装置の制御方法を提供することである。

【0012】この発明の他の目的は、上記の表示装置の制御方法において、動作モードを移行する際に生じる消費電流の増加を抑制することである。

【0013】

【課題を解決するための手段】上記目的を達成するため

に、請求項1における表示装置は、メモリを有する画素部と、画素部と同一基板上に形成され、メモリを動作させるための電源回路と、電源回路の電圧値が設定値に到達した後に、メモリにデータの書き込みを行う制御回路とを備えている。

【0014】請求項1による表示装置では、上記のように、電源回路の電圧値が設定値に到達した後に、メモリにデータの書き込みを行う制御回路を設けることによって、データの書き込み時には、電源回路が完全に立ち上がって貫通電流が抑制された状態であるので、メモリへのデータの書き込みを良好に行うことができる。

【0015】請求項2における表示装置は、請求項1の構成において、電源回路は、少なくとも正電圧発生回路を含み、メモリへのデータの書き込みの間、メモリの電源として、正電圧発生回路よりも電流駆動能力の高い電源を用いるとともに、データの書き込み後に、メモリの電源として、正電圧発生回路を用いる。請求項2では、このように、データの書き込み時に電流駆動能力の高い安定した電源を用いることによって、データの書き込み時に貫通電流が流れたとしても、電源が不安定になることがない。これにより、安定したデータの書き込みを行うことができる。また、メモリへのデータの書き込み時に、正電圧発生回路の電位が急激に低下するという不都合も生じない。また、データの書き込み後の待機時には、貫通電流がほとんど流れないので、待機時における消費電流を低減することができる。

【0016】請求項3における表示装置は、請求項1または2の構成において、電源回路は、正電圧発生回路および負電圧発生回路を含み、待機時の動作モードから通常使用時の動作モードに入る際に、正電圧発生回路のノードを一旦接地電位にすることによって放電した後に、メモリに負電圧発生回路を接続する。請求項3では、このように、一旦放電を行った後に、メモリに負電圧発生回路を接続することによって、待機時の動作モードから通常使用時の動作モードに入る際の消費電流の増加を抑制することができるとともに、負電位が不安定になる時間を短縮することができる。

【0017】請求項4における表示装置の制御方法は、メモリを有する画素部と、画素部と同一基板上に形成され、メモリを動作させるための電源回路とを備えた表示装置の制御方法であって、電源回路の電圧値を設定値に到達させるステップと、電源回路の電圧値が設定値に到達した後に、メモリにデータの書き込みを行うステップとを備えている。

【0018】請求項4による表示装置の制御方法では、上記のように、電源回路の電圧値が設定値に到達した後に、メモリにデータの書き込みを行うことによって、データの書き込み時には、電源回路が完全に立ち上がって貫通電流がない状態であるので、メモリへのデータの書き込みを良好に行うことができる。

【0019】請求項5における表示装置の制御方法は、請求項4の構成において、電源回路を設定値に到達させるステップは、表示パネルの電源投入と同時に電源回路を起動させるステップを含み、メモリにデータの書き込みを行うステップは、電源回路の電圧値が設定値に到達した後に、通常使用時の動作モードの動作を行い、その後、待機時の動作モードに入る際に、メモリにデータの書き込みを行うステップを含む。請求項5では、このように構成することによって、通常使用時の動作モードの動作後に、待機時の動作モードに入る際に、電源回路が完全に立ち上がって貫通電流もない状態であるので、データの書き込みを良好に行うことができる。

【0020】請求項6における表示装置の制御方法は、請求項4の構成において、電源回路の電圧値を設定値に到達させるステップは、待機時の動作モードに入ることが検知された後、電源回路を起動させるステップを含み、メモリにデータの書き込みを行うステップは、待機時の動作モードにおいて、電源回路の電圧値が設定値に到達した後に、メモリにデータの書き込みを行うステップを含む。請求項6では、このように構成することによって、待機時の動作モードに入ることが検知された後に電源回路を起動させる場合にも、メモリにデータを書き込む際に、電源回路が完全に立ち上がって貫通電流がない状態であるので、データの書き込みを良好に行うことができる。

【0021】請求項7における表示装置の制御方法は、請求項4～6のいずれかの構成において、電源回路は、少なくとも正電圧発生回路を含み、メモリにデータの書き込みを行うステップは、メモリへのデータの書き込みの間、メモリの電源として、正電圧発生回路よりも電流駆動能力の高い電源を用いるとともに、データの書き込み後に、メモリの電源として、正電圧発生回路を用いるステップを含む。請求項7では、このように、データの書き込み時に電流駆動能力の高い安定した電源を用いることによって、データの書き込み時に貫通電流が流れたとしても、電源が不安定になることがない。これにより、安定したデータの書き込みを行うことができる。また、メモリへのデータの書き込み時に、正電圧発生回路の電位が急激に低下するという不都合も発生しない。また、データの書き込み後の待機時には、貫通電流が流れないので、待機時における消費電流を低減することができる。

【0022】請求項8における表示装置の制御方法は、請求項4～7のいずれかの構成において、電源回路は、正電圧発生回路および負電圧発生回路を含み、待機時の動作モードから通常使用時の動作モードに入る際に、正電圧発生回路のノードを一旦接地電位にすることによって放電した後に、メモリに負電圧発生回路を接続するステップを含む。請求項8では、このように、一旦放電を行った後に、メモリに負電圧発生回路を接続することに

よって、待機時の動作モードから通常使用時の動作モードに入る際の消費電流の増加を抑制することができるとともに、負電位が不安定になる時間を短縮することができる。

【0023】請求項9における表示装置の制御方法は、請求項4～8のいずれかの構成において、電源回路の電圧値を設定値に到達させるステップは、電源回路からのセットアップ完了信号を制御回路に送信することによって電源回路の電圧値が設定値に到達したことを検知するステップを含む。請求項9では、このように構成することによって、容易に、電源回路の電圧値が設定値に到達したことを検知することができる。

【0024】請求項10における表示装置の制御方法は、請求項4～8のいずれかの構成において、電源回路の電圧値を設定値に到達させるステップは、電源回路の起動後に、所定の時間が経過したことに基づいて電源回路の電圧値が設定値に到達したことを検知するステップを含む。請求項10では、このように構成することによって、容易に、電源回路の電圧値が設定値に到達したことを検知することができる。

【0025】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。

【0026】（第1実施形態）図1は、本発明の第1実施形態による液晶表示装置の全体構成を示したブロック図である。図2は、図1に示した第1実施形態の液晶表示装置の制御方法を説明するためのブロック図であり、図3は、図2に示した第1実施形態の液晶表示装置の制御方法における電源回路の起動順序を説明するための概略図である。

【0027】まず、図1を参照して、第1実施形態の液晶表示装置100の全体構成について説明する。この第1実施形態の液晶表示装置100は、液晶パネル1と、外部制御回路2とを備えている。なお、この外部制御回路2は、本発明の「制御回路」の一例である。液晶パネル1は、走査線駆動回路4と、データ線駆動回路5と、画素部（表示部）6と、正電源回路（正電圧発生回路）8と、負電源回路（負電圧発生回路）9とを含んでいる。すなわち、この第1実施形態では、画素部6と、正電圧発生回路8と、負電圧発生回路9とが、同一基板（同一液晶パネル1）上に形成されている。

【0028】また、画素部6を構成する各画素は、SRAMからなるメモリ61と、トランジスタ62、63および64と、液晶65とを含んでいる。また、各画素は、画素部6内においてマトリクス状に配置されている。メモリ61は、待ち受け待機時に、表示すべき静止画データを記憶するとともに、トランジスタ64を介して待ち受け待機時に表示すべき静止画データを液晶65に書き込む機能を有する。また、外部制御回路2は、メモリ61を制御するメモリ制御回路3を含んでいる。

【0029】次に、図2および図3を参照して、第1実施形態の液晶表示装置の制御方法について説明する。この第1実施形態では、図2および図3に示すように、液晶パネル1の電源(VDD)が投入されると同時に、正電圧発生回路8および負電圧発生回路9のセットアップを行う。そして、正電圧発生回路8が昇圧電位(VPP)に到達するとともに、負電圧発生回路9が到達電位(VBB)に到達した後、通常使用時の動作モードに入る。そして、通常使用時の動作モードによる動作を行った後、液晶パネル1の制御システム(図示せず)が待機モードであることを検知する。この検知に基づいて、静止画データの書き込みを行った後、待機時の動作モードに入る。

【0030】なお、外部制御回路2は、液晶パネル1の制御システム(図示せず)によって待機時の動作モード(待機モード)であることが検知されたことに基づいて、静止画書き込みに必要な制御信号および静止画データを転送する機能とを有する。

【0031】この第1実施形態では、メモリ61を動作させるための正電圧発生回路8および負電圧発生回路9の電圧値が設定値(VPPおよびVBB)に到達した後に、通常使用時の動作モードが行われ、その後、待機モードに入る際にメモリにデータの書き込みを行うことによって、データの書き込み時には、正電圧発生回路8および負電圧発生回路9が完全に立ち上がって貫通電流の抑制された状態となる。その結果、メモリ61への静止画データの書き込みを良好に行うことができる。

【0032】(第2実施形態)図4は、本発明の第2実施形態による液晶表示装置の制御方法を説明するためのブロック図であり、図5は、図4に示した第2実施形態の液晶表示装置の制御方法における電源回路の起動順序を説明するための概略図である。

【0033】図4および図5を参照して、この第2実施形態では、上記した第1実施形態と異なり、待機モードを検知した後に、電源回路を起動する場合の例について示している。以下、詳細に説明する。

【0034】この第2実施形態では、まず、液晶パネル1の電源(VDD)が投入されて通常使用時の動作モードによる動作(通常動作)が行われる。そして、通常動作の後に、待機モードに入る際に、液晶パネル1の制御システム(図示せず)が待機モードを検知したことに基づいて、正電圧発生回路(正電源回路)8および負電圧発生回路(負電源回路)9を起動する。この場合、図4に示すように、外部制御回路2から正電圧発生回路8および負電圧発生回路9に電源起動信号が送信されることによって、正電圧発生回路8および負電圧発生回路9のセットアップが開始される。そして、正電圧発生回路8および負電圧発生回路9の電圧が設定電圧(VPPおよびVBB)に到達した後、メモリ61に静止画データの書き込みを行い、その後、待機時の動作モード(待機モ

ード)に入る。なお、メモリ61への静止画データの書き込み時には、外部制御回路2は、静止画書き込みに必要な制御信号および静止画データをメモリ61に転送する。

【0035】すなわち、第2実施形態における外部制御回路2は、液晶パネル1の制御システム(図示せず)が待機モードを検知したことに基づいて正電圧発生回路8および負電圧発生回路9を活性化する機能と、静止画書き込みに必要な制御信号および静止画データを転送する機能とを有する。

【0036】なお、正電圧発生回路8および負電圧発生回路9の電圧が設定電圧に到達したこと(セットアップ完了)の検知方法としては、たとえば、正電圧発生回路8および負電圧発生回路9からセットアップ完了信号を外部制御回路2に送信することによって行ってもよいし、あらかじめ決められた時間(たとえば1フレーム分の時間:60フレーム/秒の場合、16.7msec)の経過によってセットアップが完了したと見なすようにしてもよい。

【0037】第2実施形態では、上記のように、待機時の動作モード(待機モード)に入ることが検知された後、正電圧発生回路8および負電圧発生回路9を起動して正電圧発生回路8および負電圧発生回路9の電圧が設定電圧(VPPおよびVBB)に到達した後に、メモリ61に静止画データの書き込みを行うことによって、待機時の動作モードに入ることが検知された後に、正電圧発生回路8および負電圧発生回路9を起動する場合にも、メモリ61にデータを書き込む際に、正電圧発生回路8および負電圧発生回路9が完全に立ち上がって貫通電流が抑制された状態となる。これにより、データの書き込みを良好に行うことができる。

【0038】(第3実施形態)図6は、本発明の第3実施形態による液晶表示装置の制御方法を説明するための回路図である。図7は、図6に示した第3実施形態の表示装置の制御方法を採用しない場合の不都合を説明するための回路図であり、図8は、図7に示した回路図に対応する時間と貫通電流および昇圧電圧値との関係を示した相関図である。

【0039】図6を参照して、この第3実施形態の液晶表示装置の制御方法では、通常動作時から待機モードに入る場合のメモリ(SRAM)61の電源割り当てについて示している。すなわち、この第3実施形態では、通常動作時にはメモリ(SRAM)61を構成する2つのインバータ回路61aおよび61bに負電位(VBB)が印加されている。この状態から直接待機モード時の昇圧電位(VPP)を印加する前に、一旦、正電圧発生回路8よりも安定した電源である液晶パネル1の電源(VDD)または待機時電源(VCC)を印加する。

【0040】なお、液晶パネル1の電源(VDD)または待機時電源(VCC)から、昇圧電位(VDD)への

切り替えは、全静止画データを書き込んだ後に行う。これは、静止画データの書き込みの途中で昇圧電位へ切り替えると、誤動作が発生しやすいためである。

【0041】第3実施形態では、上記のように、メモリ61への静止画データの書き込み時に、メモリ61の電源として、正電圧発生回路8よりも電流駆動能力の高い安定した電源(VDDまたはVCC)を用いることによって、データの書き込み時に貫通電流が流れたとしても、電源が不安定になることがない。これにより、メモリ61に安定したデータの書き込みを行うことができる。また、メモリ61へのデータの書き込み時に、正電圧発生回路8の昇圧電位(VPP)が急激に低下するという不都合も生じない。また、データの書き込み後の待機時には、貫通電流が流れないので、待機時における消費電流を低減することができる。

【0042】ここで、図7および図8を参照して、図6に示した第3実施形態の構成を採用しない場合の不都合について説明する。図7に示すように、通常動作時の電源設定値(VBB)から待機モード時の電源設定値(VPP)に直接遷移させるとともに、静止画データの書き込みと正電圧発生回路8の起動とを同時に行う場合には、図8に示すように、静止画データの書き込み時に、貫通電流が発生するという不都合が生じる。このように貫通電流が生じると、電流駆動能力のあまり大きくない内部の正電圧発生回路8によって発生された昇圧電源値(VPP)が不安定になるので、静止画データを書き込むのが困難になるという不都合が生じる。

【0043】そこで、図6に示した第3実施形態では、上記のような不都合を防止するために、通常動作時の負電位(VBB)から、直接昇圧電位(VPP)を印加する前に、一旦電流駆動能力の高い電源(VDDまたはVCC)を印加する。これにより、上記したように、静止画データ書き込み時に貫通電流が流れたとしても、電流駆動能力の高い安定した電源(VDDまたはVCC)を用いているので、電源が不安定になることがなく、その結果、静止画データの書き込みを良好に行うことができる。また、データの書き込み時に電流駆動能力の高い電源(VDDまたはVCC)を用いているので、データの書き込み時に、電流駆動能力のあまり大きくない内部で発生した昇圧電位VPPが急激に低下するという不都合も生じない。なお、静止画データの書き込み終了後の待機モードに入った後は、それほど電流駆動能力は必要とされないため、電流駆動能力のあまり大きくない内部の正電圧発生回路8によって昇圧した昇圧電位(VPP)を用いても問題はない。

【0044】(第4実施形態)図9は、本発明の第4実施形態による液晶表示装置の制御方法を説明するための回路図である。図10は、図9に示した第4実施形態の液晶表示装置の制御方法を採用しない場合の不都合を説明するための回路図であり、図11は、図10に示した

回路図に対応する時間と放電電流および負電圧値との関係を示した相関図である。

【0045】図9を参照して、この第4実施形態の液晶表示装置の制御方法では、待機モードから通常動作時に移行する際のメモリ(SRAM)61の電源割り当てについて示している。具体的には、待機モード時の昇圧電圧(VPP)から通常動作時の電位(VBB)に切り替える際に、一旦、昇圧ノード70を接地電位(GND)に接続する。これにより、昇圧ノード70の寄生容量に蓄積された昇圧電荷が放電されるので、静止画データが消去される。その後、通常動作時の負電位(VBB)を印加する。

【0046】なお、接地電位(GND)から通常動作時の電位(VBB)への切り替えは、通常動作時における画像データの書き込み前に行う。

【0047】第4実施形態では、上記のように、待機時の動作モードから通常動作時の動作モードに入る際に、昇圧ノード70を一旦接地電位(GND)にすることによって放電した後に、メモリに負電圧発生回路9を接続することによって、待機時の動作モードから通常動作時の動作モードに入る際の消費電流の増加を抑制することができる。また、負電位が不安定になる時間を短縮することができる。

【0048】すなわち、図10に示すように、待機モードの電源設定値(VPP)から直接通常動作時の電源設定値(VBB)に遷移させた場合には、寄生容量Cpに蓄積された昇圧電荷が負電位(VBB)側に電流として流れる。その結果、図10に示すような放電電流が流れて消費電流が増加するとともに、図11に示すように、負電圧値が浅くなり(正の方向に近づき)不安定になるという不都合が生じる。

【0049】そこで、図9に示した第4実施形態では、上記のような不都合を防止するために、待機モード時の電源設定値(VPP)から通常動作時の電源設定値(VBB)に切り替える際に、一旦、昇圧ノード70を接地電位(GND)に接続することによって、昇圧ノード70の寄生容量に蓄積された昇圧電荷の放電を行う。これにより、上記したように、通常動作時の負電位(VBB)が不安定になる時間を短縮することができる。また、通常動作時における放電電流を抑制することができるので、通常動作時における消費電流が増加するのを抑制することができる。

【0050】なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0051】たとえば、上記実施形態では、液晶表示装置(LCD)からなる表示装置を例にとって説明した

が、本発明はこれに限らず、画素部にメモリを含む表示装置であれば、EL (Electro Luminescence) 表示装置などの他の表示装置にも同様に適用可能である。

【0052】また、上記第1実施形態および第2実施形態では、正電圧発生回路8および負電圧発生回路9が到達電位に到達したことの検知を、正電圧発生回路8および負電圧発生回路9からのセットアップ完了信号を外部制御回路2に送信するか、または、所定の時間の経過によって行うようにしたが、本発明はこれに限らず、他の方法を用いて正電圧発生回路8および負電圧発生回路9のセットアップが完了したことを検知するようにしてもよい。

【0053】

【発明の効果】以上のように、本発明によれば、待機時の動作モードに入る際のデータのメモリへの書き込みを良好に行うことができる。また、動作モードを移行する際に生じる消費電流の増加を抑制することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による液晶表示装置の全体構成を示したブロック図である。

【図2】本発明の第1実施形態による液晶表示装置の制御方法を説明するためのブロック図である。

【図3】図2に示した第1実施形態の液晶表示装置の制御方法における電源回路の起動順序を説明するための概略図である。

【図4】本発明の第2実施形態による液晶表示装置の制御方法を説明するためのブロック図である。

【図5】図4に示した第2実施形態の液晶表示装置の制御方法における電源回路の起動順序を説明するための概略図である。

【図6】本発明の第3実施形態による液晶表示装置の制御方法を説明するための回路図である。

【図7】図6に示した第3実施形態の液晶表示装置の制御方法を採用しない場合の不都合を説明するための回路図である。

【図8】図7に示した回路図に対応する時間と貫通電流および昇圧電圧値との関係を示した相関図である。

【図9】本発明の第4実施形態による液晶表示装置の制御方法を説明するための回路図である。

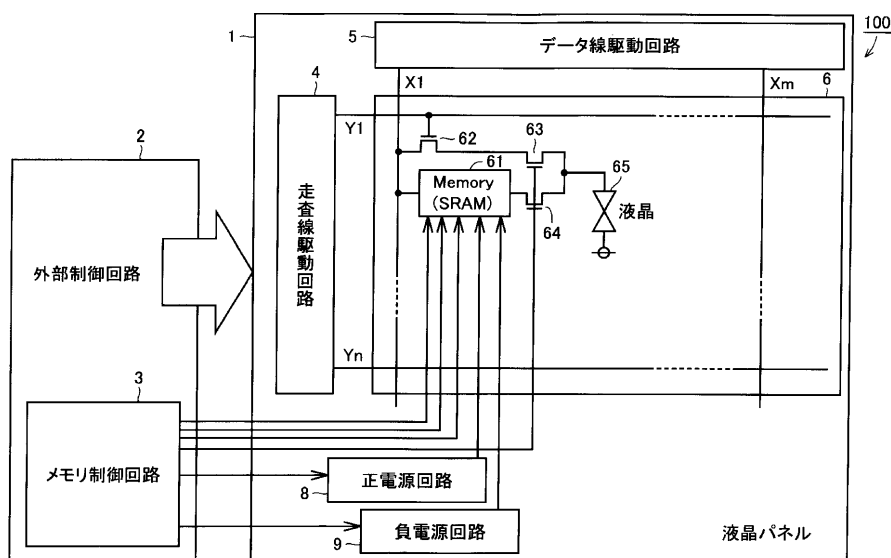
【図10】図9に示した第4実施形態の液晶表示装置の制御方法を採用しない場合の不都合を説明するための回路図である。

【図11】図10に示した回路図に対応する時間と放電電流および負電圧値との関係を示した相関図である。

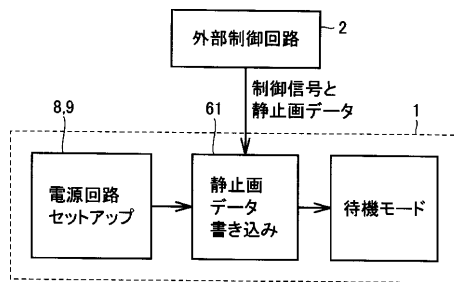
【符号の説明】

- 1 液晶パネル
- 2 外部制御回路（制御回路）
- 3 メモリ制御回路
- 6 画素部
- 8 正電圧発生回路
- 9 負電圧発生回路
- 61 メモリ（SRAM）
- 61a、61b インバータ回路
- 70 昇圧ノード
- 100 液晶表示装置

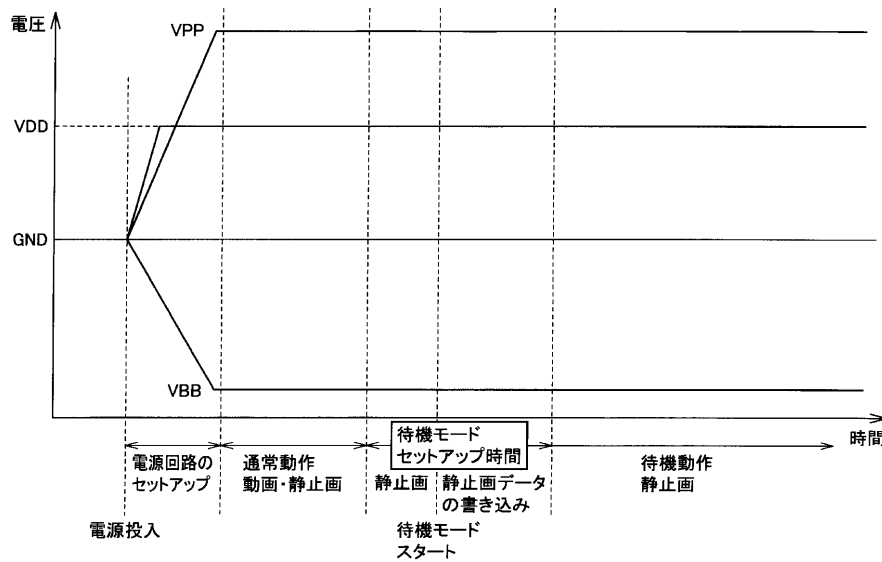
【図1】



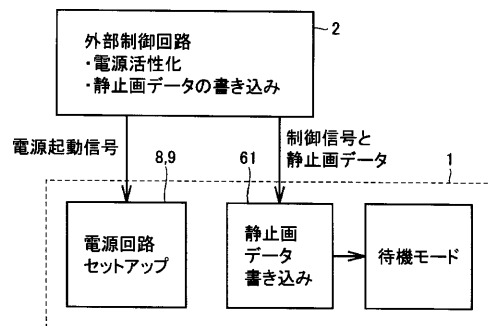
【図2】



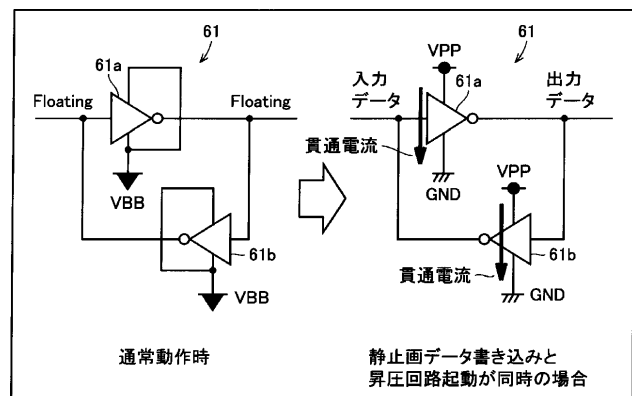
【図3】



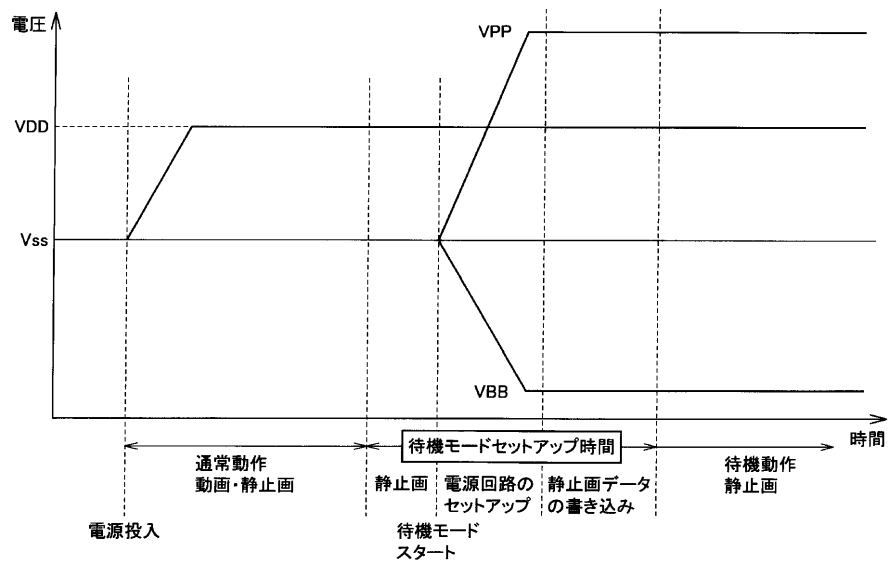
【図4】



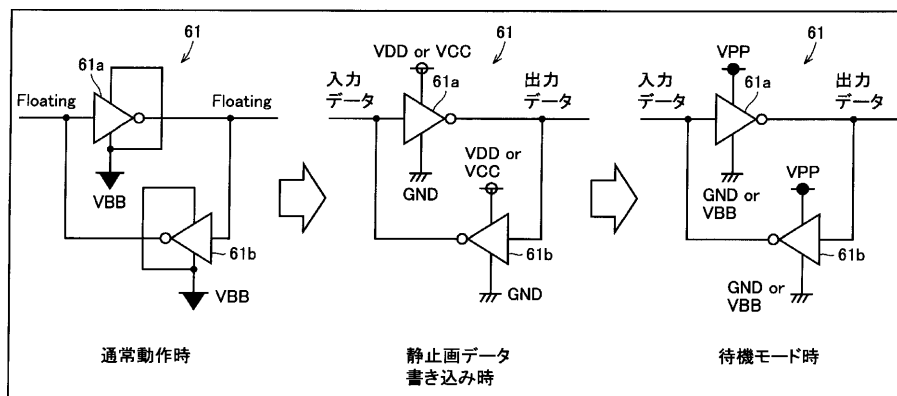
【図7】



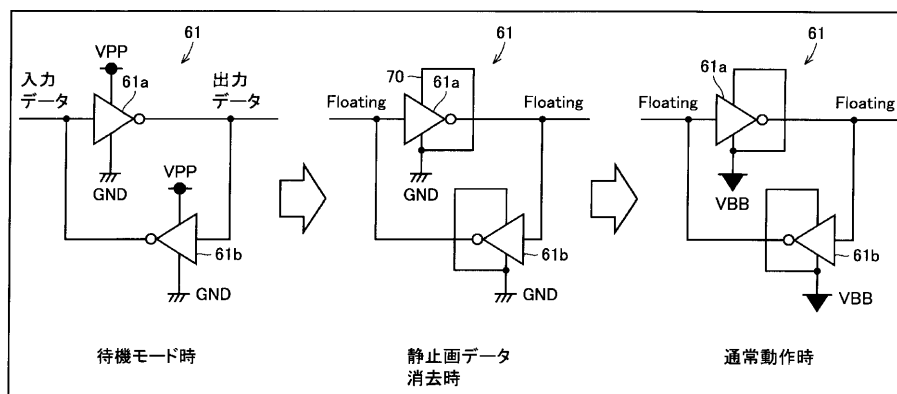
【図5】



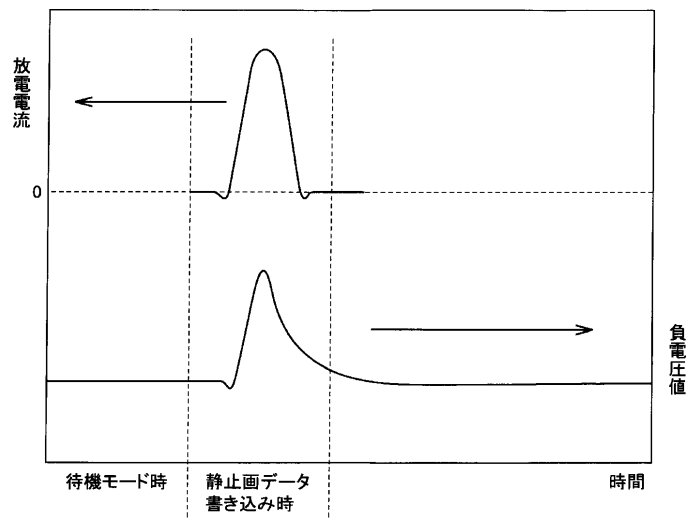
【図6】



【図9】



【図11】



フロントページの続き

(51)Int.Cl. ⁷		識別記号		F I		テーマコード ⁸ (参考)	
G 0 9 G	3/20	6 1 2		G 0 9 G	3/20	6 1 2 G	
		6 2 3				6 2 3 G	
		6 2 4				6 2 4 B	
	3/30				3/30	J	

F ターム(参考) 2H093 NC02 NC28 NC49 NC58 ND39
5C006 AC21 BB16 BC06 BC20 BF04
BF46 FA47
5C080 AA06 AA10 BB05 DD09 DD26
FF11 JJ02 JJ04
5C094 AA22 BA03 BA09 CA19 DB04

专利名称(译)	显示装置及其控制方法		
公开(公告)号	JP2002351408A	公开(公告)日	2002-12-06
申请号	JP2001153680	申请日	2001-05-23
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	松本昭一郎		
发明人	松本 昭一郎		
IPC分类号	G02F1/133 G09F9/30 G09G3/20 G09G3/30 G09G3/36		
CPC分类号	G09G3/3648 G09G2300/0809 G09G2300/0857 G09G2320/10 G09G2330/02 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.520 G09F9/30.338 G09G3/20.611.A G09G3/20.611.B G09G3/20.612.G G09G3/20.623.G G09G3/20.624.B G09G3/30.J G09G3/3225		
F-TERM分类号	2H093/NC02 2H093/NC28 2H093/NC49 2H093/NC58 2H093/ND39 5C006/AC21 5C006/BB16 5C006/BC06 5C006/BC20 5C006/BF04 5C006/BF46 5C006/FA47 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ04 5C094/AA22 5C094/BA03 5C094/BA09 5C094/CA19 5C094/DB04 2H093/NA80 2H193/ZE31 2H193/ZF02 2H193/ZH21 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AC11 5C380/BA01 5C380/BA03 5C380/CC23 5C380/CE02 5C380/CE03 5C380/CE04 5C380/CE09 5C380/DA39 5C380/DA41 5C380/DA46 5C380/DA58		
其他公开文献	JP3540772B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够在设备进入待机时间的操作模式时令人满意地执行数据写入的显示设备。解决方案：该显示装置具有像素部分6，该像素部分6具有存储器61，正电压产生电路8和用于操作存储器61的负电压产生电路9，其形成在同一基板（相同的液晶面板1）上在正电压产生电路8和负电压产生电路9的电压值达到设定值之后，像素部分6和外部控制电路2将数据写入存储器61中。

