

(51)Int.Cl ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	520	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
		611 A	
		611 B	
	612	612 G	
審査請求 未請求 請求項の数 3 O L (全 10数)			

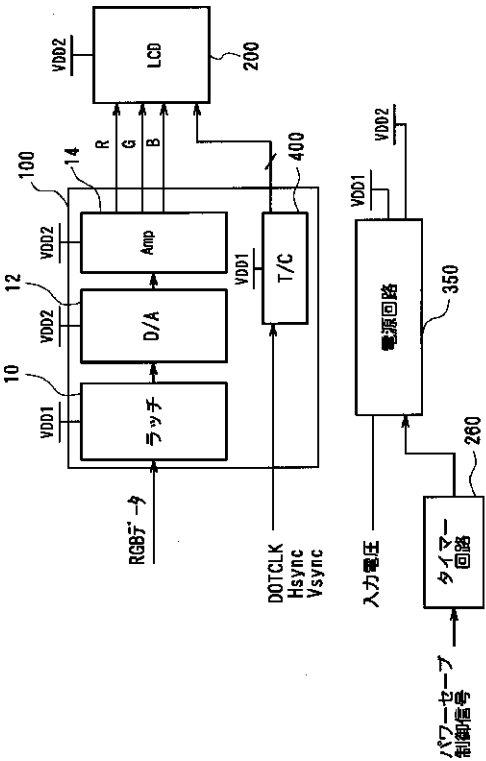
(21)出願番号	特願2001 - 288686(P2001 - 288686)	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日	平成13年9月21日(2001.9.21)	(72)発明者	則武 和人 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(31)優先権主張番号	特願2000 - 300836(P2000 - 300836)	(72)発明者	筒井 雄介 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(32)優先日	平成12年9月29日(2000.9.29)	(74)代理人	100075258 弁理士 吉田 研二 (外 2 名)
(33)優先権主張国	日本(JP)		
		最終頁に続く	

(54)【発明の名称】 表示装置用駆動装置

(57)【要約】

【課題】 表示装置などの電源システムにおいて、表示を可能としつつ簡単な構成でパワーセーブモードに対応可能とする。

【解決手段】 パワーセーブモード時において、電源回路350の発生する駆動回路100及びLCD200等の電源電圧をタイマー回路260あるいは計数回路などの計時手段により、所定期間毎にオンオフ制御する。これによりパワーセーブモード時は、電源オフ制御により消費電力の低減を図り、かつ特別な操作をしなくても所定周期毎に表示することができる。また、電源オフ制御の前に、表示パネル内へのゲート選択信号の出力を停止することで、電源オフ後にもしばらくオフ前の表示を維持することができる。



【特許請求の範囲】

【請求項 1】 表示装置用駆動装置において、複数の画素が形成された表示パネルを駆動するための駆動回路と、前記表示パネル、前記駆動回路のための電源電圧を発生する電源回路と、を有し、パワーセーブが命ぜられると、前記表示パネル又は前記駆動回路のいずれか又は両方に供給する電源電圧を、所定期間毎にオンオフ制御することを特徴とする表示装置用駆動装置。

【請求項 2】 請求項 1 に記載の表示装置用駆動装置において、さらに、計時手段を備え、該計時手段の計時結果に応じて前記電源回路が電源電圧をオンオフすることを特徴とする表示装置用駆動装置。

【請求項 3】 請求項 1 又は請求項 2 に記載の表示装置用駆動装置において、前記表示パネルは、複数の画素と、該画素を選択するための選択ラインと該画素にデータを供給するためのデータラインとを備え、パワーセーブが命ぜられると、データ書込み画素を選択するために前記選択ラインに出力される選択信号を全選択ラインについて出力停止する停止制御手段を備え、前記停止制御手段によって前記選択信号の出力を停止してから前記電源電圧をオフ制御することを特徴とする表示装置用駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示装置、特にパワーセーブ要求に対応した表示装置のための駆動装置に関する。

【0002】

【従来の技術】液晶表示装置や有機 EL 表示装置等に代表される平面表示装置は、薄型で軽量かつ低消費電力であることから、携帯電話などの携帯機器の表示装置として優れており、多くの携帯機器に用いられている。

【0003】液晶表示装置は、一対の基板間に液晶が封入されて構成された液晶表示 (LCD) パネルと、この LCD パネルを駆動する駆動回路と、該駆動回路及び LCD パネルに必要な電源電圧を供給する電源回路を備える。また LCD は、自発光ではないため、反射型 LCD 以外の透過型及び半透過型 LCD ではパネル後方などに光源が設けられている。

【0004】上記携帯電話等の携帯機器においては、消費電力低減の要求が非常に強く、液晶表示装置では、従来この要求に対応するため、待機時などには、最も電力消費の大きい光源を消灯する工夫がなされている。

【0005】また、表示装置についてもさらなる消費電力の低下が求められる場合には、さらに、待機時に、上

記電源回路を制御し、装置電源をオフ制御することが考えられている。

【0006】

【発明が解決しようとする課題】しかしながら、パワーセーブ時に、電源をオフしてしまうと、表示を見ることができなくなる。携帯電話を例に挙げると、非通話時等にパワーセーブモードになると、内蔵する時計の示す時刻や電波受信状態などを表示したくとも、表示電源がオフ制御されているので何も表示できない。従って、表示が見たい場合には、何らかの表示オンのための操作を行わねばならず不便である。

【0007】上記課題を解決するために、この発明は、パワーセーブモードに対応しつつ、かつパワーセーブ時にも表示を見ることのできる表示装置を実現することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するためにこの発明は、以下のような特徴を有する。

【0009】まず、本発明に係る表示装置用駆動装置では、表示装置用駆動装置において、複数の画素が形成された表示パネルを駆動するための駆動回路と、前記表示パネル、前記駆動回路のための電源電圧を発生する電源回路と、有し、パワーセーブが命ぜられると、前記表示パネル又は前記駆動回路のいずれか又は両方に供給する電源電圧を、所定期間毎にオンオフ制御することを特徴とする。

【0010】また本発明の他の特徴は、上記駆動装置において、さらに、計時手段を備え、該計時手段の計時結果に応じて前記電源回路が電源電圧をオンオフすることである。

【0011】このようにパワーセーブが命令されたときに、電源電圧を所定期間オンオフ制御する。電源電圧がオフ制御されれば、駆動回路や表示パネルでの電力消費がなくなり、表示装置における消費電力をセーブすることができる。そして、パワーセーブ時であっても、所定期間ごとに電源電圧がオン制御されるため、操作者は、特別な操作をすることなく表示を定期的に見ることができる。

【0012】また、本発明の他の特徴は、上記駆動装置において、前記表示パネルは、複数の画素と、該画素を選択するための選択ラインと該画素にデータを供給するためのデータラインとを備え、パワーセーブが命ぜられると、データ書込み画素を選択するために前記選択ラインに出力される選択信号を全選択ラインについて出力停止する停止制御手段を備え、前記停止制御手段によって前記選択信号の出力を停止してから前記電源電圧をオフ制御することである。

【0013】選択信号の出力を停止してから電源電圧をオフ制御すれば、例えば、各画素にスイッチ素子の形成されたアクティブマトリクス型パネルにおいて、電源電

圧が低下する前に、スイッチ素子が確実にオフ制御されることとなる。各画素は、スイッチ素子がオフしてから容量成分によって、スイッチ素子オン時に画素に書き込まれたデータを所定期間保持することができる。よって、選択信号の出力を全選択ラインで停止させてから、電源電圧をオフすれば、電源オフであるにも関わらず、各画素は通常動作時の非選択期間と同様、しばらくの間、直前まで保持していたデータに基づいた表示を行うことができる。

【0014】

【発明の実施の形態】以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

【0015】[実施形態1]図1は、実施形態1に係るパワーセーブモード対応型表示装置の概略構成を示している。この表示装置は、例えば携帯電話に搭載されるLCDなどの平面表示装置である。液晶表示装置は、一對の基板間に液晶が封入されて構成された液晶表示（LCD）パネル200と、このLCDパネル200を駆動する駆動回路100と、駆動回路100及びLCDパネル200に必要な電源電圧を供給する電源回路350を備え、さらに、本実施形態では、タイマー回路260を有する。

【0016】タイマー回路260は、パワーセーブ制御信号が供給されると、計時動作を開始し、所定期間経過すると電源制御信号を電源回路350に供給し、電源回路350はこの制御信号を受けることで後述するように電源電圧をオフをする。

【0017】駆動回路100は、供給されるRGBデジタルデータをラッチするラッチ回路10、ラッチしたデータをアナログデータに変換するデジタルアナログ（D/A）変換回路12、変換されたアナログデータを増幅し液晶表示パネル200にR、G、Bアナログ表示データとして供給するアンプ14、タイミングコントローラ（T/C）400を備える。このT/C400は、ドットクロックDOTCLK、水平同期信号Hsync、垂直同期信号Vsync等のタイミング信号に基づいて、液晶表示パネル200での表示に適したタイミング信号を発生している。

【0018】電源回路350は、必要に応じて複数の電源電圧を発生しており、ここでは、VDD1、VDD2を発生している。VDD1は、低電圧駆動に適したCMOS論理回路で構成され、デジタル信号処理を行う上述のラッチ回路10に供給され、VDD1より高電圧のVDD2は、D/A変換回路12、アンプ14、及びLCDパネル200に供給されている。

【0019】電源回路350の構成について説明する。図2（a）及び（b）はそれぞれ、上記複数の電圧のうち、電圧VDD2を発生する従来の電源回路の構成を示しており、図2（a）に示す電源回路350は、スイッチングレギュレータ型、図2（b）に示す電源回路35

0はチャージポンプ型回路である。

【0020】図2（a）のスイッチングレギュレータ型の電源回路350は、入出力の間にこの順に設けられたコイルL1及びダイオードD1、所定パルス信号を発振する発振回路35s、発振回路35sからのパルス信号をゲートに受けるトランジスタTr36を備える昇圧部351を有し、発振回路35sからのパルス信号によってトランジスタTr36をオンオフ制御することで、コイルL1及びダイオードD1において入力電圧VINを昇圧しており、得られた昇圧電源電圧VDD2は、液晶駆動回路100やLCDパネル200に動作電源として供給されている。また、電源回路350は、その出力端とグランドとの間に、分圧抵抗R37及びR38を有し、コンパレータ36がこの抵抗R37とR38との間の分圧と基準電圧Vrefとを比較して比較信号を出力する。そして、コンパレータ36からの出力電圧VDD2に応じた比較信号に基づいて発振回路35sの発振周波数を制御することで、出力電圧VDD2が安定するように制御している。

【0021】図2（b）のチャージポンプ型の電源回路350は、2つのキャパシタC1、C2と、このキャパシタへの入力電圧の供給ルートを切り換えるキャパシタ用スイッチSW1～SW4、該スイッチSW1～SW4の切替を制御するためのパルス信号を発生する発振回路35c、ANDゲート37及びNANDゲート39を備えている。

【0022】発振回路35cは、例えばデューティ比1/2のパルス信号を発生し、このパルス信号がANDゲート37を介してスイッチSW1及びSW2に供給され、NANDゲート39を介してスイッチSW3及びSW4に供給され、スイッチSW1及びSW2と、スイッチSW3及びSW4とを交互に開閉している。

【0023】スイッチSW3及びSW4が閉じると、キャパシタC1の図中上側の電極に入力電圧VINが印加され、下側の電極はグランド（GND）電位となってキャパシタC1が充電される。次のタイミングでスイッチSW3及びSW4が開いて反対にスイッチSW1及びSW2が閉じると、キャパシタC1の図中の下側電極に入力電圧VINが印加され、キャパシタC1の上側電極の電位が入力電圧VINの2倍の電位まで昇圧され、キャパシタC1の上側電極とキャパシタC2との間から引き出された出力端から入力電圧VINの2倍の出力電圧VDD2を得ている。

【0024】以上のような構成の電源回路350は、それぞれパワーセーブモードに対応しており、本実施形態では、パワーセーブモードに移行すると周期的に電源電圧をオンオフする。そして、そのそのオンオフの間をタイマー回路260が計時して制御している。

【0025】図3は、本実施形態におけるタイマー回路260の構成を示している。タイマー回路260は、発

振回路 262、カウンタ 264、デコーダ 266、アンドゲート 268 を有し、カウンタ 264 は、発振回路 262 から一定周期で出力されるパルスをカウントし、カウント値を出力する。デコーダ 266 は、そのカウント値を解析して、値に応じて H レベル又は L レベルの信号をアンドゲート 268 の一方の入力に供給する。

【0026】アンドゲート 268 の他方の入力には、パワーセーブ制御信号が供給されており、パワーセーブ制御信号がパワーセーブモードを示す H レベルの時は、該アンドゲート 268 の出力は、デコーダ回路 266 の出力レベルと等しくなる。また、パワーセーブ制御信号が通常モードを示す L レベルであれば、アンドゲート 268 の出力は L レベルに固定される。

【0027】図 2 (a)、(b) いずれの電源回路 350 も、タイマー回路 260 のアンドゲート出力をオンオフ (ON/OFF) 信号として受けており、図 2 (a) の電源回路 350 の場合、アンドゲート 268 の出力が L レベルのとき、通常通りに動作して、電源電圧 VDD1、VDD2 を発生し、アンドゲート 268 の出力が H になると電源電圧の発生を停止する。

【0028】この図 2 (a) の電源回路 350 では、オンオフ信号が L レベルのとき、発振回路 35s が発振動作し、トランジスタ Tr37 がオンして、入出力経路に設けられたトランジスタ Tr35 をオンさせる。ここで、電源回路 350 の出力端とグラウンドとの間に接続されたトランジスタ Tr38 は、この時オフ制御されている。従って、オンオフ信号が L レベルの時は、入力電圧 VIN を昇圧部 351 で昇圧して得られた電圧 VDD1 や、VDD2 が出力される。

【0029】一方、オンオフ信号が H レベルとなると、発振回路 35s が発振動作を停止し、トランジスタ Tr37 がオフしてトランジスタ Tr35 がオフ制御されるので、昇圧部 351 からの出力が絶たれる。また、トランジスタ Tr38 がオンするため、出力端がグラウンドに接続されることとなり、電源回路 350 からの出力電圧が 0V、電源電圧がオフ制御される。

【0030】一方、図 2 (b) の電源回路 350 は、タイマー回路 260 のアンドゲート 268 の反転出力をオンオフ信号として受ける。そして、アンドゲート 268 の出力が L レベル (反転出力が H) のとき、通常通りにパルス信号を発生し、スイッチ SW1 及び SW2 と、SW3 及び SW4 とが交互に切り替え制御され、チャージポンプが機能して入力電圧 VIN より高い出力電圧 VDD2 又は VDD1 を得る。また、タイマー回路 260 のアンドゲート 268 の出力が H レベル (反転出力が L) のときは、発振回路 35c が動作を停止し、AND ゲート 37 の出力が L レベルに固定され、NAND ゲート 39 の出力が H レベルに固定されるため、キャパシタ C1 及び C2 が放電されて出力電圧が低下し、電源回路 350、すなわち電源電圧がオフ制御される。

【0031】上述のように、タイマー回路 260 からの出力は、パワーセーブモード時に、デコーダ回路 266 の出力レベルと同じように変化する。従って、図 2 (a)、(b) いずれの電源回路 350 の場合も、タイマー回路 260 からの出力レベルの変化に応じて電源電圧の発生、停止を繰り返す。

【0032】ここで、パワーセーブモード時に、電源電圧を 1 秒おきにオンオフ制御する場合について説明する。発振回路 262 の発振周波数が 1 kHz (1 周期 1 msec) の時、カウンタ 264 は、カウント値が「2000」になったときリセットされるように設定する。また、デコーダ回路 266 は、カウンタ 264 のカウント値が「1000」の時 H レベルを出力し、「2000」のとき L レベルを出力するように構成する。上述のように、パワーセーブモード時、パワーセーブ制御信号が H レベルとなって、アンドゲート 268 の出力はデコーダ回路 266 の出力と等しくなるため、電源回路 350 に供給されるオンオフ信号は、カウンタ 264 のカウント値「1000」、「2000」の時にその H、L が変化し、電源回路は 1 秒毎に電源電圧にオンオフすることとなる。また、パワーセーブ制御信号が通常動作モードを示す L のときは、タイマー回路 260 から電源回路 350 への出力は L に維持されるため、電源回路 350 は常時オンして電源電圧 VDD1 及び VDD2 を発生する。

【0033】以上のような構成により、パワーセーブモード時、タイマー回路 260 が所定期間を計時して電源回路 350 を周期的にオンオフ制御することができる。電源回路がオフされて、表示装置の駆動回路 100 や LCD パネル 200 への電源電圧 VDD1 及び VDD2 の供給を停止すれば、駆動回路 100 や LCD パネル 200 での電力消費をなくすることができる。そして、周期的にこの電源回路 350 がオン制御されるため、そのとき表示パネルは、所望の表示が行われ、操作者は特別操作しなくても周期的に表示を見ることができる。

【0034】[実施形態 2] 図 4 は、実施形態 2 に係るパワーセーブモード対応型表示装置の概略構成を示している。上述の実施形態 1 と相違する点は、パワーセーブモード時における計時手段である。本実施形態では、駆動回路 100 に計時手段として計数回路 290 を備える。図 5 は、この計数回路 290 の構成を示している。計数回路 290 は、垂直同期信号 Vsync をカウントするカウンタ 292、カウンタ 292 のカウント値を解析して、値に応じて H レベル又は L レベルの信号を出力するデコーダ回路 294、及びアンドゲート 296 を備える。アンドゲート 296 の一方の入力には、デコーダ回路 294 からの出力信号が供給され、他方の入力には、パワーセーブ制御信号が供給されている。従って、アンドゲート 296 の出力は、パワーセーブ制御信号がパワーセーブモードを示す H レベルの時、デコーダ回路 29

4の出力レベルと等しくなる。また、パワーセーブ制御信号が通常モードを示すLレベルであれば、アンドゲート296の出力はLレベルに固定される。そして、このアンドゲート296の出力は、計数回路290からのオンオフ信号として、上記実施形態1と同様に、図2

(a)、(b)に示すような電源回路350に供給されている。

【0035】次に、パワーセーブモード時における電源制御タイミングとして、該電源電圧を60フレーム毎にオンオフ制御する場合を例に挙げて説明する。上述のよう10にカウンタ292には、垂直同期信号Vsyncが供給され、カウンタ292は、カウント値が「120」になったときリセットされるように設定する。また、デコーダ回路294は、カウンタ292のカウント値が「60」の時Hレベルを出力し、「120」のときLレベルを出力するように構成する。このため、パワーセーブモード時、パワーセーブ制御信号がHレベルとなって、アンドゲート296の出力がデコーダ回路294の出力と等しくなる。従って、電源回路350に供給されるオンオフ信号は、カウンタ292のカウント値が「60」、「120」の時、つまり60フレーム毎にそのH、Lが変化し、電源回路350は60フレーム毎にオンオフする。なお、パワーセーブ制御信号が通常動作モードを示すLのときは、タイマー回路290から電源回路350への出力はLに維持されるため、電源回路350は常時オンして電源電圧VDD1及びVDD2を発生する。

【0036】以上のような構成によっても、パワーセーブモード時、所定周期毎に電源回路350をオンオフ制御することができ、電源回路のオフにより、駆動回路100やLCDパネル200での電力消費をなくし、その場合でも、操作者が操作することなく、周期的に、表示を見ることができる。

【0037】[実施形態3]本実施形態では、上記実施形態1及び2と同様に、パワーセーブモード時に、周期的に電源電圧VDD1及びVDD2をオンオフ制御するが、さらに、電源電圧をオフ制御する前に、LCD200の各画素を選択するための選択ライン(ゲートライン)に対する選択信号の出力を停止する。このような制御を行うことで、オフ後に非制御下で選択信号が選択ラインに出力され、電源オフ直前まで各画素に書き込まれていたデータが消えることを防ぐ。LCD200においては、画素内の容量成分の存在により、選択時に各画素に書き込まれたデータ信号を非選択期間中であっても、所定期間保持でき、その間は表示を継続することができる。本実施形態では、電源電圧をオフする前に、表示パネル内で、選択信号が全選択ラインについて出力停止となるよう制御することで、各画素を確実に非選択状態とする。すると、この非選択状態となったタイミングから所定期間、画素の容量成分の働きによって、電源がオフされても、表示を維持することを可能としている。

【0038】図6は、このような実施形態3に係るアクティブマトリクス型LCDの構成例を示している。なお、図6において、上述の実施形態1において既に説明した構成と同一の部分には同一符号を付し説明を省略する。図6において、タイマー回路270は、実施形態1のタイマー回路260と同様の構成で、パワーセーブ制御信号がパワーセーブモードを示すHレベルの時、図3のカウンタ264による発振パルスの所定数のカウントアップによって決定される周期で、出力がHとLで切り替わるタイマー信号を出力する。パワーセーブ制御信号が通常モードを示すLレベルであれば、タイマー回路270からのタイマー信号はLレベルを維持する。

【0039】このタイマー信号は、タイマー回路270から駆動回路100内のT/C400に供給される。図7は、このT/C400の構成を示している。T/C400には、ドットクロック(DOTCLK)、水平同期信号(Hsync)、垂直同期信号(Vsync)が供給される。そして、T/C400は、これらに基づいて、水平クロック(CKH)、水平スタートパルス(STH)、プリチャージ制御信号(PCG)、ゲートライン選択制御信号(ENB)、垂直クロック(CKV)、垂直スタートパルス(STV)、極性反転制御信号(FRP)を作成し、これをLCDパネル200のVドライバ210、Hドライバ220に供給する。

【0040】本実施形態では、上記タイマー回路270からのタイマー信号もこのT/C400に供給されており、2段のFF52及び53と、アンドゲート11の機能により、垂直同期信号Vsyncに基づいて、タイマー信号が供給された次の垂直期間の帰線期間内にLCD200への各制御信号の出力が停止され、さらに次の1V期間経過後に電源電圧のオフ制御が行われる。

【0041】以下、T/C400の構成及び動作について説明する。

【0042】Hカウンタ12は、ドットクロック(DOTCLK)をクロックとしてこれをカウントする。そしてHカウンタ12は、アンドゲート31を介して1H期間に1回に出力される水平同期信号(Hsync)と後述する1H幅制御回路19からのHリセット信号(Hreset)によりカウント値がリセットされるため、1H期間毎にドットクロックをカウントする。

【0043】Hカウンタ12のドットクロックカウント値は、デコーダ13でデコードされ得られたパルス信号がフリップフロップ(F/F)20、アンドゲート27を介して、水平クロック(CKH)として出力され、LCDパネル200のHドライバ220に供給される。

【0044】デコーダ14は、Hカウンタ12のドットクロックカウント値に基づいて各1水平走査期間中のスタートタイミングを決めるパルスを発生し、これがF/F21を介して水平スタートパルス(STH)として出力される。

【0045】デコーダ15は、Hカウンタ12のドットクロックカウント値に基づいて、1水平期間の開始直前のタイミングを求めてパルス信号を作成する。このパルス信号は、F/F22を介して、1Hの開始直前に、データラインの電圧を続く1H期間の表示データ電圧に近づけるためのプリチャージ制御信号(PCG)として出力される。

【0046】デコーダ16は、Hカウンタ12のドットクロックカウント値に基づいて、各ゲートラインの選択許可期間を制御するタイミングを求め、これがF/F23を介し、ゲートライン選択制御信号(ENB)として出力される。この制御信号(ENB)は、1Hの開始直前にデータラインに対して行われる上記プリチャージ期間中に、ゲートラインが選択され画素トランジスタがオンしてプリチャージデータが各画素に書き込まれることを禁止するための制御信号である。このゲートライン選択制御信号(ENB)は、LCDパネル200のVドライバ210に供給される。

【0047】ここで、Vドライバ210は、図8に示すような構成であり、パネルのゲートライン数(n)に応じ、後述する垂直クロック(非反転CKV1、反転CKV2)をクロックとする。また垂直スタートパルス(STV)を順次シフトする複数段のシフトレジスタ251、252・・・、y番目とy+1番目のシフトレジスタ出力の論理積を出力するアンドゲート241、242・・・、ゲートラインへの各最終出力ゲート231、232・・・を有し、上記ゲートライン選択制御信号(ENB)がこの最終出力ゲート231、232・・・の一方の入力端に供給されている。そして、この制御信号(ENB)は、1H期間の開始直前のプリチャージ期間中にLレベルとなるため、ゲートラインへのゲート選択信号の出力が制御信号(ENB)のLレベルの間、禁止される。

【0048】図7において、Hカウンタ12でのドットクロックカウント値をデコードするデコーダ17からの出力は、F/F24を介してアンドゲート44の一方の入力端に供給されている。このアンドゲート44の他方の入力端には、アンドゲート11を介して出力されるドットクロック(DOTCLK)が供給されている。通常表示状態においてこのアンドゲート11出力は、ドットクロックと等しいので、これがクロックとして供給されるF/F41のQ端子からは、1H毎にレベルの変化する信号が得られ、これは垂直クロック(CKV)としてLCDパネル200のVドライバ210に出力される。

【0049】デコーダ18は、Hカウンタ12のドットクロックカウント値に基づいたパルス信号を発生し、これは、1H毎に表示データを反転させるための反転制御信号(FRP)を出力するためのF/F40にクロックを供給するアンドゲート43に1入力としてF/F25を介して供給されている。

【0050】1H幅制御回路19は、各ゲートラインの

1選択期間に対応する1H期間に1回Hリセット信号(Hreset)を発生し、後述のアンドゲート32及びVカウンタ34と共にクロック作成部の一部として機能する。

【0051】Vカウンタ34は、アンドゲート32の出力をクロックとして受け、アンドゲート33の出力によりリセットされる。アンドゲート32には、1H幅制御回路19からのHリセットパルス(Hreset)と、アンドゲート11を介して供給されるドットクロック(DOTCLK)とが入力されており、Vカウンタ34は、1Hに1回Hとなるパルスをカウントし、1V期間毎に垂直同期信号(Vsync)に応じてそのカウント値をリセットする。

【0052】デコーダ35は、Vカウンタ34でのカウント値に基づいて1垂直走査期間(1V)に1回、1V期間のスタートを示す垂直スタートパルス(STV)をF/F37を介して出力する。

【0053】デコーダ36は、Vカウンタ34でのカウント値に基づいて、該カウント値がLCDパネル200のゲートライン数nに応じた数値になるとVリセットパルス(Vreset)をF/F38を介して出力する。このVリセット信号(Vreset)は、F/F40のリセット端子に供給され、1H及び1フレームごとに表示データの極性を反転させる反転パルス(FRP)をリセットし、またF/F41のリセット端子にも供給されて上述のVクロック(CKV)をリセットする。さらに、このVリセットパルスは、ドットクロック(DOTCLK)との論理積をとるアンドゲート42に供給され、F/F39は、このゲート42のアンド出力をクロック端子に受けて動作することで、1フレーム毎に反転するQ出力が得られる。

【0054】EXORゲート45は、上記F/F39及びF/F40の出力の排他的論理和をとり、その結果は、極性反転パルス(FRP)としてLCDパネル200のHドライバ220に出力される。

【0055】次に、このT/C400の電源オフ制御動作について説明する。T/C400の中に設けられたF/F52のD端子には、タイマー回路270からのタイマー信号が供給されており、F/F52は、垂直同期信号VsyncをC/K端子に受けている。このため、パワーセーブモード時に、タイマー回路270から供給されるタイマー信号がHレベル(電源オフ命令)になった後、次に垂直同期信号Vsyncが入力されるとF/F52はタイマー信号を取り込む。よって、F/F52のQ出力はHレベル、反転Q出力はLレベルとなる。この反転Q出力はアンドゲート11の一方の入力に供給されており、該反転Q出力がLレベルとなることにより、アンドゲート11の出力はLレベルに固定される。従って、上記Hカウンタ12、Vカウンタ34における各カウント動作が停止し、これに伴って、各制御信号(CKH、STH、PCG、ENB、STV、FRP、CKV)の出力が停止する。また、図8に示すLCD

200のVドライバにおいて、ゲート選択信号をV方向に順次転送するシフトレジスタ251、252・・・の転送動作が停止し、さらにENBがLレベルとなるので、各ゲートラインへの選択信号の出力が禁止される。

【0056】以上のように、タイマー信号が供給されてから、次の垂直同期信号Vsyncが入力され、つまり次の垂直帰線期間になると、LCD200に対する各制御信号の出力が停止するとともに、Vドライバ210から全ゲートラインへの選択信号の出力が停止される。

【0057】また、同じ垂直同期信号Vsyncをクロック端子に受けFF52のQ出力をD端子に受けるFF53は、FF52のHレベルのQ出力を、さらに次の垂直同期信号Vsyncの供給されるタイミングで取り込み、これが電源制御信号として図6に示すように、電源回路350に出力される。

【0058】電源回路350においては、実施形態1と同様に、パワーセーブモード時にオンオフ信号としてHが供給されると電源電圧をオフ制御する。以上、図7に示す構成によれば、LCD200に対する各制御信号を停止してから1垂直期間経過後に電源電圧のオフ制御が行われることとなる。

【0059】アクティブマトリクス型LCDでは、選択信号（ゲート信号）によってTFTがオン制御されたときにデータラインに供給されているデータ信号が、該TFTを介して各画素の液晶容量及び保持容量に書き込まれて保持され、TFTがオフした後も、一定期間そのデータを保持し表示が行われる。従って、本実施形態3のように、パワーセーブモード時に電源オフ制御する場合にも、ゲートラインへの選択信号出力を停止してから、電源電圧をオフ制御することにより、非制御状態でTFTがオンすることが防がれ、通常時動作時のTFTの非選択期間と同様に、電源電圧オフ制御後においても、オフ直前まで各画素で行われていた表示を所定期間維持することができる。

【0060】なお、以上の説明においては、T/C400がLCD200に対する全制御信号を停止してから電源電圧のオフ制御する構成であるが、図7のFF23から出力されるENBのみを用いてゲートラインへの選択信号の出力を禁止する構成としてもよい。

【0061】また、図7の構成では、タイマー信号が入力された次の垂直帰線期間内に制御信号の発生を停止させるために、垂直同期信号Vsyncを利用して該垂直帰線期間の判別を行っている。用いて行っている。しかし、これには限られず、別途垂直帰線信号判別用の信号を作成してこれを用いてもよい。

【0062】またLCD200に対する制御信号の発生を停止してから、電源回路350での電源電圧のオフ制御までは、1垂直期間内に設定しているが、制御信号の停止から電源オフ制御までの期間が特にこの垂直期間には限られない。

*【0063】さらに、本実施形態3において、パワーセーブモード時に電源電圧を周期的オンオフ制御することに関しては、上述の実施形態と同様に実行される。図7の構成において、パワーセーブモード時にける電源オン制御は、タイマー信号がLとなり、これが次の垂直同期信号Vsyncの立ち上がりでFF52にラッチされると自動的に行われる。すなわち、Lレベルのタイマー信号をラッチすることで、反転Q出力はHレベルとなり、アンドゲート11から各カウンタへのドットクロックDOTCLK出力が許可され、また、次の垂直同期信号VsyncのタイミングでFF53のQ出力がLレベルとなり、これが電源回路350に供給されることで、電源電圧がオン制御される。

【0064】以上本実施形態3のような制御によりパワーセーブモード時に所定期間で電源オンオフ制御が行われると共に、電源オフ時には、オフ直前までの表示を所定期間継続することができる。

【0065】【発明の効果】以上説明したように、本発明の表示装置用の駆動装置はパワーセーブが命じられたときに、電源電圧を所定期間オンオフ制御することができ、電源電圧オフ制御により、駆動回路や表示パネルでの電力消費がなくなり、表示装置における消費電力セーブが可能となる。一方で、パワーセーブ時であっても、自動的に所定期間ごとに電源電圧がオン制御されるため、表示を定期的に見ることができる。

【0066】また本発明によれば、選択信号の出力を停止してから電源電圧をオフ制御するので、画素の容量成分によって、電源オフ直前に各画素はしばらくの間、直前まで行っていた表示を維持でき、電力消費のない電源オフ期間であっても表示を見ることができる。

【図面の簡単な説明】

【図1】 本発明の実施形態1に係る表示装置の構成を示す図である。

【図2】 図1の電源回路350の構成例を示す図である。

【図3】 図1のタイマー回路260の構成を示す図である。

【図4】 本発明の実施形態2に係る表示装置の構成を示す図である。

【図5】 図4の計数回路290の構成を示す図である。

【図6】 本発明の実施形態3に係る表示装置の構成を示す図である。

【図7】 図6のT/C400の構成を示す図である。

【図8】 図6のLCD200におけるVドライバ及び表示部の構成を示す図である。

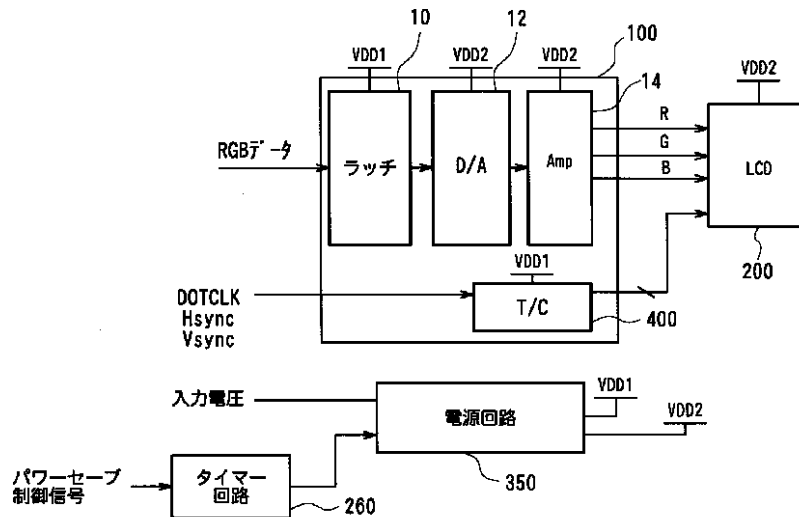
【符号の説明】

10 ラッチ回路、12 デジタルアナログ(D/A)変換回路、14 アンプ、16 CPUインターフェー

ス回路 (CPU I/F)、18 タイミングコントローラ
(T/C)、35c、35s 発振回路、100 駆動
回路、200 表示パネル (LCDパネル)、210
Vドライバ、220 Hドライバ、260、270 タ*

*イマー回路、264、292 カウンタ、266、29
4 デコーダ回路、290 計数回路、350 電源回
路、400 T/C。

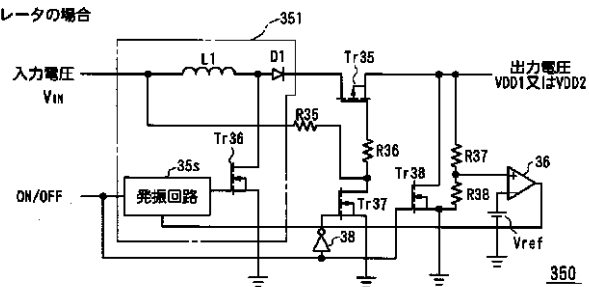
【図1】



【図2】

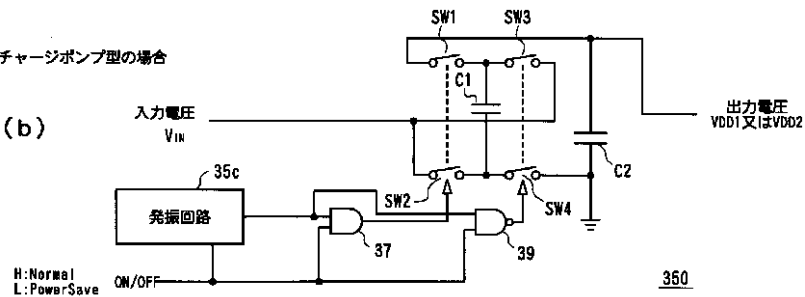
・スイッチングレギュレータの場合

(a)

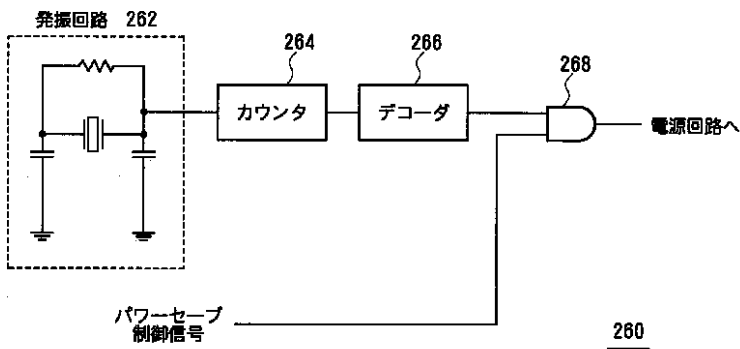


・チャージポンプ型の場合

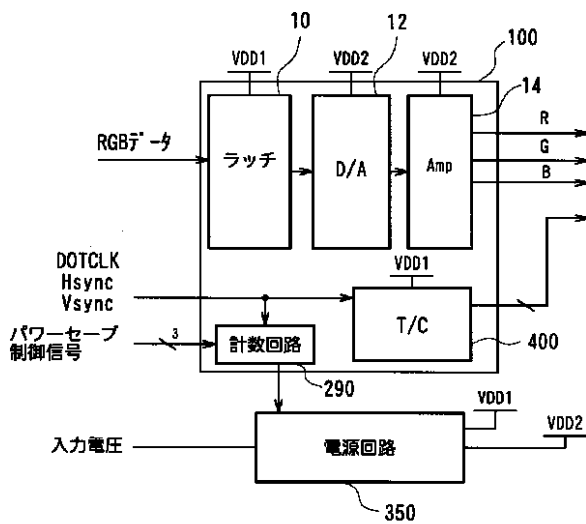
(b)



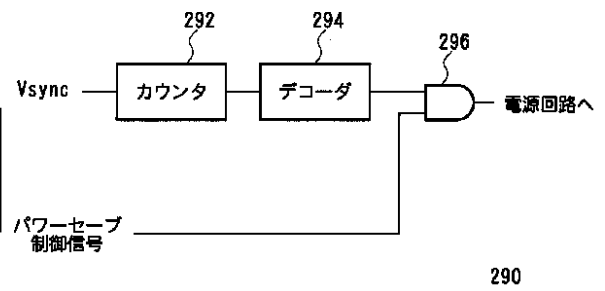
【図 3】



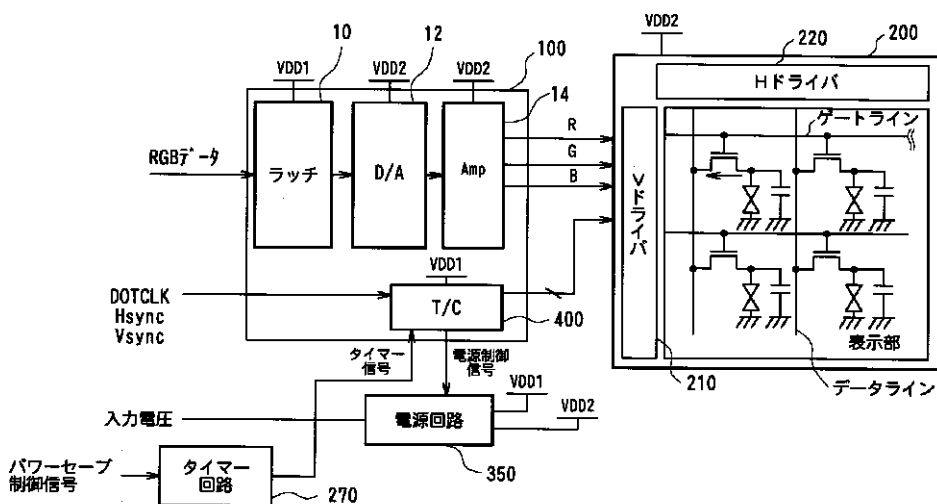
【図 4】



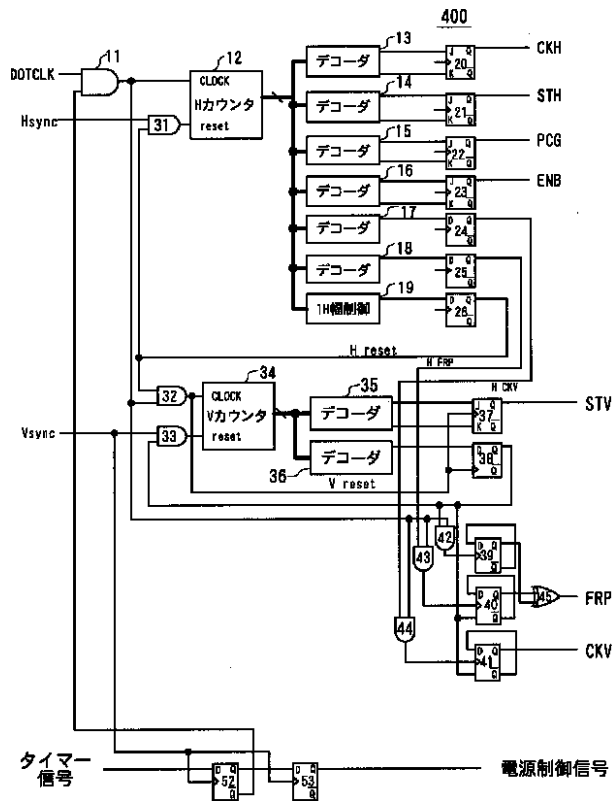
【図 5】



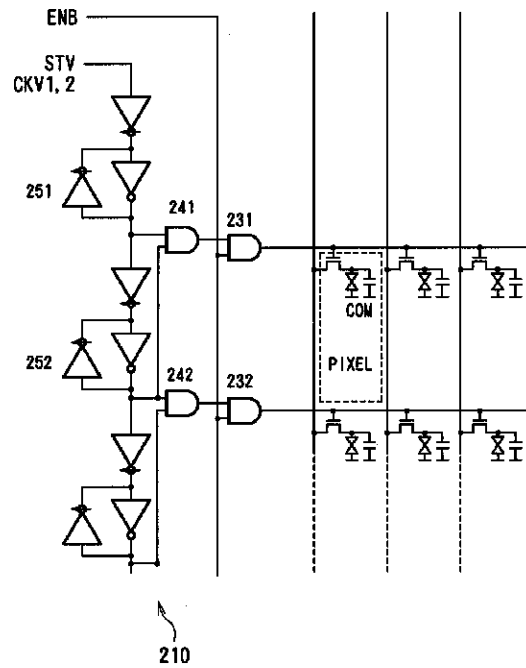
【図 6】



【図7】



【図8】



フロントページの続き

F ターム(参考) 2H093 NC02 NC16 ND39
 5C006 AF51 AF53 AF61 AF68 AF69
 BB11 BC03 BC12 BC16 BF22
 BF26 BF29 BF42 FA47
 5C080 AA06 AA10 BB05 DD26 FF11
 JJ02 JJ03

专利名称(译)	表示装置用驱动装置		
公开(公告)号	JP2002175062A	公开(公告)日	2002-06-21
申请号	JP2001288686	申请日	2001-09-21
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	則武和人 筒井雄介		
发明人	則武 和人 筒井 雄介		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.520 G09G3/20.611.A G09G3/20.611.B G09G3/20.612.G		
F-TERM分类号	2H093/NC02 2H093/NC16 2H093/ND39 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF68 5C006/AF69 5C006/BB11 5C006/BC03 5C006/BC12 5C006/BC16 5C006/BF22 5C006/BF26 5C006/BF29 5C006/BF42 5C006/FA47 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 2H193/ZF02		
优先权	2000300836 2000-09-29 JP		
外部链接	Espacenet		

摘要(译)

解决的问题：在简单的配置下支持省电模式，同时在诸如显示设备之类的电源系统中显示。在省电模式下，由诸如计时电路260或计数电路之类的时间测量装置控制由诸如驱动电路100之类的电源电路350和LCD 200产生的电源电压以预定间隔开和关。结果，在省电模式下，可以通过断电控制来降低功耗，并且可以以预定间隔执行显示，而无需任何特殊操作。此外，通过在断电控制之前停止栅极选择信号向显示面板的输出，即使在断电之后，也可以在断电之前将显示保持一段时间。

