

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4994454号
(P4994454)

(45) 発行日 平成24年8月8日 (2012.8.8)

(24) 登録日 平成24年5月18日 (2012.5.18)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 612G

G09G 3/20 612F

G09G 3/20 641P

G09G 3/20 623F

請求項の数 12 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2009-523558 (P2009-523558)
 (86) (22) 出願日 平成20年3月17日 (2008.3.17)
 (86) 国際出願番号 PCT/JP2008/054856
 (87) 国際公開番号 W02009/011150
 (87) 国際公開日 平成21年1月22日 (2009.1.22)
 審査請求日 平成21年10月7日 (2009.10.7)
 (31) 優先権主張番号 特願2007-187067 (P2007-187067)
 (32) 優先日 平成19年7月18日 (2007.7.18)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番22号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (74) 代理人 100121348
 弁理士 川原 健児
 (74) 代理人 100114247
 弁理士 奥田 邦廣
 (72) 発明者 松川 年寿
 大阪府大阪市阿倍野区長池町2番22号
 シャープ株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

表示すべき映像を階調表示するアクティブマトリクス型の表示装置であって、
 複数の走査信号線と、前記走査信号線と交差する複数の映像信号線と、前記走査信号線
 および映像信号線の交差点にそれぞれ対応してマトリクス状に配置される複数の表示素子
 とを含む表示部と、

前記走査信号線を選択的に活性化する走査信号線駆動回路と、

前記表示装置の電源が投入されると、電圧値が固定された第1の階調基準電圧を直ちに
 生成する第1の基準電圧発生回路と、

電圧値の変更が可能な第2の階調基準電圧を生成する第2の基準電圧発生回路と、

前記第2の基準電圧発生回路から前記第2の階調基準電圧が与えられた後に、前記第1
 の基準電圧発生回路から入力された前記第1の階調基準電圧を、前記第2の基準電圧発生
 回路から入力された前記第2の階調基準電圧に切り換えて出力する切換回路と、

前記切換回路から出力された前記第1の階調基準電圧または前記第2の階調基準電圧の
 いずれかに基づいて階調電圧を生成し、外部から与えられたデジタル映像信号に基づいて
 、前記階調電圧の中からいずれか1つを選択することによってアナログ映像信号を生成し
 た後、前記アナログ映像信号を前記映像信号線に印加する映像信号線駆動回路とを備える
 ことを特徴とする、表示装置。

【請求項2】

前記走査信号線駆動回路にタイミング制御信号を与え、前記映像信号線駆動回路にタイ

10

20

ミング制御信号およびデジタル映像信号を与えるとともに、設定された階調電圧データを保持する表示制御回路をさらに備え、

前記第2の基準電圧発生回路は、前記表示制御回路から出力される前記階調電圧データをD/A変換することにより、前記第2の階調基準電圧を生成することを特徴とする、請求項1に記載の表示装置。

【請求項3】

前記映像信号線駆動回路の電源電圧を生成し、前記電源電圧の生成終了後に前記表示制御回路の動作の停止を解除する停止解除信号を出力する電源電圧発生回路をさらに備え、

前記表示制御回路は、前記停止解除信号が与えられると、保持された前記階調電圧データを前記第2の基準電圧発生回路に出力することを特徴とする、請求項2に記載の表示装置。

10

【請求項4】

前記映像信号線駆動回路の電源電圧を生成する電源電圧発生回路をさらに備え、

前記第1の基準電圧発生回路は、複数の抵抗を直列に接続することによって形成された複数の節点を有し、前記複数の節点のうち2個以上の節点に、前記電源電圧発生回路から与えられる基本階調電圧を抵抗分割して前記第1の階調基準電圧を生成することを特徴とする、請求項1に記載の表示装置。

【請求項5】

前記複数の抵抗の抵抗値は、前記表示部と同じ種類の表示部を駆動するために使用される分圧回路に含まれる抵抗の抵抗値の平均値であることを特徴とする、請求項4に記載の表示装置。

20

【請求項6】

前記複数の抵抗の抵抗値は、既存の表示装置に含まれる抵抗の抵抗値と同じ抵抗値であることを特徴とする、請求項4に記載の表示装置。

【請求項7】

共通電圧を出力する共通電極駆動回路をさらに備え、

前記表示部は、複数の前記表示素子にそれぞれ設けられた複数の画素電極と、複数の前記画素電極に共通的に設けられた共通電極とを含み、

前記共通電極駆動回路は前記共通電極に共通電圧を与え、

前記第1の階調基準電圧は、前記共通電圧に対して高い階調基準電圧である第1の交流用階調基準電圧および前記共通電圧に対して低い階調基準電圧である第2の交流用階調基準電圧を含み、

30

前記第2の階調基準電圧は、前記共通電圧に対して高い階調基準電圧である第3の交流用階調基準電圧および前記共通電圧に対して低い階調基準電圧である第4の交流用階調基準電圧を含み、

前記階調電圧は、前記第1の交流用階調基準電圧または前記第3の交流用階調基準電圧のいずれかに基づいて生成された、前記共通電圧に対して高い階調電圧である第1の交流用階調電圧と、前記第2の交流用階調基準電圧または前記第4の交流用階調基準電圧のいずれかに基づいて生成された、前記共通電圧に対して低い階調電圧である第2の交流用階調電圧とを含み、

40

前記表示素子は、前記第1の交流用階調電圧に基づいて生成された第1の交流用アナログ映像信号または前記第2の交流用階調電圧に基づいて生成された第2の交流用アナログ映像信号のいずれかが印加される前記画素電極と、前記共通電圧が印加される前記共通電極とによって交流駆動されることを特徴とする、請求項1に記載の表示装置。

【請求項8】

少なくとも前記第1の基準電圧発生回路と、前記第2の基準電圧発生回路と、前記切換回路とが1つの半導体チップの中に形成されていることを特徴とする、請求項1に記載の表示装置。

【請求項9】

複数の走査信号線と、前記走査信号線と交差する複数の映像信号線と、前記走査信号線

50

および映像信号線の交差点にそれぞれ対応してマトリクス状に配置される複数の表示素子とを含む表示部を備え、表示すべき映像を階調表示するアクティブマトリクス型の表示装置の駆動方法であって、

前記表示装置の電源が投入されると、電圧値が固定された第1の階調基準電圧を直ちに生成する第1の基準電圧生成ステップと、

電圧値を変更できるとともに、前記第1の階調基準電圧に遅れて第2の階調基準電圧を生成する第2の基準電圧生成ステップと、

前記第2の基準電圧生成ステップで生成された前記第2の階調基準電圧が与えられた後に、前記第1の階調基準電圧を、前記第2の階調基準電圧に切り換えて出力する切替ステップと、

10

出力された前記第1の階調基準電圧または前記第2の階調基準電圧のいずれかに基づいて階調電圧を生成する階調電圧生成ステップと、

外部から与えられたデジタル映像信号に基づいて、前記階調電圧の中からいずれか1つを選択することによってアナログ映像信号を生成し、前記映像信号線に出力する映像信号出力ステップと、

前記走査信号線を選択的に活性化する走査信号線活性化ステップとを備えることを特徴とする、表示装置の駆動方法。

【請求項10】

設定された階調電圧データを所定のレジスタから出力する階調電圧データ出力ステップをさらに含み、

20

前記第2の基準電圧生成ステップは、出力された前記階調電圧データをD/A変換することを中心とする、請求項9に記載の表示装置の駆動方法。

【請求項11】

前記アナログ映像信号を生成するために必要な電源電圧を生成した後に、前記階調電圧データの出力を可能にする停止解除信号を出力する解除信号出力ステップをさらに含み、

前記階調電圧データ出力ステップは、前記停止解除信号が出力された後に、前記階調電圧データを出力することを中心とする、請求項10に記載の表示装置の駆動方法。。

【請求項12】

前記表示素子に共通的に設けられた共通電極に共通電圧を出力する共通電圧出力ステップをさらに含み、

30

前記第1の基準電圧生成ステップは、前記共通電圧に対して高い階調基準電圧である第1の交流用階調基準電圧と、前記共通電圧に対して低い階調基準電圧である第2の交流用階調基準電圧とを生成し、

前記第2の基準電圧生成ステップは、前記共通電圧に対して高い階調基準電圧である第3の交流用階調基準電圧と、前記共通電圧に対して低い階調基準電圧である第4の交流用階調基準電圧とを生成し、

前記階調電圧生成ステップは、前記第1の交流用階調基準電圧または第3の交流用階調基準電圧に基づいて、前記共通電圧に対して高い階調電圧である第1の交流用階調電圧を生成するとともに、前記第3の交流用階調基準電圧または第4の交流用階調基準電圧に基づいて、前記共通電圧に対して低い階調電圧である第2の交流用階調電圧を生成し、

40

前記映像信号出力ステップは、前記第1の交流用階調電圧に基づいて生成された第1の交流用アナログ映像信号または前記第2の交流用階調電圧に基づいて生成された第2の交流用アナログ映像信号のいずれかを前記映像信号線に出力し、前記共通電圧とともに前記表示素子を交流駆動することを中心とする、請求項9に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置およびその駆動方法に関し、特に、階調表示を行うアクティブマトリクス型表示装置およびその駆動方法に関する。

【背景技術】

50

【0002】

アクティブマトリクス型液晶表示装置は、入力される映像信号に応じたカラーまたは白黒の階調表示が可能であるため、従来、ノートパソコン、コンピュータ用のモニタとして使用されてきた。しかし、近年、多階調化および高解像度化の進展に連れて、携帯電話、カーナビゲーションシステム、テレビジョン受像機などの電子機器にも使用されるようになってきた。

【0003】

図9は、このような電子機器に使用される従来のアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。図9に示すように、液晶表示装置は、マトリクス状に配置された多数の画素形成部を含む液晶パネル（表示部）100と、表示制御回路200と、ゲートドライバ（走査信号線駆動回路）300と、ソースドライバ（映像信号線駆動回路）400と、基準電圧発生回路500と、共通電極駆動回路600と、電源電圧発生回路700とを備えている。

10

【0004】

液晶パネル100は、互いに対向する2枚の絶縁性基板の間に液晶層を挟持する。一方の基板には、ゲートバスライン（走査信号線）GLとソースバスライン（映像信号線）SLとがマトリクス状に配置され、それぞれの交差点近傍に画素形成部が設けられている。画素形成部は、TFT（Thin Film Transistor）10を介してソースバスラインSLに接続された画素電極Epと、他方の基板上に配置された共通電極Ecとを備えている。

【0005】

20

液晶は、直流電圧が加わり続けると、一定方向に固まって動かなくなる焼きつき現象を起こす。このため、液晶が焼きつき現象を起こさないように、画素電極Epの電位を共通電極Ecの電圧VCOMよりも高くする場合と低くする場合とを、所定の周期で交互に繰り返す交流駆動を行う必要がある。

【0006】

表示制御回路200は、外部から送られてくる画像データDATおよびタイミング制御信号TSに基づき、ゲートドライバ300、ソースドライバ400および共通電極駆動回路600を動作させるために、各種のタイミング制御信号およびデジタル映像信号DVを生成する。

【0007】

30

表示制御回路200がゲートドライバ300にタイミング制御信号GCK、GSPを出力すると、ゲートドライバ300は受け取ったタイミング制御信号GCK、GSPに基づいて、各ゲートバスラインGLを1水平期間ずつ順次選択し、選択されたゲートバスラインGLにアクティブな走査信号を出力する。また、表示制御回路200は、ソースドライバ400に、外部から送られてきた画像データDATを、表示すべき映像を表すデジタル映像信号DVとして出力するとともに、タイミング制御信号SCK、SSP、LSを出力する。

【0008】

ソースドライバ400は、表示制御回路200から受け取ったデジタル映像信号DVを、セクタ（「D/Aコンバータ」ともいう）によってアナログ映像信号である駆動用映像信号に変換する。具体的には、セクタは、液晶層を交流駆動するために、基準電圧発生回路500から入力された2種類の階調基準電圧VH1～VH3、VL1～VL3に基づいて生成された階調表示のための2種類のアナログ電圧（以下「階調電圧」という）の中から、デジタル映像信号DVに相当する階調電圧を交互に選択し、駆動用映像信号とする。ソースドライバ400は、変換した駆動用映像信号を、タイミング制御信号SCK、SSP、LSによって決められたタイミングで、ソースバスラインSLを介して画素電極Epに与える。

40

【0009】

一方、共通電極Ecには、共通電極駆動回路600から共通電圧VCOMが与えられる。このため、この共通電圧VCOMと、画素電極Epに与えられた駆動用映像信号が示す

50

電圧とによって、画素電極 E_p と共通電極 E_c からなる画素容量が充電されて、所望の映像が液晶パネル 100 上に表示される。

【0010】

電源電圧発生回路 700 は、外部から 12 ボルトの基準電圧が与えられると、内蔵する DC/DC コンバータによって各回路の電源電圧を生成して出力する。なお、図 9 には、生成された電源電圧のうちアナログ電源電圧 V_{LS} および基本階調電圧 V_{KB} のみ記載し、他の電源電圧の記載は省略した。

【0011】

基準電圧発生回路 500 は、6 個の抵抗 $R_1 \sim R_6$ を直列に接続して、抵抗 $R_1 \sim R_6$ の各節点から必要な電圧を引き出す分圧回路 51 と、分圧回路 51 の各節点にそれぞれ接続されたオペアンプ $OP_1 \sim OP_6$ を含む。分圧回路 51 の一端には、電源電圧発生回路 700 から 15.2 V の基本階調電圧 V_{KB} が与えられ、他端は接地されている。各抵抗 $R_1 \sim R_6$ の抵抗値は、使用される液晶パネル 100 のガンマ特性（液晶パネルに印加される電圧と輝度との関係）に応じて決められる。階調基準電圧は、液晶層を交流駆動するため、共通電圧 V_{COM} よりも高い階調電圧（以下「 V_H 側の階調電圧」という）を発生させるのに必要な第 1 階調基準電圧 V_{H1} ～第 3 階調基準電圧 V_{H3} からなる 3 つの階調基準電圧（以下「 V_H 側の階調基準電圧」という）と、共通電圧 V_{COM} よりも低い階調電圧（以下「 V_L 側の階調電圧」という）を発生させるのに必要な第 1 階調基準電圧 V_{L1} ～第 3 階調基準電圧 V_{L3} からなる 3 つの階調基準電圧（以下「 V_L 側の階調基準電圧」という）とによって構成されている。

【0012】

分圧回路 51 で生成された V_H 側の第 1 階調基準電圧 V_{H1} ～第 3 階調基準電圧 V_{H3} 、および V_L 側の第 1 階調基準電圧 V_{L1} ～第 3 階調基準電圧 V_{L3} は、分圧回路 51 の各抵抗 $R_1 \sim R_6$ の節点からそれぞれ引き出された電圧で、各引出し線はそれぞれオペアンプ $OP_1 \sim OP_6$ を介してソースドライバ 400 に出力されている。このオペアンプ $OP_1 \sim OP_6$ は、抵抗 $R_1 \sim R_6$ の各節点から入力された電圧を低インピーダンスの出力電圧に変換して出力するためのものである。

【0013】

液晶層を交流駆動するために、ソースドライバ 400 では、15.6 V のアナログ電源電圧 V_{LS} と、その 1/2 の大きさの電圧である耐圧基準電圧 V_{BD} と、 V_H 側の階調基準電圧 $V_{H1} \sim V_{H3}$ と、 V_L 側の階調基準電圧 $V_{L1} \sim V_{L3}$ との間には、「ドライバの規定」と呼ばれる次式（1）が成立することが必要とされている。

$$V_{LS} > V_{H1} \sim V_{H3} > V_{BD} > V_{L1} \sim V_{L3} > GND \quad \cdots \quad (1)$$

この式（1）を満たさないソースドライバ 400 では、アナログ電源電圧 V_{LS} の端子と接地端子との間に過電流が流れるため、セレクトが正常に動作せず、液晶パネル 100 に映像が表示されないという問題が発生する。

【0014】

そこで、この基準電圧発生回路 500 によって生成される、 V_H 側および V_L 側の各階調基準電圧 $V_{H1} \sim V_{H3}$ 、 $V_{L1} \sim V_{L3}$ について、式（1）を満たすか否かを検討する。

【0015】

図 10 は、従来例における各階調基準電圧の時間変化を示す図である。図 10 には、接地電圧 GND から所定の電圧値まで上昇する各階調基準電圧 $V_{H1} \sim V_{H3}$ 、 $V_{L1} \sim V_{L3}$ が実線で、アナログ電源電圧 V_{LS} および耐圧基準電圧 V_{BD} が一点鎖線でそれぞれ記載されている。図 10 に示すように、 V_H 側の各階調基準電圧 $V_{H1} \sim V_{H3}$ は、常にアナログ電源電圧 V_{LS} と耐圧基準電圧 V_{BD} との間にあり、 V_L 側の各階調基準電圧 $V_{L1} \sim V_{L3}$ は耐圧基準電圧 V_{BD} と接地電圧 GND との間にあることがわかる。したがって、この基準電圧発生回路 500 で生成される各階調基準電圧 $V_{H1} \sim V_{H3}$ 、 $V_{L1} \sim V_{L3}$ は、式（1）を常に満たしていることがわかる。

【0016】

このため、基準電圧発生回路500で生成された階調基準電圧 $V_{H1} \sim V_{H3}$ 、 $V_{L1} \sim V_{L3}$ がソースドライバ400に与えられても、ソースドライバ400のアナログ電源電圧 V_{LS} の端子と接地端子との間に過電流が流れることはない。なお、式(1)を満たさない場合に、過電流が流れるメカニズムについては後述する。

【0017】

日本の特開2003-84725号公報には、複数の抵抗が直列に接続された分圧回路で、電源電圧を抵抗分割することによって階調基準電圧を生成する基準電圧発生回路が開示されている。また、日本の特開2005-43435号公報には、インストラクションドライバと電源との間にシーケンサを設け、シーケンサがインストラクションドライバに設定値を書き込むタイミングを制御する液晶ドライバが開示されている。

10

【特許文献1】日本の特開2003-84725号公報

【特許文献2】日本の特開2005-43435号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

しかし、ガンマ特性は液晶パネル100ごとに異なるので、液晶パネル100がリニューアルされれば、ガンマ特性を考慮して各階調電圧の電圧値を決め直す必要がある。この階調電圧の電圧値は、ソースドライバ400内の階調電圧発生回路に含まれる抵抗の抵抗値と、制御基板上に形成された分圧回路51を構成する抵抗 $R1 \sim R6$ の抵抗値とによって決まる。この階調電圧の電圧値を変更する場合、階調電圧発生回路の抵抗の抵抗値を変更するよりも、制御基板上の抵抗 $R1 \sim R6$ の抵抗値を変更して調整する方が容易である。

20

【0019】

しかし、制御基板上の抵抗 $R1 \sim R6$ の抵抗値を変更して調整しようとするれば、液晶パネル100をリニューアルするたびに、制御基板を新たに作り直す必要がある。特に近年、液晶表示装置を搭載した電子機器の商品寿命が短くなるにつれて、液晶パネル100の寿命も短くなり、その結果制御基板の寿命も短くなっている。このため、新たに制御基板を作り直すのに要する時間とコストが増大し、液晶表示装置の生産性の向上が妨げられている。

【0020】

30

これに対して、日本の特開2003-84725号公報には、抵抗分割を利用した分圧回路によって階調基準電圧を生成することが記載されているだけで、液晶パネルをリニューアルした場合に生じる上記課題については何も記載されていない。また、日本の特開2005-43435号公報には、シーケンサを用いた液晶ドライバの駆動について記載されているが、液晶パネルをリニューアルした場合については何も記載されていない。

【0021】

そこで本発明は、液晶パネルをリニューアルした場合に、ガンマ特性の補正を簡易かつ迅速に行うことができ、生産性の向上を図ることができる表示装置およびその駆動方法を提供することを目的とする。

【課題を解決するための手段】

40

【0022】

本発明の第1の局面は、表示すべき映像を階調表示するアクティブマトリクス型の表示装置であって、

複数の走査信号線と、前記走査信号線と交差する複数の映像信号線と、前記走査信号線および映像信号線の交差点にそれぞれ対応してマトリクス状に配置される複数の表示素子とを含む表示部と、

前記走査信号線を選択的に活性化する走査信号線駆動回路と、

前記表示装置の電源が投入されると、電圧値が固定された第1の階調基準電圧を直ちに生成する第1の基準電圧発生回路と、

電圧値の変更が可能な第2の階調基準電圧を生成する第2の基準電圧発生回路と、

50

前記第2の基準電圧発生回路から前記第2の階調基準電圧が与えられた後に、前記第1の基準電圧発生回路から入力された前記第1の階調基準電圧を、前記第2の基準電圧発生回路から入力された前記第2の階調基準電圧に切り換えて出力する切換回路と、

前記切換回路から出力された前記第1の階調基準電圧または前記第2の階調基準電圧のいずれかに基づいて階調電圧を生成し、外部から与えられたデジタル映像信号に基づいて、前記階調電圧の中からいずれか1つを選択することによってアナログ映像信号を生成した後、前記アナログ映像信号を前記映像信号線に印加する映像信号線駆動回路とを備えることを特徴とする。

【0023】

本発明の第2の局面は、本発明の第1の局面において、

前記走査信号線駆動回路にタイミング制御信号を与え、前記映像信号線駆動回路にタイミング制御信号およびデジタル映像信号を与えるとともに、設定された階調電圧データを保持する表示制御回路をさらに備え、

前記第2の基準電圧発生回路は、前記表示制御回路から出力される前記階調電圧データをD/A変換することにより、前記第2の階調基準電圧を生成することを特徴とする。

【0024】

本発明の第3の局面は、本発明の第2の局面において、

前記映像信号線駆動回路の電源電圧を生成し、前記電源電圧の生成終了後に前記表示制御回路の動作の停止を解除する停止解除信号を出力する電源電圧発生回路をさらに備え、

前記表示制御回路は、前記停止解除信号が与えられると、保持された前記階調電圧データを前記第2の基準電圧発生回路に出力することを特徴とする。

【0025】

本発明の第4の局面は、本発明の第1の局面において、

前記映像信号線駆動回路の電源電圧を生成する電源電圧発生回路をさらに備え、

前記第1の基準電圧発生回路は、複数の抵抗を直列に接続することによって形成された複数の節点を有し、前記複数の節点のうち2個以上の節点に、前記電源電圧発生回路から与えられる基本階調電圧を抵抗分割して前記第1の階調基準電圧を生成することを特徴とする。

【0026】

本発明の第5の局面は、本発明の第4の局面において、

前記複数の抵抗の抵抗値は、前記表示部と同じ種類の表示部を駆動するために使用される分圧回路に含まれる抵抗の抵抗値の平均値であることを特徴とする。

【0027】

本発明の第6の局面は、本発明の第4の局面において、

前記複数の抵抗の抵抗値は、既存の表示装置に含まれる抵抗の抵抗値と同じ抵抗値であることを特徴とする。

【0028】

本発明の第7の局面は、本発明の第1の局面において、

共通電圧を出力する共通電極駆動回路をさらに備え、

前記表示部は、複数の前記表示素子にそれぞれ設けられた複数の画素電極と、複数の前記画素電極に共通的に設けられた共通電極とを含み、

前記共通電極駆動回路は前記共通電極に共通電圧を与え、

前記第1の階調基準電圧は、前記共通電圧に対して高い階調基準電圧である第1の交流用階調基準電圧および前記共通電圧に対して低い階調基準電圧である第2の交流用階調基準電圧を含み、

前記第2の階調基準電圧は、前記共通電圧に対して高い階調基準電圧である第3の交流用階調基準電圧および前記共通電圧に対して低い階調基準電圧である第4の交流用階調基準電圧を含み、

前記階調電圧は、前記第1の交流用階調基準電圧または前記第3の交流用階調基準電圧のいずれかに基づいて生成された、前記共通電圧に対して高い階調電圧である第1の交流

10

20

30

40

50

用階調電圧と、前記第 2 の交流用階調基準電圧または前記第 4 の交流用階調基準電圧のいずれかに基づいて生成された、前記共通電圧に対して低い階調電圧である第 2 の交流用階調電圧とを含み、

前記表示素子は、前記第 1 の交流用階調電圧に基づいて生成された第 1 の交流用アナログ映像信号または前記第 2 の交流用階調電圧に基づいて生成された第 2 の交流用アナログ映像信号のいずれかが印加される前記画素電極と、前記共通電圧が印加される前記共通電極とによって交流駆動されることを特徴とする。

【0029】

本発明の第 8 の局面は、本発明の第 1 の局面において、

少なくとも前記第 1 の基準電圧発生回路と、前記第 2 の基準電圧発生回路と、前記切換回路とが 1 つの半導体チップの中に形成されていることを特徴とする。

【0030】

本発明の第 9 の局面は、複数の走査信号線と、前記走査信号線と交差する複数の映像信号線と、前記走査信号線および映像信号線の交差点にそれぞれ対応してマトリクス状に配置される複数の表示素子とを含む表示部を備え、表示すべき映像を階調表示するアクティブマトリクス型の表示装置の駆動方法であって、

前記表示装置の電源が投入されると、電圧値が固定された第 1 の階調基準電圧を直ちに生成する第 1 の基準電圧生成ステップと、

電圧値を変更できるとともに、前記第 1 の階調基準電圧に遅れて第 2 の階調基準電圧を生成する第 2 の基準電圧生成ステップと、

前記第 2 の基準電圧生成ステップで生成された前記第 2 の階調基準電圧が与えられた後に、前記第 1 の階調基準電圧を、前記第 2 の階調基準電圧に切り換えて出力する切換ステップと、

出力された前記第 1 の階調基準電圧または前記第 2 の階調基準電圧のいずれかに基づいて階調電圧を生成する階調電圧生成ステップと、

外部から与えられたデジタル映像信号に基づいて、前記階調電圧の中からいずれか 1 つを選択することによってアナログ映像信号を生成し、前記映像信号線に出力する映像信号出力ステップと、

前記走査信号線を選択的に活性化する走査信号線活性化ステップとを備えることを特徴とする。

【0031】

本発明の第 10 の局面は、本発明の第 9 の局面において、

設定された階調電圧データを所定のレジスタから出力する階調電圧データ出力ステップをさらに含み、

前記第 2 の基準電圧生成ステップは、出力された前記階調電圧データを D/A 変換することであることを特徴とする。

【0032】

本発明の第 11 の局面は、本発明の第 10 の局面において、

前記アナログ映像信号を生成するために必要な電源電圧を生成した後に、前記階調電圧データの出力を可能にする停止解除信号を出力する解除信号出力ステップをさらに含み、

前記階調電圧データ出力ステップは、前記停止解除信号が出力された後に、前記階調電圧データを出力することであることを特徴とする。

【0033】

本発明の第 12 の局面は、本発明の第 9 の局面において、

前記表示素子に共通的に設けられた共通電極に共通電圧を出力する共通電圧出力ステップをさらに含み、

前記第 1 の基準電圧生成ステップは、前記共通電圧に対して高い階調基準電圧である第 1 の交流用階調基準電圧と、前記共通電圧に対して低い階調基準電圧である第 2 の交流用階調基準電圧とを生成し、

10

20

30

40

50

前記第2の基準電圧生成ステップは、前記共通電圧に対して高い階調基準電圧である第3の交流用階調基準電圧と、前記共通電圧に対して低い階調基準電圧である第4の交流用階調基準電圧とを生成し、

前記階調電圧生成ステップは、前記第1の交流用階調基準電圧または第3の交流用階調基準電圧に基づいて、前記共通電圧に対して高い階調電圧である第1の交流用階調電圧を生成するとともに、前記第3の交流用階調基準電圧または第4の交流用階調基準電圧に基づいて、前記共通電圧に対して低い階調電圧である第2の交流用階調電圧を生成し、

前記映像信号出力ステップは、前記第1の交流用階調電圧に基づいて生成された第1の交流用アナログ映像信号または前記第2の交流用階調電圧に基づいて生成された第2の交流用アナログ映像信号のいずれかを前記映像信号線に出力し、前記共通電圧とともに前記表示素子を交流駆動することを特徴とする。

10

【発明の効果】

【0034】

本発明の第1の局面によれば、表示装置は、第1の基準電圧発生回路と第2の基準電圧発生回路とを有している。第2の基準電圧発生回路は、電圧値の変更が可能な第2の階調基準電圧を生成するので、表示部をリニューアルしたためにガンマ特性が変わった場合でも、リニューアル後のガンマ特性に合った電圧値の第2の階調基準電圧を簡易かつ迅速に生成することができる。また、表示装置の電源が投入されてから第2の階調基準電圧が生成されるまでの間に時間が必要な場合には、それまでの間、第1の基準電圧発生回路から、固定された電圧値の第1の階調基準電圧を出力させて、表示装置の起動時に一時的に使用する第1の階調電圧を生成する。そして、第2の階調基準電圧が生成されるようになると、第1の階調基準電圧を第2の階調基準電圧に切り換えて、第2の階調電圧を生成する。このように、第2の階調基準電圧が生成されるまでに時間を要する場合であっても、第2の階調基準電圧が与えられた後に、第1の階調基準電圧を第2の階調基準電圧に切り換えれば、表示部をリニューアルした場合であっても、リニューアル後の表示部に合わせたガンマ補正を簡易かつ迅速に行うことができ、ひいては表示装置の生産性を向上させることができる。

20

【0035】

本発明の第2の局面によれば、第2の基準電圧発生回路は、表示制御回路に保持されていた階調電圧データを受け取り、受け取った階調電圧データをD/A変換して第2の階調基準電圧を生成している。このため、表示部がリニューアルされても、階調電圧データを設定し直すだけで、第2の基準電圧発生回路は、リニューアル後の表示部のガンマ特性に合わせた第2の階調基準電圧を生成することができる。

30

【0036】

本発明の第3の局面によれば、表示制御回路は、電源電圧発生回路から動作の停止を解除する停止解除信号を受け取るまで動作を停止しているので、第2の基準電圧発生回路に階調電圧データを出力することができない。このため、階調電圧データをD/A変換して生成された第2の階調基準電圧は、表示装置の電源投入後直ちに生成される第1の階調基準電圧よりも遅れて出力される。したがって、第2の階調基準電圧が生成されるまでの間、第1の階調基準電圧を一時的に使用する。

40

【0037】

本発明の第4の局面によれば、第1の基準電圧発生回路は、複数の抵抗を直列に接続した分圧回路を含んでいる。この分圧回路には、表示装置の電源投入後直ちに電源電圧発生回路で生成される基本階調電圧が印加され、抵抗分割により第1の階調基準電圧が生成される。このため、第1の基準電圧発生回路は、表示装置の電源を投入した直後に、第1の階調基準電圧を生成することができる。

【0038】

本発明の第5の局面によれば、複数の抵抗の抵抗値を、表示部と同じ種類の表示部を駆動するために使用される分圧回路に含まれる抵抗の抵抗値の平均値とする。また、本発明の第6の局面によれば、複数の抵抗の抵抗値を、既存の表示装置の表示部に含まれる抵抗

50

の抵抗値と同じにする。このため、第1の階調基準電圧に基づいて生成される第1の階調電圧は、リニューアル後の表示部のガンマ特性に最適な階調電圧ではない。しかし、類似の表示部に対して一般的に使用されている階調電圧であるため、リニューアル後の表示部に最適な第2の階調基準電圧が生成されるまでの間、暫定的に使用することによって第1のアナログ映像信号を生成することができる。

【0039】

本発明の第7の局面によれば、共通電極に対して高い第1の交流用階調基準電圧または第3の交流用階調基準電圧に基づいて生成された、共通電極に対して高い第1の交流用階調電圧と、共通電極に対して低い第2の交流用階調基準電圧または第4の交流用階調基準電圧に基づいて生成された、共通電極に対して低い第2の交流用階調電圧とが生成される。そして、第1の交流用階調電圧に基づいて生成された第1の交流用アナログ映像信号と、第2の交流用階調電圧に基づいて生成された第2の交流用アナログ映像信号のいずれかを画素電極に、共通電圧を共通電極にそれぞれ印加することによって、表示装置を交流駆動することができる。

10

【0040】

本発明の第8の局面によれば、少なくとも第1の基準電圧発生回路と、第2の基準電圧発生回路と、切換回路とが1つの半導体チップの中に形成されているので、表示装置を小型化できるとともに製造コストを低く抑えることができる。

【図面の簡単な説明】

20

【0041】

【図1】基礎検討に係る液晶表示装置の全体構成を示すブロック図である。

【図2】上記基礎検討において、各階調基準電圧の時間変化を示す図である。

【図3】本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

【図4】上記実施形態におけるソースドライバの構成を示すブロック図である。

【図5】上記実施形態において、基準電圧発生回路によって生成された、V_H側およびV_L側の各階調基準電圧の時間変化を示す図である。

【図6】上記実施形態における414出力のソースドライバ内に設けられた階調電圧発生回路およびセレクトの構成を示すブロック図である。

30

【図7】上記実施形態における第1分圧回路およびV_H側セレクトの一部を示す回路図である。

【図8】上記実施形態に係る液晶表示装置の実装状態を示す概略図である。

【図9】従来例に係るアクティブマトリクス型液晶表示装置の全体構成を示すブロック図である。

【図10】従来例における各階調基準電圧の時間変化を示す図である。

【符号の説明】

【0042】

15…制御基板

44…階調電圧発生回路

40

44a…第1分圧回路

44b…第2分圧回路

45…セレクト

45a…V_H側セレクト

45b…V_L側セレクト

48a～48g…アナログスイッチ

51…分圧回路

52…D/Aコンバータ

100…液晶パネル

200…表示制御回路

50

250…切換回路
 300…ゲートドライバ（走査信号線駆動回路）
 400…ソースドライバ（映像信号線駆動回路）
 500…基準電圧発生回路
 600…共通電極駆動回路
 700…電源電圧発生回路
 Ec…共通電極
 Ep…画素電極
 GL…ゲートバスライン（走査信号線）
 KD…階調電圧データ
 R1～R6…抵抗
 SL…ソースバスライン（映像信号線）
 SR…停止解除信号
 VCOM…共通電圧
 VKB…基本階調電圧
 VH1～VH3…VH側の第1～第3階調基準電圧
 VL1～VL3…VL側の第1～第3階調基準電圧
 Vht1～Vht3…VH側の第1～第3暫定階調基準電圧
 Vlt1～Vlt3…VL側の第1～第3暫定階調基準電圧
 Vhn1～Vhn3…VH側の第1～第3正規階調基準電圧
 Vln1～Vln3…VL側の第1～第3正規階調基準電圧
 VHRt、VL_Rt…VH側の暫定階調電圧群、VL側の暫定階調電圧群
 VHRn、VL_Rn…VH側の正規階調電圧群、VL側の正規階調電圧群

10

20

【発明を実施するための最良の形態】

【0043】

<1. 基礎検討>

本発明の一実施形態に係る液晶表示装置の開発を行うにあたり、その問題点と解決策を明らかにするための基礎検討を行った。このため、まず添付図面を参照しつつ基礎検討に用いた液晶表示装置について説明する。

【0044】

30

<1. 1 全体構成および動作>

図1は、基礎検討に用いた液晶表示装置の全体構成を示すブロック図である。図1に示すように、この液晶表示装置は、マトリクス状に配置された複数の画素形成部を含む液晶パネル100と、表示制御回路200と、ゲートドライバ（走査信号線駆動回路）300と、ソースドライバ（映像信号線駆動回路）400と、基準電圧発生回路として動作するD/Aコンバータ（DAC）52と、共通電極駆動回路600と、電源電圧発生回路700とを備え、256階調の階調表示を行うことができる。

【0045】

液晶パネル100には、複数本のソースバスライン（映像信号線）SLと、複数本のゲートバスライン（走査信号線）GLとがマトリクス状に配置され、ソースバスラインSLとゲートバスラインGLとの交差点近傍に画素形成部（表示素子）が設けられている。各画素形成部は、対応する交差点を通過するゲートバスラインGLにゲート電極が接続されるとともに、この交差点を通過するソースバスラインSLにソース電極が接続されたスイッチ素子としてのTF_T10と、そのTF_T10のドレイン電極に接続された画素電極Epと、各画素形成部に共通的に設けられた共通電極Ecとを含み、画素電極Epと共通電極Ecとによって画素容量が形成されている。

40

【0046】

表示制御回路200は、外部から送られてくる画像データDATとタイミング制御信号TSとを受け取り、デジタル映像信号DVと、ソーススタートパルス信号SSP、ソースクロック信号CLK、ラッチストロブ信号LSとをソースドライバ400に出力する。

50

また、表示制御回路200は、ゲートスタートパルス信号GSPおよびゲートクロック信号GCKをゲートドライバ300に、共通電極制御信号VCを共通電極駆動回路600にそれぞれ出力する。

【0047】

ソースドライバ400は、表示制御回路200から出力されたデジタル映像信号DV、ソーススタートパルス信号SSP、ソースクロック信号SCK、およびラッチストロブ信号LSを受け取り、液晶パネル100内の各画素容量を充電するために駆動用映像信号を各ソースバスラインSLに印加する。ゲートドライバ300は、各ゲートバスラインGLを1水平走査期間ずつ順次選択するために、表示制御回路200から出力されたゲートスタートパルス信号GSPとゲートクロック信号GCKとに基づいて、アクティブな走査信号を各ゲートバスラインGLに順次印加する。このようにして、各ソースバスラインSLに駆動用映像信号が印加され、各ゲートバスラインGLに走査信号が印加されて、液晶パネル100に画像が表示される。

10

【0048】

電源電圧発生回路700は、外部から12ボルトの基準電圧が入力されると、内蔵するDC/DCコンバータによって各回路の電源電圧を生成して出力する。なお、図1には、生成される電源電圧のうち、本発明の実施形態を説明するために必要なアナログ電源電圧VLSおよび基本階調電圧VKBのみ記載し、他の電源電圧の記載は省略した。

【0049】

<1. 2 階調基準電圧および階調電圧の生成>

20

次に、ソースドライバ400に与える階調基準電圧の生成について説明する。この液晶表示装置では、階調基準電圧は、共通電圧VCOMよりも高い階調電圧（以下「VH側の階調電圧」という）を発生させるために必要な第1階調基準電圧VH1～第3階調基準電圧VH3の3つの階調基準電圧（以下「VH側の階調基準電圧」という）と、共通電圧VCOMよりも低い階調電圧（以下「VL側の階調電圧」という）を発生させるために必要な第1階調基準電圧VL1～第3階調基準電圧VL3の3つの階調基準電圧（以下「VL側の階調基準電圧」という）の合計6つの階調基準電圧VH1～VH3、VL1～VL3からなる。

【0050】

これら6つの階調基準電圧VH1～VH3、VL1～VL3は、次のようにして生成される。具体的には、VH側の第1階調基準電圧VH1は、電源電圧発生回路700内で生成された1.5Vの基本階調電圧VKBが、オペアンプOP1を介してソースドライバ400に入力された電圧である。また、階調基準電圧を生成するために必要なデータ（以下「階調電圧データ」という）KDを、表示制御回路200内に設けられたレジスタ21に予め格納しておく。この階調電圧データKDは、生成したい階調基準電圧VH1～VH3、VL1～VL3の電圧値に応じて書き換えることができる。そして、表示制御回路200が動作を開始した時点で、D/Aコンバータ(DAC)52に出力する。

30

【0051】

D/Aコンバータ52は、受け取った階調電圧データKDをD/A変換することによって、VH側の第2階調基準電圧VH2と第3階調基準電圧VH3、VL側の第1階調基準電圧VL1～第3階調基準電圧VL3をそれぞれ生成し、ソースドライバ400に出力する。

40

【0052】

ソースドライバ400に入力された6つの階調基準電圧VH1～VH3、VL1～VL3は、ソースドライバ400内に設けられた階調電圧発生回路に与えられる。階調電圧発生回路は、後述するように、それぞれ256個の抵抗を直列に接続したVH側の階調電圧群を発生させる第1分圧回路とVL側の階調電圧群を発生させる第2分圧回路とからなる。第1分圧回路は、VH側の第1階調基準電圧VH1～第3階調基準電圧VH3に基づいて256階調のVH側階調電圧群VHRを生成し、第2分圧回路は、VL側の第1階調基準電圧VL1～第3階調基準電圧VL3に基づいて256階調のVL側階調電圧群VLR

50

を生成する。

【0053】

この液晶表示装置では、液晶パネル100をリニューアルしたり、そのパネルサイズを変更したりするために、液晶パネル100を取り替えた場合であっても、新たな液晶パネル100のガンマ特性に応じた階調電圧データKDを表示制御回路200のレジスタ21に書き込むだけでよく、制御基板を新たに準備する必要はない。このため、液晶パネル100を取り替えても、従来使用していた制御基板をそのまま使用できるので、制御基板を作り直すのに要するコストと時間を節約することができる。したがって、液晶表示装置の生産性を向上させることができる。

【0054】

10

<1.3 問題点>

図2は、基礎検討に用いた液晶表示装置の各階調基準電圧の時間変化を示す図である。図2を参照して、これらの関係を詳細に説明する。VH側の第1階調基準電圧VH1は、電源電圧発生回路700で生成された基本階調電圧VKBであるので、他の階調基準電圧よりも早く立ち上がって15.2Vまで上昇する。VH側の第1階調基準電圧VH1が立ち上がってから、所定の時間が経過した後にVH側の第2階調基準電圧VH2と第3階調基準電圧VH3、VL側の第1階調基準電圧VL1～第3階調基準電圧VL3が同時に立ち上がって、それぞれ所定の電圧値まで上昇する。なお、VH側の第1階調基準電圧VH1が立ち上がってから、VH側の第2階調基準電圧VH2～VL側の第3階調基準電圧VL3が立ち上がるまでの間、VH側の第2階調基準電圧VH2～VL側の第3階調基準電圧VL3の端子はいずれもオープン状態にあり、立ち上がる時にそれぞれ一旦、接地電位GNDになってから立ち上がり始める。

20

【0055】

また、図2には、アナログ電源電圧VLSおよび耐圧基準電圧VBDがそれぞれ一点鎖線で示されている。アナログ電源電圧VLSおよび耐圧基準電圧VBDは、VH側の第1階調基準電圧VH1と同時に接地電位GNDから立ち上がり始め、VH側の第1階調基準電圧VH1が15.2Vになったときに、それぞれ15.6V、7.8Vになる。

【0056】

上述のように、VH側の第1階調基準電圧VH1と他の階調基準電圧VH2～VL3の立ち上がり時期が異なる理由について説明する。電源電圧発生回路700は、外部から基準電圧が与えられると、基準電圧からDC/DCコンバータにより各種の電源電圧を生成する。これらの電源電圧のうちの1つであるアナログ電源電圧VLSからレギュレータによって生成された基本階調電圧VKBが、VH側の第1階調基準電圧VH1となる。したがって、VH側の第1階調基準電圧VH1は、アナログ電源電圧VLSと同時に立ち上がる。

30

【0057】

これに対して、VH側の第1階調基準電圧VH1が立ち上がったとき、電源電圧発生回路700は表示制御回路200に停止解除信号SRを出力していないので、表示制御回路200はその動作を停止している。その後、電源電圧発生回路700は、必要な各電源電圧を生成し終わると、表示制御回路200に停止解除信号SRを出力する。表示制御回路200は、停止解除信号SRを受け取ると、動作の停止が解除されて、レジスタ21に格納されている階調電圧データKDをD/Aコンバータ52に出力する。D/Aコンバータ52は、与えられた階調電圧データKDをD/A変換して、VH側の第2階調基準電圧VH2～VL側の第3階調基準電圧VL3を生成する。このため、VH側の第1階調基準電圧VH1と、他の階調基準電圧VH2～VL3とではその生成開始時期が異なる。

40

【0058】

次に、上述のVH側の第1階調基準電圧VH1～第3階調基準電圧VH3およびVL側の第1階調基準電圧VL1～第3階調基準電圧VL3が、式(1)を満たしているか否かについて検討する。そこで、式(1)を再び記載する。

$$VLS > VH1 \sim VH3 > VBD > VL1 \sim VL3 > GND \quad \cdots \quad (1)$$

50

【0059】

図2からわかるように、VL側の第1階調基準電圧VL1～第3階調基準電圧VL3は、常に接地電圧GNDと耐圧基準電圧VBDとの間にあり、またVH側の第1階調基準電圧VH1は常にアナログ電源電圧VLSと耐圧基準電圧VBDとの間にあるので、いずれも常に式(1)を満たしていることがわかる。

【0060】

一方、VH側の第2階調基準電圧VH2および第3階調基準電圧VH3は、接地電圧GNDから立ち上がってから所定の期間が経過するまで、接地電圧GNDと耐圧基準電圧VBDとの間にあり、式(1)を満たしていない。しかし、さらに時間が経過すると、まず第2階調基準電圧VH2が耐圧基準電圧VBDよりも大きくなり、その後、第3階調基準電圧VH3も耐圧基準電圧VBDより大きくなる。このため、VH側の第2階調基準電圧VH2および第3階調基準電圧VH3も、最終的に式(1)を満たすようになる。

10

【0061】

VH側の第2階調基準電圧VH2または第3階調基準電圧VH3が式(1)を満たしていない場合、VH側の第1階調基準電圧VH1の端子と、VH側の第2階調基準電圧VH2の端子または第3階調基準電圧VH3の端子との間、具体的には後述するようにソースドライバ400内のセクタ(「D/Aコンバータ」ともいう)に過電流が流れる。このため、セクタが正常に動作しなくなって、液晶パネル100に映像が表示されないという問題が生じる。

【0062】

20

なお、VH側の第1階調基準電圧VH1は、アナログ電源電圧VLSから生成された基本階調電圧VKBであるので、過電流は、アナログ電源電圧VLSの端子と、VH側の第2階調基準電圧VH2の端子または第3階調基準電圧VH3の端子との間に流れる。特に、VH側の第2階調基準電圧VH2または第3階調基準電圧VH3の立ち上がり時に、これらの端子はオープン状態から、一旦接地電圧GNDになった後に上昇するので、アナログ電源電圧VLSの端子と接地端子との間に過電流が流れる。過電流がセクタに流れるメカニズムの詳細については後で説明する。

【0063】

<2. 実施形態>

以下、添付図面を参照しつつ本発明の一実施形態について説明する。

30

【0064】

<2. 1 全体構成>

図3は、本発明の一実施形態に係るアクティブマトリックス型液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、液晶パネル100と、表示制御回路200と、切換回路250と、ゲートドライバ300と、ソースドライバ400と、基準電圧発生回路500と、共通電極駆動回路600と、電源電圧発生回路700とを備え、256階調の階調表示をすることができる。上記回路のうち、基礎検討で用いた液晶表示装置の回路と同じ部分には同一の参照符号を付してその説明を省略し、異なる部分について説明する。

【0065】

40

<2. 2 基準電圧発生回路>

本実施形態における基準電圧発生回路500は、6個の抵抗R1～R6が直列に接続された分圧回路51と、D/Aコンバータ(DAC)52とを備えている。分圧回路51は6つの階調基準電圧VH1～VH3、VL1～VL3を、D/Aコンバータ52は5つの階調基準電圧VH2～VH3、VL1～VL3を発生させる。以下の説明では、分圧回路51によって生成された階調基準電圧を暫定階調基準電圧と呼び、D/Aコンバータ52によって生成された階調基準電圧を正規階調基準電圧と呼ぶ。

【0066】

まず、分圧回路51によって、VH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧V Lt 3を生成する場合について説明する。分圧回路51の一端には、

50

電源電圧発生回路 700 から 15.2 V の基本階調電圧 V_{KB} が与えられ、他端は接地されている。また、分圧回路 51 の抵抗 $R_1 \sim R_6$ の各節点からは、分割された電圧を引き出す引出し線が延びている。このため、分圧回路 51 は、基本階調電圧 V_{KB} が与えられると、直ちに V_H 側の第 1 暫定階調基準電圧 $V_{Ht1} \sim V_L$ 側の第 3 暫定階調基準電圧 V_{Lt3} を生成することができる。

【0067】

V_H 側の第 1 暫定階調基準電圧 $V_{Ht1} \sim V_L$ 側の第 3 暫定階調基準電圧 V_{Lt3} は、共通電極 E_c の共通電圧 V_{COM} よりも高い暫定階調電圧群 V_{Hrt} を生成するために必要な V_H 側の第 1 暫定階調基準電圧 $V_{Ht1} \sim$ 第 3 暫定階調基準電圧 V_{Ht3} と、共通電圧 V_{COM} よりも低い暫定階調電圧群 V_{Lrt} を生成するために必要な V_L 側の第 1 暫定階調基準電圧 $V_{Lt1} \sim$ 第 3 暫定階調基準電圧 V_{Lt3} とからなる。

10

【0068】

V_H 側の第 1 暫定階調基準電圧 V_{Ht1} は、分圧回路 51 の抵抗 R_1 の上端の電圧であり、オペアンプ OP_1 を介して直接ソースドライバ 400 に入力されている。この V_H 側の第 1 暫定階調基準電圧 V_{Ht1} は、電源電圧発生回路 700 から出力された基本階調電圧 V_{KB} と同じ 15.2 V の電圧であり、さらに後述する第 1 正規階調基準電圧 V_{Hn1} も同じ電圧である。このため、図 3 には、 V_H 側の第 1 暫定階調基準電圧 V_{Ht1} に括弧をつけて記載している。

【0069】

また、 V_H 側の第 2 暫定階調基準電圧 V_{Ht2} と第 3 暫定階調基準電圧 V_{Ht3} はそれぞれ分圧回路 51 の抵抗 R_2 および抵抗 R_3 の上端の節点から引き出された電圧であり、 V_L 側の第 1 暫定階調基準電圧 $V_{Lt1} \sim$ 第 3 暫定階調基準電圧 V_{Lt3} はそれぞれ分圧回路 51 の抵抗 R_4 、抵抗 R_5 および抵抗 R_6 の上端の節点から引き出された電圧で、それぞれオペアンプ $OP_2 \sim OP_6$ を介して切換回路 250 に出力されている。ここで、オペアンプ $OP_1 \sim OP_6$ は、抵抗 $R_1 \sim R_6$ の各節点から入力された電圧を低インピーダンスの出力電圧に変換して出力するためのものである。

20

【0070】

なお、抵抗 $R_1 \sim R_6$ の各抵抗値は、量産されている液晶パネル（前衛モデル）を駆動するために使用される分圧回路に含まれる抵抗の抵抗値と同じ値、または使用されている液晶パネル 100 と同じ種類の液晶パネルを駆動するために使用される分圧回路に含まれる抵抗の抵抗値の平均値とする。

30

【0071】

また、この分圧回路 51 では、 V_H 側の第 1 暫定階調基準電圧 $V_{Ht1} \sim$ 第 3 暫定階調基準電圧 V_{Ht3} 、および V_L 側の第 1 暫定階調基準電圧 $V_{Lt1} \sim$ 第 3 暫定階調基準電圧 V_{Lt3} を生成するために、抵抗の数をそれぞれ 3 個ずつとして説明したが、暫定階調基準電圧の数に応じて増減させてもよい。

【0072】

次に、 D/A コンバータ 52 によって、正規階調基準電圧を生成する場合について説明する。正規階調基準電圧を生成するために必要なデータを、階調設定データ KD とし、表示制御回路 200 内に設けられたレジスタ 21 に予め格納しておく。液晶表示装置の電源がオンされ、表示制御回路 200 が動作を開始すると、表示制御回路 200 はレジスタ 21 に格納されている階調設定データ KD を D/A コンバータ 52 に出力する。 D/A コンバータ 52 は、受け取った階調設定データ KD を D/A 変換して V_H 側の第 2 正規階調基準電圧 V_{Hn2} と第 3 正規階調基準電圧 V_{Hn3} 、および V_L 側の第 1 正規階調基準電圧 $V_{Ln1} \sim$ 第 3 正規階調基準電圧 V_{Ln3} をそれぞれ生成して、切換回路 250 に出力する。なお、階調設定データ KD はレジスタに予め格納しておかなくても、必要なときに格納することができる。

40

【0073】

切換回路 250 には、最初に分圧回路 51 からの V_H 側の第 2 暫定階調基準電圧 $V_{Ht2} \sim V_L$ 側の第 3 暫定階調基準電圧 V_{Lt3} のみが入力されるので、切換回路 250 は V

50

H側の第2暫定階調基準電圧 V_{Ht2} ～V L側の第3暫定階調基準電圧 V_{Lt3} をソースドライバ400に出力する。次に、 D/A コンバータ52がV H側の第2正規階調基準電圧 V_{Hn2} ～V L側の第3正規階調基準電圧 V_{Ln3} を生成するようになると、生成されたV H側の第2正規階調基準電圧 V_{Hn2} ～V L側の第3正規階調基準電圧 V_{Ln3} が切換回路250に入力される。このため、切換回路250は、V H側の第2暫定階調基準電圧 V_{Ht2} ～V L側の第3暫定階調基準電圧 V_{Lt3} の代わりにV H側の第2正規階調基準電圧 V_{Hn2} ～V L側の第3正規階調基準電圧 V_{Ln3} をソースドライバ400に出力する。

【0074】

<2.3 電源電圧発生回路の動作>

外部から12Vの基準電圧が与えられると、電源電圧発生回路700は、各回路の動作に必要な電源電圧を生成して出力する。電源電圧発生回路700が生成する電源電圧のうち、アナログ電源電圧 V_{LS} から電源電圧発生回路700内で生成された15.2Vの基本階調電圧 V_{KB} は、分圧回路51によってV H側の第1暫定階調基準電圧 V_{Ht1} ～V L側の第3暫定階調基準電圧 V_{Lt3} を生成するのに使用される。

【0075】

電源電圧発生回路700は、必要な電源電圧を生成し終わると、表示制御回路200に停止解除信号 S_R を出力する。表示制御回路200は、停止解除信号 S_R を受け取ると、レジスタ21内に格納された階調設定データ KD を D/A コンバータ52に出力する。この結果、 D/A コンバータ52は、受け取った階調電圧データ KD を D/A 変換して、V H側の第2正規階調基準電圧 V_{Hn2} ～V L側の第3正規階調基準電圧 V_{Ln3} を生成する。このため、V H側の第1暫定階調基準電圧 V_{Ht1} ～V L側の第3暫定階調基準電圧 V_{Lt3} が生成されてから、V H側の第1正規階調基準電圧 V_{Hn1} ～V L側の第3正規階調基準電圧 V_{Ln3} が生成されるまでに時間のずれが生じる。

【0076】

<2.4 ソースドライバ>

図4は、本実施形態におけるソースドライバ400の構成を示すブロック図である。このソースドライバ400は、シフトレジスタ41と、第1ラッチ回路42と、第2ラッチ回路43と、階調電圧発生回路44と、セクタ（「 D/A コンバータ」ともいう）45とを備えている。以下の説明では、ソースドライバ400は、256階調の階調表示が可能なソースドライバとして説明する。

【0077】

シフトレジスタ41には、表示制御回路200から出力されたソーススタートパルス信号 SSP とソースクロック信号 SCK とが入力される。シフトレジスタ41は、これらの信号 SSP 、 SCK に基づき、ソーススタートパルス信号 SSP に含まれる各パルスを入力端から出力端に順次転送する。第1ラッチ回路42は、シフトレジスタ41から入力されるパルスに応じて、表示制御回路200から出力されたデジタル映像信号 DV をサンプリングしてラッチし、ラッチしたデジタル映像信号 DV を第2ラッチ回路43に転送する。1水平ラインの画素形成部のデジタル映像信号 DV が第2ラッチ回路43に記憶されると、表示制御回路200から第2ラッチ回路43にラッチストロブ信号 LS が与えられる。第2ラッチ回路43は、ラッチストロブ信号 LS を受け取ると、1水平走査期間の間、デジタル映像信号 DV をセクタ45に出力する。その間、シフトレジスタ41および第1ラッチ回路42は、次の水平ラインのデジタル映像信号 DV を順次記憶する。

【0078】

階調電圧発生回路44は、分圧回路51から切換回路250を介して入力されるV H側の第1暫定階調基準電圧 V_{Ht1} ～V L側の第3暫定階調基準電圧 V_{Lt3} に基づき、第2ラッチ回路43から出力された8ビットのデジタル映像信号 DV によって表現され得る256の階調レベルにそれぞれ対応する256個のV H側の暫定階調電圧 V_{Hrt0} ～ V_{Hrt255} 、およびV L側の暫定階調電圧 V_{Lrt0} ～ V_{Lrt255} を生成し、これらをそれぞれV H側の暫定階調電圧群 V_{Hrt} 、V L側の暫定階調電圧群 V_{Lrt} として

出力する。

【0079】

セクタ45は、階調電圧発生回路44によって生成されたVH側の暫定階調電圧群VHRtおよびVL側の暫定階調電圧群VLRtの中から、8ビットのデジタル映像信号DVに対応する1つの暫定階調電圧VHRt(n)、VLRt(n)を選択し、駆動用映像信号として各ソースバスラインSLに出力する。

【0080】

次に、D/Aコンバータ52が動作を開始すると、電源電圧発生回路700から直接入力されるVH側の第1暫定階調基準電圧VHt1すなわちVH側の第1正規階調基準電圧VHn1と、D/Aコンバータ52から入力され、切換回路250によって切り換えられたVH側の第2正規階調基準電圧VHn2～VL側の第3正規階調基準電圧VLn3とが、階調電圧発生回路44に出力される。階調電圧発生回路44は、与えられたVH側の第1正規階調基準電圧VHn1～VL側の第3正規階調基準電圧VLn3に基づき、第2ラッチ回路43から出力された8ビットのデジタル映像信号DVによって表現され得る256の階調レベルにそれぞれ対応する256個のVH側の正規階調電圧VHRn0～VHRn255、およびVL側の正規階調電圧VLRn0～VLRn255を生成し、これらをそれぞれVH側の正規階調電圧群VHRn、VL側の正規階調電圧群VLRnとして出力する。

【0081】

セクタ45は、階調電圧発生回路44によって生成されたVH側の正規階調電圧群VHRnおよびVL側の正規階調電圧群VLRnの中から、8ビットのデジタル映像信号DVに対応する1つの正規階調電圧VHRn(n)、VLRn(n)を選択し、駆動用映像信号として各ソースバスラインSLに出力する。

【0082】

<2.5 階調基準電圧の時間変化>

図5は、本実施形態において、基準電圧発生回路500によって生成された、各階調基準電圧の時間変化を示す図である。すでに説明したように、本実施形態の基準電圧発生回路500は、分圧回路51とD/Aコンバータ52とを含んでいる。このため、図5に示すように、この図には、分圧回路51によって生成されたVH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3と、D/Aコンバータ52によって生成されたVH側の第2正規階調基準電圧VHn2～VL側の第3正規階調基準電圧VLn3と、VH側の第1正規階調基準電圧VHn1とが記載されている。また、図5には、アナログ電源電圧VLSおよび耐圧基準電圧VBDもそれぞれ一点鎖線で示されている。

【0083】

アナログ電源電圧VLSおよび耐圧基準電圧VBDと同時に、VH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3も接地電圧GNDから立ち上がって上昇し、アナログ電源電圧VLSおよび耐圧基準電圧VBDがそれぞれ15.6V、7.8Vになったときに、VH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3も所定の電圧になる。これは、アナログ電源電圧VLSから基本階調電圧VKBが生成されると、生成された基本階調電圧VKBが分圧回路51の一端に与えられ、VH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3が接地電圧GNDから立ち上がって上昇し、所定の電圧になるからである。この段階では、分圧回路51に使用されている抵抗R1～R6の各抵抗値として、前衛モデルの液晶パネルに使用されている抵抗の抵抗値または液晶パネル100と同じ種類の液晶パネルに使用されている抵抗の抵抗値の平均値を使用しており、リニューアル後の液晶パネル100のガンマ特性を考慮したものではない。このため、生成されたVH側の第2暫定階調基準電圧VHt2～VL側の第3暫定階調基準電圧VLt3は、リニューアル後の液晶パネル100にも暫定的に使用できるが、最適なものではない。したがって、VH側の第1暫定階調基準電圧VHt1～VL側の第3暫定階調基準電圧VLt3に基づいて変換されたアナログ映像信号も、概ね液晶パネル100のガンマ特性に合っているが、VH側の第1正

10

20

30

40

50

規階調基準電圧 $V_{Hn1} \sim V_L$ 側の第3正規階調基準電圧 V_{Ln3} に基づいて生成されたアナログ映像信号のような最適な信号ではない。そこで、液晶パネル100のガンマ特性に合ったアナログ映像信号が出力されるまでの間だけ、暫定的に分圧回路51で生成された V_H 側の第1暫定階調基準電圧 $V_{Ht1} \sim V_L$ 側の第3暫定階調基準電圧 V_{Lt3} を使用することによって、液晶パネル100をリニューアルした後も、リニューアル前の分圧回路51が実装された制御基板をそのまま使用することができる。

【0084】

次に、 D/A コンバータ52によって、 V_H 側の第2正規階調基準電圧 $V_{Hn2} \sim V_L$ 側の第3正規階調基準電圧 V_{Ln3} が生成されると、生成された V_H 側の第2正規階調基準電圧 $V_{Hn2} \sim V_L$ 側の第3正規階調基準電圧 V_{Ln3} は切換回路250に入力される。その結果、切換回路250は、 V_H 側の第2暫定階調基準電圧 $V_{Ht2} \sim V_L$ 側の第3暫定階調基準電圧 V_{Lt3} を、 V_H 側の第2正規階調基準電圧 $V_{Hn2} \sim V_L$ 側の第3正規階調基準電圧 V_{Ln3} に切り換えて、ソースドライバ400に出力する。また、 V_H 側の第1暫定階調基準電圧 V_{Ht1} と同じ電圧値の V_H 側の第1正規階調基準電圧 V_{Hn1} が、電源電圧発生回路700からソースドライバ400に直接入力される。このようにして得られた V_H 側の第1正規階調基準電圧 $V_{Hn1} \sim V_L$ 側の第3正規階調基準電圧 V_{Ln3} は、使用されている液晶パネル100のガンマ特性に合ったものである。今まで、ソースドライバ400内では、 V_H 側の第1暫定階調基準電圧 $V_{Ht1} \sim V_L$ 側の第3暫定階調基準電圧 V_{Lt3} に基づいて暫定階調電圧群 V_{Hrt} 、 V_{Lrt} が生成されていたが、これ以後、 V_H 側の第1正規階調基準電圧 $V_{Hn1} \sim V_L$ 側の第3正規階調基準電圧 V_{Ln3} に基づいて正規階調電圧群 V_{Hrn} 、 V_{Lrn} が生成される。

【0085】

<2.6 式(1)との関係>

まず、 V_H 側の3つの第1暫定階調基準電圧 $V_{Ht1} \sim$ 第3暫定階調基準電圧 V_{Ht3} は、接地電圧 GND から立ち上がって所定の電圧値になるまで、常にアナログ電源電圧 V_{LS} と耐圧基準電圧 V_{BD} との間にあり、また V_L 側の3つの第1暫定階調基準電圧 $V_{Lt1} \sim$ 第3暫定階調基準電圧 V_{Lt3} も同様に接地電圧 GND と耐圧基準電圧 V_{BD} との間にある。このため、分圧回路51で生成された V_H 側の第1暫定階調基準電圧 $V_{Ht1} \sim V_L$ 側の第3暫定階調基準電圧 V_{Lt3} は、式(1)を常に満たしている。

【0086】

次に、 V_H 側の3つの第1正規階調基準電圧 $V_{Hn1} \sim$ 第3正規階調基準電圧 V_{Hn3} は、いずれもアナログ電源電圧 V_{LS} と耐圧基準電圧 V_{BD} との間にあり、また V_L 側の3つの第1正規階調基準電圧 $V_{Ln1} \sim$ 第3正規階調基準電圧 V_{Ln3} は、いずれも耐圧基準電圧 V_{BD} と接地電圧 GND との間にある。このため、 D/A コンバータ52で生成された V_H 側の第1正規階調基準電圧 $V_{Hn1} \sim V_L$ 側の第3正規階調基準電圧 V_{Ln3} も、式(1)を常に満たしている。

【0087】

したがって、過電流が、アナログ電源電圧 V_{LS} の端子と、 V_H 側の第2暫定階調基準電圧 V_{Ht2} または第2正規階調基準電圧 V_{Hn2} の端子との間、あるいはアナログ電源電圧 V_{LS} の端子と、 V_H 側の第3暫定階調基準電圧 V_{Ht3} または第3正規階調基準電圧 V_{Hn3} の端子との間に流れることはない。

【0088】

<2.7 階調電圧発生回路およびセレクタの動作>

図6は、本実施形態における414出力のソースドライバ400内に設けられた階調電圧発生回路44およびセレクタ45の具体的な構成を示すブロック図である。なお、以下の説明では、暫定階調基準電圧と正規階調基準電圧とを区別することなく、階調基準電圧として説明する。

【0089】

まず、階調電圧発生回路44について説明する。この階調電圧発生回路44は、 V_H 側に256階調の階調電圧群 V_{HR} を発生させる第1分圧回路44aと、 V_L 側に256

階調の階調電圧群V L Rを発生させる第2分圧回路44bとを含む。第1分圧回路44aおよび第2分圧回路44bは、それぞれ255個の抵抗R H 1～R H 255、R L 1～R L 255が直列に接続され、抵抗分割によって階調電圧を発生させる、互いに独立した回路である。

【0090】

第1分圧回路44aの一端には、基準電圧発生回路500から入力されたV H側の第1階調基準電圧(15.2V) V H 1が、他端にはV H側の第3階調基準電圧(約8V) V H 3がそれぞれ入力されている。また、第1分圧回路44aのほぼ中央の抵抗R H 128と抵抗R H 127の節点には、V H側の第2階調基準電圧V H 2が入力されている。このため、第1分圧回路44aは、その両端に印加された電圧15.2Vと約8Vとの間を255個の抵抗によって抵抗分割することによって、V H側の256階調の階調電圧群V H Rを生成する。

10

【0091】

ここで、第1分圧回路44aの両端に、それぞれV H側の第1階調基準電圧V H 1およびV H側の第3階調基準電圧V H 3を入力するだけでなく、抵抗R H 128と抵抗R H 127の節点にも、V H側の第2階調基準電圧V H 2を入力する理由について説明する。本来、V H側の第2階調基準電圧V H 2を第1分圧回路44aに入力しなくても、第1分圧回路44aを構成する255個の抵抗によって256個の階調電圧群V H Rが生成される。しかし、抵抗R H 1～R H 255の数が多いため、第1分圧回路44aの中央付近から出力される階調電圧が目標としていた電圧値からずれてしまう場合がある。このため、第1分圧回路44aの中央付近の節点にもV H側の第2階調基準電圧V H 2を入力して、その節点の電圧を強制的にV H側の第2階調基準電圧V H 2とし、第1分圧回路44aから出力される階調電圧V H R 128の電圧値が、目標とする電圧値からずれないようにしている。

20

【0092】

次に、第1分圧回路44aによって生成されたV H側の階調電圧群V H Rは、V H側セクタ45a内のH側セクタ1～207の各々に入力される。一方、H側セクタ1～207の各々には、第2ラッチ回路43から液晶パネル100の画素形成部の位置に対応する8ビットのデジタル映像信号D Vが入力される。なお、以下の説明において、i番目のソースバスラインS Lに接続された画素形成部の列をi番目の垂直ラインという。例えば、H側セクタ1には、液晶パネル100の1番目の垂直ラインの画素形成部(R:赤色)に表示されるデジタル映像信号D Vが入力され、H側セクタ2には2番目の垂直ラインの画素形成部(G:緑色)に表示されるデジタル映像信号D Vが入力され、H側セクタ3には3番目の垂直ラインの画素形成部(B:青色)に表示されるデジタル映像信号D Vが入力される。

30

【0093】

そして、H側セクタ1～3によって、256階調の表示が可能な階調電圧群V H Rの中からデジタル映像信号D Vに対応する1つの階調電圧V H R (n)をそれぞれ選択し、駆動用映像信号を生成する。生成された駆動用映像信号は、アンプ46aを介して第1番目～第3番目の垂直ラインの画素形成部にそれぞれ与えられる。

40

【0094】

同様にして、基準電圧発生回路500により生成されたV L側の階調基準電圧V L 1～V L 3は、第2分圧回路44bに与えられる。第2分圧回路44bの一端には、基準電圧発生回路500から入力されたV L側の第1階調基準電圧(約7V) V L 1が、他端にはV L側の第3階調基準電圧(約0.2V) V L 3がそれぞれ入力されている。また、第2分圧回路44bのほぼ中央の抵抗R L 128と抵抗R L 127の節点には、V L側の第2階調基準電圧V L 2が入力されている。このため、第2分圧回路44bは、その両端に印加された電圧約7Vと約0.2Vとの間を255個の抵抗R L 1～R L 255を用いて抵抗分割することによって、V L側の256階調の階調電圧群V L Rを生成する。

【0095】

50

次に、第2分圧回路44bによって生成されたVL側の階調電圧群VLRは、VL側セクタ45b内のL側セクタ1～207の各々に入力される。一方、L側セクタ1～207の各々には、第2ラッチ回路43から液晶パネル100の画素形成部の位置に応じた8ビットのデジタル映像信号DVが入力される。例えば、L側セクタ1には、液晶パネル100の4番目の垂直ラインの画素形成部（R：赤色）に表示されるデジタル映像信号DVが入力され、L側セクタ2には5番目の垂直ラインの画素形成部（G：緑色）に表示されるデジタル映像信号DVが入力され、L側セクタ3には6番目の垂直ラインの画素形成部（B：青色）に表示されるデジタル映像信号DVが入力される。

【0096】

そして、L側セクタ1～3によって、256階調の表示が可能な階調電圧群VLRの中からデジタル映像信号DVに対応する1つの階調電圧VLR（n）をそれぞれ選択し、駆動用映像信号を生成する。生成された駆動用映像信号は、アンプ46bを介してそれぞれ4番目～6番目の垂直ラインの画素形成部に与えられる。

【0097】

その結果、ある水平走査期間には、液晶パネル100の414本の垂直ラインのうち、Rの映像を表示する1番目の垂直ラインの画素形成部に、H側セクタ1から駆動用映像信号が入力され、別のRの映像を表示する4番目の垂直ラインの画素形成部には、L側セクタ1から駆動信号が入力される。次の水平走査期間には、切換スイッチ47によって切り換えることにより、4番目の垂直ラインの画素形成部にH側セクタ1から駆動用映像信号が入力され、1番目の垂直ラインの画素形成部にL側セクタ1から駆動用映像信号が入力される。Gの映像を表示する2番目と5番目の垂直ラインの画素形成部、Bの映像を表示する3番目と6番目の垂直ラインの画素形成部についても同様である。

【0098】

<2.8 セクタの動作>

図7は、本実施形態における第1分圧回路44aおよびVH側セクタ45aのH側セクタ1の一部を示す回路図である。このH側セクタ1は、図7に示すように、第1分圧回路44aから入力されたVH側の階調電圧VHR0～階調電圧VHR255の256階調の階調電圧群VHRに、スイッチ素子であるアナログスイッチをそれぞれ対応させている。

【0099】

これらのアナログスイッチを2個ずつ1組とし、各組のアナログスイッチにデジタル映像信号DVを与える。各組のアナログスイッチは、対応するいずれかの階調電圧を選択することを順次繰り返す。そして、最終的に1つの階調電圧VHR（n）、VLR（n）を選択して、液晶パネル100の所定の画素形成部に出力する。ここで、アナログスイッチとは、P型MOSトランジスタとN型MOSトランジスタのソースとソース、ドレインとドレインとをそれぞれ接続したもので、ゲートに与えられる電圧に応じてソースからドレインにアナログ信号を伝達したり、遮断したりするスイッチ素子である。

【0100】

VH側セクタ45aのH側セクタ1の動作について具体的に説明する。アナログスイッチ48aのソースおよびアナログスイッチ48bのソースを、階調電圧VH255の端子および階調電圧VH254の端子にそれぞれ接続する。アナログスイッチ48aのドレインおよびアナログスイッチ48bのドレインを、アナログスイッチ48cのソースに接続し、アナログスイッチ48aおよびアナログスイッチ48bのゲートに第2ラッチ回路43からのデジタル映像信号DVが印加されるようにして、アナログスイッチ48a、48bのいずれかがオンするようにする。

【0101】

また、アナログスイッチ48dのソースおよびアナログスイッチ48eのソースを、階調電圧VH253の端子および階調電圧VH252の端子にそれぞれ接続する。アナログスイッチ48dのドレインとアナログスイッチ48eのドレインをアナログスイッチ48fのソースに接続し、アナログスイッチ48dおよびアナログスイッチ48eのゲートに

第2ラッチ回路43からのデジタル映像信号DVが印加されるようにして、アナログスイッチ48d、48eのいずれかがオンするようにする。

【0102】

そしてアナログスイッチ48cのドレインとアナログスイッチ48fのドレインとを、アナログスイッチ48gのソースに接続し、同様にして、アナログスイッチ48cとアナログスイッチ48fのいずれかがオンするようにする。

【0103】

以下同様にして、階調電圧VHR0の端子にいたるまで、2個のアナログスイッチを1対とする選択部を形成し、アナログスイッチのゲートに与えられるデジタル映像信号DVに応じて256階調の階調電圧群VHRの中から最終的に1つの階調電圧VHR(n)を選択して出力する。

10

【0104】

<2.9 過電流発生メカニズム>

このようなVH側セクタ45aのH側セクタ1に、過電流Iexが流れるメカニズムを説明する。15.2Vの階調電圧VH255がアナログスイッチ48aのソースに入力された状態で、アナログスイッチ48aがオンしてドレインも15.2Vになると、アナログスイッチ48bのドレインも15.2Vとなる。このとき、アナログスイッチ48bのソースにも、定常状態では15.2Vに非常に近い階調電圧VH254が入力されている。このため、アナログスイッチ48bのソース／ドレイン間にかかる電圧は、非常に小さい電圧である。一方、ソース／ドレイン間の耐圧は、製造コストを考慮して8V程度に設計されている。したがって、この場合、ソースおよびドレインのそれぞれの周囲に形成される空乏層が重なることはない。このため、ゲートに電圧が印加されない状態では、アナログスイッチ48bのドレインからソースに電流が流れることはない。

20

【0105】

しかし、VH側の第2階調基準電圧VH2が立ち上がる時、この電圧端子は、このオープン状態から一旦接地電圧GNDになった後、所定の電圧値まで上昇する。そこで、所定の電圧値までの過渡状態で、ドレインに15.2Vが印加されているアナログスイッチ48bのソースに、例えば5Vが印加されると、ソース／ドレイン間には約10Vの電圧がかかる。この電圧は、ソース／ドレイン間の設計耐圧値8Vを超えているので、アナログスイッチ48bのドレインとソースの空乏層が重なり、ドレインからソースに、すなわちVH側の第1階調基準電圧VH1の端子から第2階調基準電圧VH2の端子に過電流Iexが流れる。VH側の第1階調基準電圧VH1は、アナログ電源電圧VLSから生成されるので、過電流Iexは、アナログ電源電圧VLSの端子とVH側の第2階調基準電圧VH2の端子との間に流れる。

30

【0106】

この過電流Iexは、流れ始めると、アナログスイッチ48bのソース／ドレイン間にかかる電圧が設計耐圧8V以下になるまで流れ続ける。その後、第2階調基準電圧VH2が時間とともに徐々に高くなって、耐圧基準電圧VBDを超えると、アナログスイッチ48bのソースとドレインとの間にかかる電圧が設計耐圧8Vよりも低くなる。このため、過電流Iexは流れなくなり、H側セクタ1が正常に動作するようになる。つまり、VH側の第1階調基準電圧VH1～VL側の第3階調基準電圧VL3がいずれも式(1)を満たすようになれば、過電流Iexは流れなくなる。

40

【0107】

なお、ここでは、VH側セクタ45aのH側セクタ1を例に挙げて過電流Iexが流れるメカニズムを説明したが、他のH側セクタ2～207およびVL側セクタ45bのL側セクタ1～207に過電流Iexが流れるメカニズムについても同様である。

【0108】

また、ここでは、VH側の第1階調基準電圧VH1の端子から第2階調基準電圧VH2の端子に流れる過電流Iexについて説明したが、VH側の第1階調基準電圧VH1の端子から第3階調基準電圧VH3の端子に流れる過電流Iexについても同様である。特に

50

、VH側の第2階調基準電圧VH2および第3階調基準電圧VH3の端子は、立ち上がり時に、一旦接地電圧GNDになるので、アナログ電源電圧VLSの端子と接地端子との間に過電流Iexが流れる場合がある。

【0109】

<2.10 液晶表示装置の実装状態>

図8は、本実施形態に係る液晶表示装置の実装状態を示す概略図である。図8に示すように、液晶パネル100の左右にはゲートドライバ300が3つずつ配置され、液晶パネル100の上部には、左右にそれぞれ4つずつソースドライバ400が配置されている。ソースドライバ400を挟んで液晶パネル100の上部に、液晶パネル100と対向するように、2枚のソース基板18が配置されている。ソースドライバ400はそれぞれソース基板18に接続されており、ソース基板18はFPC (Flexible Print Circuit) 17を介して制御基板15に接続されている。制御基板15には、表示制御回路200と、切換回路250と、基準電圧発生回路500と、共通電極駆動回路600と、電源電圧発生回路700と、コネクタ16とが設けられている。外部からコネクタ16に与えられた、12Vの基準電圧は電源電圧発生回路700に、また画像データDATは表示制御回路200にそれぞれ入力される。電源電圧発生回路700で生成された各回路の電源電圧VLS、VKBと、表示制御回路200から出力されるゲートドライバ300およびソースドライバ400のタイミング制御信号GSP、GCK、SSP、SCK、LSとは、FPC 17とソース基板18を介してソースドライバ400に与えられる。さらに、ゲートドライバ300のタイミング制御信号GSP、GCKは、液晶パネル100内の配線を介してゲートドライバ300に与えられる。同様に、表示制御回路200から出力されるデジタル映像信号DVは、FPC 17およびソース基板18を介してソースドライバ400に与えられる。ゲートドライバ300およびソースドライバ400から出力されるタイミング制御信号GSP、GCK、SSP、SCK、LS、およびソースドライバ400でデジタル映像信号DVから生成された駆動用映像信号が液晶パネル100に与えられて、映像が画面に表示される。なお、図8では、横長に置かれた液晶パネル100の左右にゲートドライバ300を、液晶パネル100の上部にソースドライバ400をそれぞれ配置したが、液晶パネル100を縦長に置いた場合には、液晶パネル100の左側または右側にソースドライバ400を、液晶パネルの上下にゲートドライバ300をそれぞれ配置する。

【0110】

<2.11 効果>

本実施形態によると、階調基準電圧VH1~VL3を生成する基準電圧発生回路500として、複数の抵抗を直列接続した分圧回路51と、D/Aコンバータ52とを備えている。液晶表示装置の電源がオンされると、直ちに分圧回路51によって暫定階調基準電圧VHt1~VLt3が生成されて出力される。次に、D/Aコンバータ52が、表示制御回路200から与えられる階調電圧データKDをD/A変換して正規階調基準電圧VHn2~VLn3を生成するようになると、切換回路250によって、VH側の第2暫定階調基準電圧VHt2~VL側の第3暫定階調基準電圧VLt3は、VH側の第2正規階調基準電圧VHn2~VL側の第3正規階調基準電圧VLn3に切り換えられる。この基準電圧発生回路500は、液晶パネル100をリニューアルしても、D/Aコンバータ52のレジスタ21に格納する階調電圧データKDを書き換えるだけでよいので、制御基板15はリニューアル前と同じものを使用することができる。このため、制御基板15を作り直す時間とコストを節約することができる。

【0111】

また、基準電圧発生回路500としてD/Aコンバータ52のみを使用した場合、液晶表示装置の電源をオンしてからVH側の第2正規階調基準電圧VHn2および第3正規階調基準電圧VHn3が耐圧基準電圧VBDになるまでの期間は、式(1)が満たされない。そこで、VH側の第2正規階調基準電圧VHn2~VL側の第3正規階調基準電圧VLn3が立ち上がるまでは、分圧回路51によってVH側の第2暫定階調基準電圧VHt2~VL側の第3暫定階調基準電圧VLt3を生成して、VH側の暫定階調電圧群

VHR_t およびVL側の暫定階調電圧群VL_{Rt}を生成する。その後生成されたVH側の第2正規階調基準電圧VH_{n2}～VL側の第3正規階調基準電圧VL_{n3}が、耐圧基準電圧VBD よりも大きくなると、VH側の第2暫定階調基準電圧VH_{t2}～VL側の第3暫定階調基準電圧VL_{t3}をVH側の第2正規階調基準電圧VH_{n2}～VL側の第3正規階調基準電圧VL_{n3}に切り換えて、VH側の正規階調電圧群VHR_nおよびVL側の正規階調電圧群VL_{Rn}を生成する。このため、D/Aコンバータ52が正規階調基準電圧を生成するのに時間を要しても、とりあえず暫定階調基準電圧を使用し、正規階調電圧が生成された後に、暫定階調基準電圧を正規階調基準電圧に切り換えればよい。このため、液晶パネル100をリニューアルした場合であっても、リニューアル後の液晶パネル100に合わせたガンマ補正を簡易かつ迅速に行うことができる。

10

【0112】

<2.12 その他>

本実施形態では、表示装置として液晶表示装置について説明したが、本発明は液晶表示装置に限定されることはなく、他の表示装置にも適用することができる。また、本実施形態では、交流駆動する液晶表示装置について説明したが、本発明は交流駆動に限定されることなく、式(1)を満たさない期間が発生する階調基準電圧発生回路を備えた表示装置であれば適用することができる。また、基準電圧発生回路500および切換回路250を1つの半導体チップに形成することもできる。この場合、表示装置を小型化できるとともに、製造コストを低く抑えることができる。

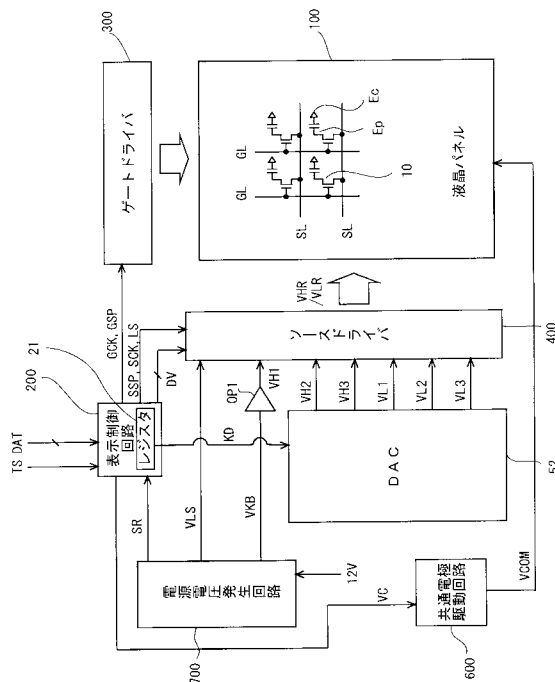
【産業上の利用可能性】

20

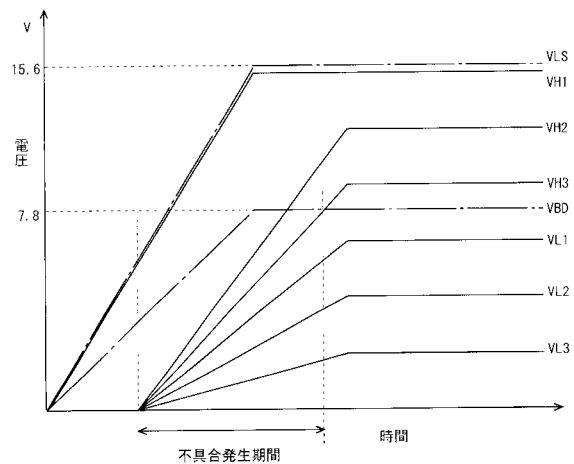
【0113】

本発明は、階調表示を行うアクティブマトリクス型液晶表示装置等のような表示装置に適用される。

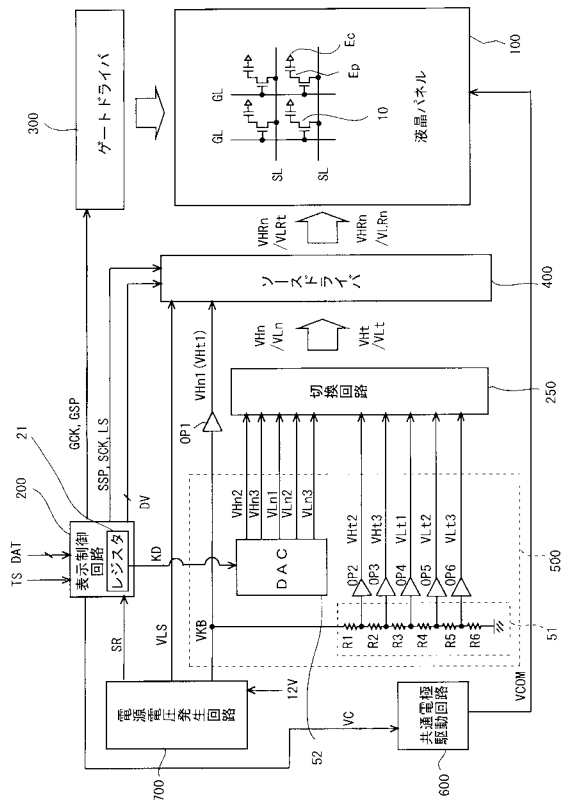
【図1】



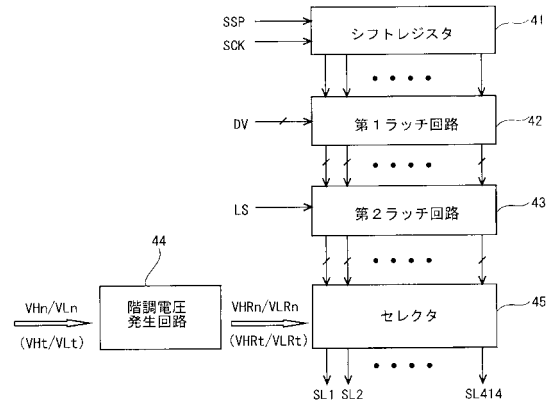
【図2】



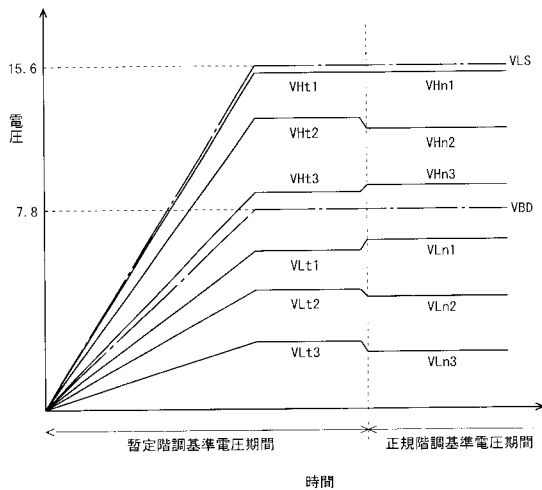
【図 3】



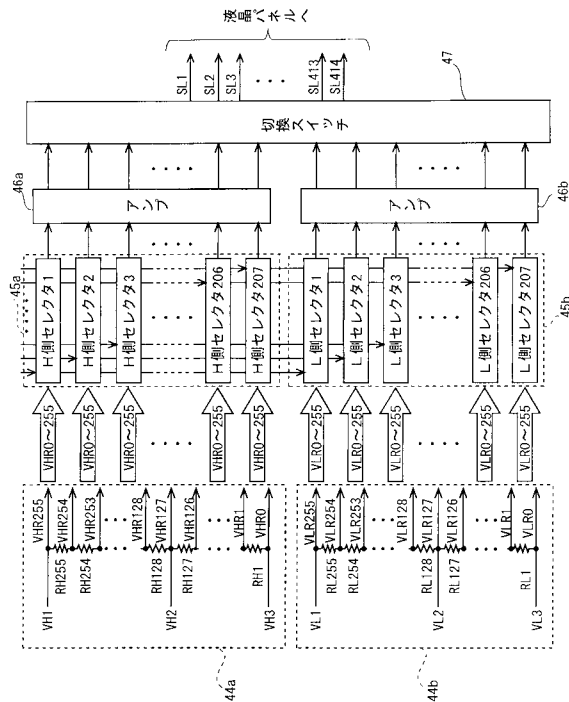
【図 4】



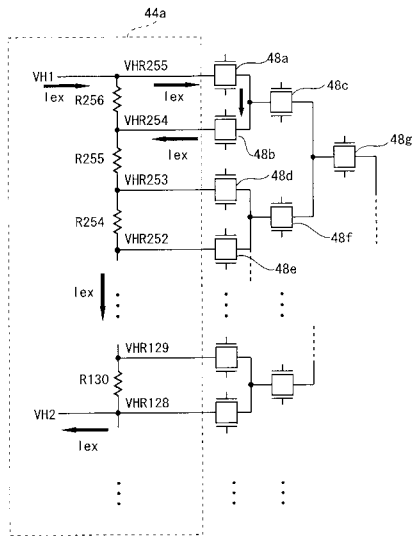
【図 5】



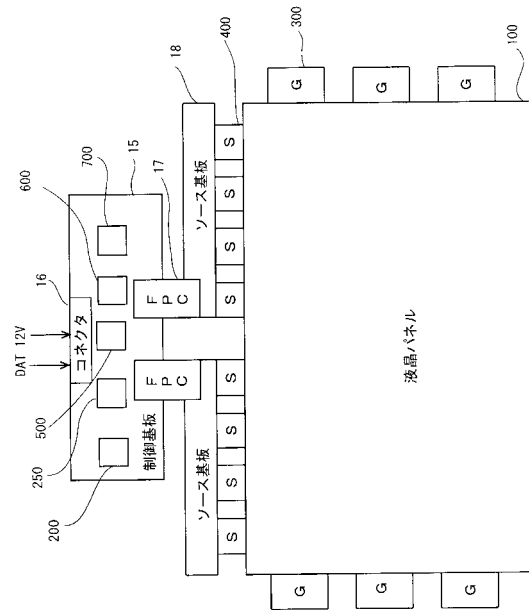
【図 6】



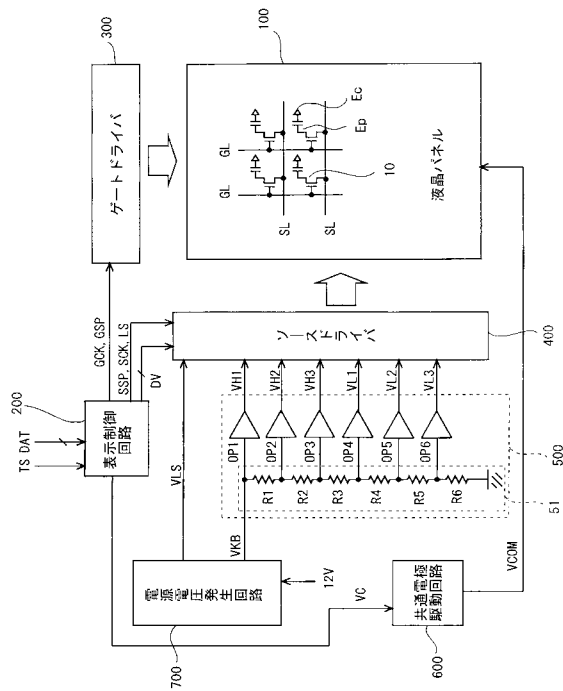
【図 7】



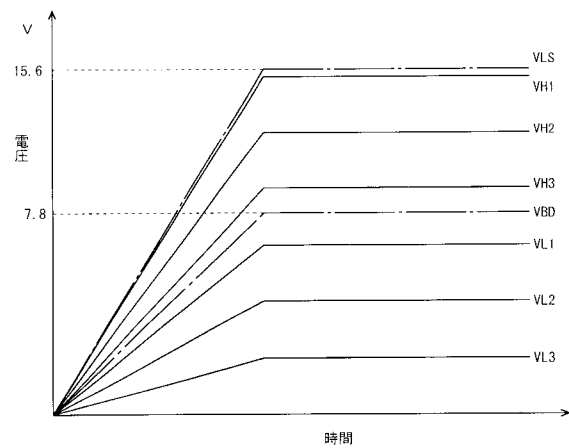
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. F I

G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 4 C
G 0 2 F	1/133	5 7 5
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 2 0
G 0 2 F	1/133	5 2 5

(56)参考文献 特開 2 0 0 2 - 2 5 8 8 1 6 (J P , A)
特開 2 0 0 5 - 0 4 9 4 1 8 (J P , A)
特開 2 0 0 4 - 2 8 0 0 6 3 (J P , A)
特開平 0 3 - 0 5 9 5 9 5 (J P , A)

(58)調査した分野(Int.Cl., D B名)

G09G	3/00 - 3/38
G02F	1/133 505-580

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP4994454B2	公开(公告)日	2012-08-08
申请号	JP2009523558	申请日	2008-03-17
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	松川年寿		
发明人	松川 年寿		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3696 G09G3/3614 G09G3/3648 G09G3/3688 G09G2310/027 G09G2310/08 G09G2320/0276 G09G2320/0673 G09G2320/08 G09G2330/026		
FI分类号	G09G3/36 G09G3/20.612.G G09G3/20.612.F G09G3/20.641.P G09G3/20.623.F G09G3/20.641.C G09G3/20.621.B G09G3/20.624.C G02F1/133.575 G02F1/133.550 G02F1/133.520 G02F1/133.525		
代理人(译)	岛田彰 川原贤治		
优先权	2007187067 2007-07-18 JP		
其他公开文献	JPWO2009011150A1		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种能够在更新显示单元时容易且快速地执行伽马特性校正的显示装置及其驱动方法。当接通液晶显示装置的电源时，由其中多个电阻器串联连接的分压电路产生的临时灰度基准电压被施加到源极驱动器。基于电压生成临时灰度级电压组。接下来，当电源电路上升时，从显示控制电路提供的灰度电压数据由D/A转换器进行D/A转换，以产生正常灰度基准电压。当产生正常灰度级参考电压时，将正常灰度级参考电压施加到源极驱动器而不是临时灰度级参考电压。因此，源极驱动器基于正常灰度级参考电压而不是临时灰度级电压来生成正常灰度级电压。

