

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4902116号

(P4902116)

(45) 発行日 平成24年3月21日(2012.3.21)

(24) 登録日 平成24年1月13日(2012.1.13)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G09G 3/20 612U

G09G 3/20 621F

G09G 3/20 623R

G09G 3/20 631B

請求項の数 9 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2004-376688 (P2004-376688)
 (22) 出願日 平成16年12月27日(2004.12.27)
 (65) 公開番号 特開2006-184448 (P2006-184448A)
 (43) 公開日 平成18年7月13日(2006.7.13)
 審査請求日 平成19年8月15日(2007.8.15)

(73) 特許権者 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (73) 特許権者 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町1-6
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 時田 雅弘
 千葉県茂原市早野3681番地 株式会社
 日立ディスプレイデバイス内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

液晶表示パネルと、
 前記液晶表示パネルを制御・駆動する駆動手段とを備え、
 前記駆動手段は、オーバードライブ処理手段を有し、
 前記オーバードライブ処理手段は、前記液晶表示パネルに表示すべきフレーム単位の画像データを格納するメモリと、
 前記メモリを制御するメモリ制御回路とを有し、
 前記メモリ制御回路は、前記メモリに入力される画像データのデータ量を削減し圧縮画像データを生成するデータ削減回路と、
 前記データ削減回路から出力される圧縮画像データを格納するライトバッファ回路と、
 前記メモリから読み出した圧縮画像データを格納するリードバッファ回路と、
 前記リードバッファ回路から出力される圧縮画像データから再生画像データを再生するデータ再生回路と、
 前記ライトバッファ回路に格納された圧縮画像データを前記メモリに書き込み、前記メモリから圧縮画像データを読み出し前記リードバッファ回路に入力するタイミング制御回路とを有し、
 前記データ削減回路は、当該データ削減回路に入力された画像データ中の画素数を所定数削減する画素削減回路と、
 前記画素削減回路から出力される1画素データの下位ビットを削減するビット削減回路

10

20

と、

当該データ削減回路に入力された画像データに基づき再生フラグを生成する再生フラグ生成回路とを備え、

前記データ再生回路は、前記リードバッファ回路から出力される各画素の圧縮画素データに所定数の下位ビットを付加するビット付加回路と、

前記ビット付加回路から出力される画素データと、前記再生フラグに基づき、前記所定数削減された画素の画像データを再生する画素再生回路とを有し、

前記再生フラグ生成回路は、削減した画素の輝度、前記削減した画素の前の画素の輝度、および、前記削減した画素の前後の画素の平均輝度を比較し、前記削減した画素の輝度が前記削減した画素の前の画素の輝度に近い場合には、再生フラグを「0」とし、前記削減した画素の輝度が前記削減した画素の前後の画素の平均輝度に近い場合には、再生フラグを「1」とし、

10

前記画素再生回路は、前記再生フラグが「0」の場合に、前記削減された画素の画像データを、前記削減された画素の前の画素の画像データを複製して再生し、前記再生フラグが「1」の場合に、前記削減された画素の画像データを、前記削減された画素の前後の画素の画像データ間の $1/2$ として補間再生することを特徴とする液晶表示装置。

【請求項2】

液晶表示パネルと、

前記液晶表示パネルを制御・駆動する駆動手段とを備え、

前記駆動手段は、オーバードライブ処理手段を有し、

20

前記オーバードライブ処理手段は、前記液晶表示パネルに表示すべきフレーム単位の画像データを格納するメモリと、

前記メモリを制御するメモリ制御回路とを有し、

前記メモリ制御回路は、前記メモリに入力される画像データのデータ量を削減し圧縮画像データを生成するデータ削減回路と、

前記データ削減回路から出力される圧縮画像データを格納するライトバッファ回路と、

前記メモリから読み出した圧縮画像データを格納するリードバッファ回路と、

前記リードバッファ回路から出力される圧縮画像データから再生画像データを再生するデータ再生回路と、

前記ライトバッファ回路に格納された圧縮画像データを前記メモリに書き込み、前記メモリから圧縮画像データを読み出し前記リードバッファ回路に入力するタイミング制御回路とを有し、

30

前記データ削減回路は、当該データ削減回路に入力された画像データ中の画素数を所定数削減する画素削減回路と、

前記画素削減回路から出力される1画素データの下位ビットを削減するビット削減回路と、

当該データ削減回路に入力された画像データに基づき再生フラグを生成する再生フラグ生成回路とを備え、

前記データ再生回路は、前記リードバッファ回路から出力される各画素の圧縮画素データに所定数の下位ビットを付加するビット付加回路と、

40

前記ビット付加回路から出力される画素データと、前記再生フラグに基づき、前記所定数削減された画素の画像データを再生する画素再生回路とを有し、

前記再生フラグ生成回路は、削減した画素の輝度、および、前記削減した画素の前後の画素の平均輝度を比較し、前記削減した画素の輝度が前記削減した画素の前後の画素の平均輝度より低い場合には、再生フラグを「0」とし、前記削減した画素の輝度が前記削減した画素の前後の画素の平均輝度より高い場合には、再生フラグを「1」とし、

前記画素再生回路は、前記再生フラグが「0」の場合に、前記削減された画素の画像データを、前記削減された画素の前後の画素の画像データ間の $1/4$ として補間再生し、前記再生フラグが「1」の場合に、前記削減された画素の画像データを、前記削減された画素の前後の画素の画像データ間の $3/4$ として補間再生することを特徴とする液晶表示装

50

置。

【請求項 3】

前記画素削減回路は、1 フレームの画像データの画素を市松状に削減し、1 フレームの画像データの画素を半分に削減することを特徴とする請求項 1 または請求項 2 に記載の液晶表示装置。

【請求項 4】

前記画像データの画素のビット数は 8 ビットであり、

前記ビット削減回路は、下位 3 ビットを削減し、8 ビットの画像データを 5 ビットの画像データに変更することを特徴とする請求項 1 または請求項 2 に記載の液晶表示装置。

【請求項 5】

前記再生フラグ生成回路は、削減した画素の輝度、前記削減した画素の前の画素の輝度、および、前記削減した画素の前後の画素の平均輝度を比較する代わりに、1 画素中の G のサブピクセルのデータを比較して再生フラグを生成することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記再生フラグ生成回路は、削減した画素の輝度、および、前記削減した画素の前後の画素の平均輝度を比較する代わりに、1 画素中の G のサブピクセルのデータを比較して再生フラグを生成することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 7】

前記再生フラグ生成回路は、削減した画素の輝度、前記削減した画素の前の画素の輝度、および、前記削減した画素の前後の画素の平均輝度を比較する代わりに、1 画素中の R と B のサブピクセルのデータを加算したデータを比較して再生フラグを生成することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 8】

前記再生フラグ生成回路は、削減した画素の輝度、および、前記削減した画素の前後の画素の平均輝度を比較する代わりに、1 画素中の R と B のサブピクセルのデータを加算したデータを比較して再生フラグを生成することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 9】

前記ライトバッファ回路およびリードバッファ回路は、一対のセレクトと、

前記一対のセレクト間に設けられる第 1 および第 2 のラインメモリを有することを特徴とする請求項 1 または請求項 2 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置および対向電圧生成方法に係り、特に、オーバードライブ用のメモリを削減する技術、およびフリッカが最小となる対向電圧を生成する技術に関する。

【背景技術】

【0002】

近年、液晶テレビなどの液晶表示装置の動画性能向上のため、液晶応答速度を擬似的に高速化するオーバードライブ処理が実行されている。

オーバードライブ処理では、現フレームと前フレームの同一画素の画像データの比較結果に基づき、当該画素のオーバードライブ量が決定されるため、前フレームの画像データを格納するためのフレームメモリが必要となる。なお、このフレームメモリには、通常、SDRAM (Synchronous Dynamic Random Access Memory) が使用される。

今、仮に、液晶表示パネルの解像度が、WXGA (1280×768) で、画像データが 8 bit の場合、1 フレームのデータ量は、 $1280 \times 768 \times 3 \times 8 = 23.6 \text{ Mbit}$ となる。さらに、フレーム連続処理のためダブルバッファ制御が必要である。

そのため、従来は、このフレームメモリとして、図 17 に示すように、64 Mbit の SDRAM が 2 チップ使用されていた。

10

20

30

40

50

なお、図17において、120は後述するタイミングコントローラ、200はメモリ制御回路、250はSDRAM、260はオーバードライブ制御回路である。

また、液晶表示パネルは、良く知られているように、画素電極に印加する階調電圧と、対向電極（コモン電極ともいう）に印加する対向電圧（コモン電圧ともいう）との間の電圧差に基づいて、液晶分子の配向方向を変化させて画像を表示する。

図18は、従来の液晶表示装置の対向電圧発生回路を示す回路図である。図18に示すように、従来は、可変抵抗器（RD）を用いて分圧回路を形成し、この分圧回路の出力をアンプ回路（AMP）に入力し、アンプ回路（AMP）の出力を対向電圧（Vcom）として出力していた。

【0003】

10

なお、本願発明に関連する先行技術文献としては以下のものがある。

【特許文献1】特開2003-84736号公報

【特許文献2】特開2004-78129号公報

【特許文献3】特開平6-222328号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

前述したように、従来の液晶表示装置では、オーバードライブ処理に必要となる前フレームの画像データを格納するためのフレームメモリ（SDRAM）として、64MbitのSDRAMを2チップ使用する必要があった。

20

これは、コントロール基板の総部品費の20%程度を占めることとなり、コストアップの大きな要因となっていた。また消費電流、配線数といった課題も多かった。

なお、前述の特許文献1には、フレームメモリの記憶容量を縮減するために、画像データのビット数を削減することが開示されている。

しかしながら、この特許文献1に記載された手法では、縮減されるデータ量は、たかだか5/8程度であり、それ以上データ量を削減することは記載されていない。

一方、対向電極に印加する対向電圧が最適な電圧値でないと、画素電極に正極性のK階調の階調電圧を印加するときと、画素電極に負極性のK階調の階調電圧を印加するときとで、画素電極と対向電極との間の電位差が変化し、液晶表示パネルにフリッカと呼ばれるちらつきが生じる。

30

そのため、従来の液晶表示装置では、作業者が、可変抵抗器（RD）を手動で調整することにより、目視でフリッカが最小になるように、対向電圧（Vcom）を調整していた。

このため、固定費（人件費）がかかるばかりか、調整ばらつきや、人為的ミスも発生する可能性があるという問題点があった。

なお、前述の特許文献3には、対向電圧（Vcom）を自動的に調整する技術が開示されているが、この特許文献3には、フリッカが最小になるように対向電圧（Vcom）を自動的に調整することは記載されていない。

【0005】

40

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、1フレームの画像データ量を半分以下に圧縮し、オーバードライブ処理に必要となるフレームメモリのメモリ容量を大幅に削減することが可能となる技術を提供することにある。

また、本発明の他の目的は、液晶表示装置および対向電圧生成方法において、フリッカが最小になるように対向電圧を自動的に調整することが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0006】

50

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

前述の目的を達成するために、本発明は、液晶表示パネルと、前記液晶表示パネルを制御・駆動する駆動手段とを備え、前記駆動手段は、オーバードライブ処理手段を有する液晶表示装置において、前記オーバードライブ処理手段は、前フレームの画像データを格納するメモリと、前記メモリを制御するメモリ制御回路とを有し、前記メモリ制御回路は、入力される画像データのデータ量を削減し圧縮画像データを生成する第1のデータ削減回路と、前記第1のデータ削減回路から出力される圧縮画像データを格納するライトバッファ回路と、前記メモリから読み出した圧縮画像データを格納するリードバッファ回路と、前記リードバッファ回路から出力される圧縮画像データから再生画像データを再生する第1のデータ再生回路と、前記ライトバッファ回路に格納された圧縮画像データを前記メモリに書き込み、前記メモリから圧縮画像データを読み出し前記リードバッファ回路に入力するタイミング制御回路とを有することを特徴とする。

10

【0007】

また、本発明は、液晶表示パネルのフリッカが最小となる対向電圧を生成するために、前記液晶表示パネルにフリッカ検出用のパターンを表示し、前記液晶表示パネルに表示されたフリッカ検出用のパターンの輝度を測定し、前記測定した輝度に基づき対向電圧を制御する制御値を生成し、前記制御値をDA変換して対向電圧を生成し、前述の処理を繰り返し前記液晶表示パネルのフリッカが最小となる制御値を求めた後、当該求めた制御値を不揮発性メモリに格納することを特徴とする。

20

【発明の効果】

【0008】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明の液晶表示装置によれば、1フレームの画像データ量を半分以上に圧縮し、オーバードライブ処理に必要となるフレームメモリのメモリ容量を大幅に削減することが可能となる。

また、本発明の液晶表示装置および対向電圧生成方法によれば、フリッカが最小になるように対向電圧を自動的に調整することが可能となる。

【発明を実施するための最良の形態】

30

【0009】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

図1は、本発明の実施例のTF T方式の液晶表示モジュールの回路構成を示すブロック図である。

本実施例の液晶表示モジュールは、液晶表示パネル100と、TCONボード110と、ドレインドライバ130と、ゲートドライバ140とで構成される。

図2は、図1に示す液晶表示パネル100の一例の等価回路を示す図である。

図2に示すように、液晶表示パネル100は、マトリクス状に形成される複数の画素を有する。

40

各画素は薄膜トランジスタ(TFT)を有し、各画素の薄膜トランジスタ(TFT)のソース電極は、画素電極(ITO1)に接続される。

また、画素電極(ITO1)と共通電極(対向電極、またはコモン電極ともいう)(ITO2)との間に液晶層が設けられるので、画素電極(ITO1)と共通電極(ITO2)との間には、画素容量(CLC)が等価的に接続される。

さらに、薄膜トランジスタ(TFT)のソース電極と共通電極(ITO2)の間には、蓄積容量(CS)が接続される。

図2に示す液晶表示パネル100において、列方向に配置された各画素の薄膜トランジスタ(TFT)のドレイン電極は、それぞれドレイン線(映像線ともいう)Dに接続され

50

、各ドレイン線Dは、列方向の各画素の液晶に階調電圧を印加するドレインドライバ130に接続される。

また、行方向に配置された各画素における薄膜トランジスタ(TFT)のゲート電極は、それぞれゲート線(走査線ともいう)Gに接続され、各ゲート線Gは、1水平走査時間、行方向の各画素の薄膜トランジスタ(TFT)のゲート電極に走査駆動電圧(正のバイアス電圧あるいは負のバイアス電圧)を供給するゲートドライバ140に接続される。

【0010】

図1に示すTCONボード110は、タイミングコントローラ(以下、TCONという)120と、マイコン121とを有する。

TCON120は、外部から入力されるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ(R・G・B)を基に、ドレインドライバ130、および、ゲートドライバ140を制御・駆動する。

また、TCON120には、オーバードライブ処理に使用される前フレームの画像データを格納するメモリ(SDRAM; Synchronous Dynamic Random Access Memory)250が接続され、TCON120は、後述するオーバードライブ処理を実行する。

マイコン121には、不揮発性メモリ122が接続されるとともに、マイコン121はデジタル・アナログ変換器(以下、DACという)(123, 124)に制御電圧を供給する。

DAC123は、マイコン121から入力される制御電圧を、デジタル・アナログ変換して、階調基準電圧(VREF)を生成し、液晶表示パネル100に供給する。

同様に、DAC124は、マイコン121から入力される制御電圧を、デジタル・アナログ変換して、対向電圧(Vcom)を生成し、液晶表示パネル100に供給する。

【0011】

また、図1において、125は、外部から入力されるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ(R・G・B)の入力端子、126は通信用入出力端子、127は出力端子である。

ゲートドライバ140は、ゲート線Gに対して、1水平走査ライン毎に、1水平走査時間、薄膜トランジスタ(TFT)をオンとする走査電圧を順次供給して、薄膜トランジスタ(TFT)をオンとする。

また、ドレインドライバ130は、ドレイン線Dに対して映像電圧を供給し、オンとされた薄膜トランジスタ(TFT)を介して画素電極(ITO1)に映像電圧を印加し、各画素に映像電圧を書き込み、画素電極(ITO1)と共通電極(ITO2)との間の画素容量(CLC)を所定の電圧に充電する。

この充電電圧に基づき、各画素の液晶分子の配向方向を変化させて画像を表示する。

以上の動作により、液晶表示パネル100に画像が表示される。

【0012】

本発明の実施例の液晶表示モジュールは、図1に示すTCON120がオーバードライブ処理を実行する。

次に、図3、図4を用いてオーバードライブ処理の原理について説明する。

図3の上側に示すように、通常駆動では、入力データがそのまま表示データとなる。

このとき、図4の実線に示す波形で電圧駆動すると、輝度の応答、すなわち、液晶応答時間が1フレーム期間(16.6ms)より遅いため、映像変化に追従できず尾引きを生じる。

そこで、図4の破線に示す波形のように、映像が変化したフレームについてオーバードライブ電圧をかけることで輝度の応答を速めることができ、尾引きを軽減することができる。

これは、図3の下側の方法で実現できる。

1フレーム遅延回路111で前フレームデータを作る。次に、データ比較回路112で、現フレームデータと前フレームデータとを比較する。このデータ比較回路112での比較結果に応じて、データ操作回路113が、入力データを適度に操作して表示データを得

10

20

30

40

50

る。

具体回路例としては、1 フレーム遅延回路 1 1 1 は、フレームメモリ（通常、SDRAM）およびメモリ制御回路で構成され、データ比較回路 1 1 2 は、引き算回路、データ操作回路 1 1 3 は、前記引き算結果に係数を乗じる乗算回路とこの乗算結果を入力データに加える加算回路で構成される。

【0013】

図5は、本発明の実施例のオーバードライブ処理におけるフレームメモリ構成を示す図である。

図5に示すように、本実施例では、前フレームの画像データを格納するメモリ 2 5 0 として、1 6 M b i t の S D R A M 1 チップ構成とする。

図6は、図5に示すメモリ制御回路 2 0 0 の概略構成を示す機能ブロック図である。

図6に示すように、図5に示すメモリ制御回路 2 0 0 は、データ削減回路 2 0 1 と、ライト用ラインバッファ 2 0 2 と、SDRAM制御回路 2 0 3 と、リード用ラインバッファ 2 0 4 と、データ再生回路 2 0 5 と、タイミング制御回路 2 0 6 とを有する。

データ削減回路 2 0 1 は、現フレームの各画素の画像データを半分に削減（間引き）し、更に、R G B × 8 b i t の画像データを、1 6 b i t の画像データに b i t 削減する回路である。

例えば、W X G A の場合、 $1280 \times 768 \times 1 / 2 \times 16 = 7.9 \text{ M b i t}$ となり、1 6 M b i t のメモリ（SDRAM）2 5 0 に十分収められる。

なお、1 6 b i t に b i t 削減する理由は、1 6 M b i t の S D R A M のビット幅が 1 6 b i t のためである。

【0014】

以下、データ削減回路 2 0 1 の処理内容について説明する。

初めに、画素間引き部 2 1 1 において、画素の間引きを行う。画素の間引きパターンは縦横状の人工画像に対する考慮から、ドット市松状に間引いて画素数を半分にする。

続いて、b i t 削減部 2 1 2 において、b i t 削減を行う。R G B × 8 b i t を下位側 3 b i t 切り捨て、R G B × 5 b i t の計 1 5 b i t にする。

これは前述のオーバードライブ原理で説明したデータ操作回路 1 1 3 において、現フレームデータと前フレームデータの差分に乗じる係数が通常 0.1 ~ 0.3 程度であり、結果的に下位 b i t の有用性はあまり無く、実用上の影響は無視できる。

前述の処理と平行して、画素再生用フラグ生成部 2 1 3 において、1 b i t の再生用フラグを生成する。この再生用フラグは、次の2つを考慮して生成する。

1 つは人間の眼が色より輝度に敏感であること、2 つ目はアニメなどの人工画像ではエッジが鮮明であり、間引いた全ての画素を隣接画素で平均補間しただけでは再生誤差が大きくなってしまうことである。

そこで、以下に説明する方法で再生用フラグを生成する。

【0015】

図7は、図6に示す画素再生用フラグ生成部 2 1 3 の概略構成を示すブロック図である。まず、輝度計算部 3 0 1 において、R G B の画像データから輝度（Y）データを計算で求める。

この輝度（Y）データを基に、比較判定部 3 0 5 において、1 画素遅延素子 3 0 2 で遅延された間引き画素の輝度値と、1 画素遅延素子 3 0 2 と 1 画素遅延素子 3 0 3 とで遅延された間引き画素の前の画素の輝度値と、平均計算部 3 0 4 で計算された隣接画素（間引き画素の前後の画素）の平均の輝度値の3つを比較する。

比較判定部 3 0 5 は、間引き画素の輝度値に対して、間引き画素の前の画素の輝度値の方が近い場合は、再生用フラグ「0」とし、隣接画素の平均の輝度値の方が近ければ再生用フラグを「1」とする。

再生用フラグ「1」は、再生時に平均補間とし、再生用フラグ「0」は、前画素リピートとして作用させる。

具体例として、図7に示すデータ例で説明する。

10, 11, 12番目の画素に着目すると、11番目が間引き画素で輝度値が100、10番目が間引き画素の前の画素で輝度値100、10番目と12番目の隣接画素の平均の輝度値は150 ($= (100 + 200) / 2$) となり、再生用フラグは「0」となる。

同様に、12, 13, 14番目の画素では、13番目の間引き画素の輝度値が140に対して、12番目の間引き画素の前の画素の輝度値が200、12番目と14番目の隣接画素の平均の輝度値は150 ($= (200 + 100) / 2$) なので、再生用フラグは「1」となる。

なお、間引き画素の前の画素の輝度値と、隣接画素の平均の輝度値とが同じ場合には、再生用フラグは、「0」であっても、「1」であってもよく、いずれか一方の値に設定すればよい。

10

【0016】

前述のbit削減部212から出力されるRGB×5bitと再生用フラグの1bitで16bitデータとし、例えば、図8に示すようなビット配置にする。

このようにして、削減（あるいは圧縮）されたデータを、ライト用ラインバッファ202に供給する。

図6に示すデータ再生回路205は、bit付加と間引き画素を再生する回路である。

まず、ビット付加部241において、RGB×5bitの下位側に3bitの100（10進で4）を付加して、RGB×8bitにする。

これを、間引き画素再生処理部242において、再生用フラグに応じた方法で間引き画素を再生する。

20

図9に具体例を示す。図9の上側がbit付加されたRGBデータで、破線部が間引き画素である。

今、10, 11, 12番目の画素に着目すると、10番目の画素の再生用フラグが「0」なので、11番目の間引き画素は10番目の画素でリピート再生する。

次に、12, 13, 14番目の画素では、12番目の画素の再生用フラグが「1」なので、12番目と14番目の画素の平均で13番目の間引き画素を補間再生する。このようにして、前フレームの近似データを出力する。

【0017】

図6に示すライト用ラインバッファ202と、リード用ラインバッファ204は、それぞれ2つのラインメモリ（222, 223, 232, 233）と2つのセクタ（221, 224, 231, 234）から構成される。

30

SDRAM制御回路203は、メモリ（SDRAM）250に対するコマンド指示と、ライト用ラインバッファ202からメモリ（SDRAM）250へのライトデータ転送、およびメモリ（SDRAM）250からリード用ラインバッファ204へのリードデータ転送を行う。

前述の処理は、タイミング制御回路206により、図10に示すタイミングチャートで実行される。

メモリ（SDRAM）250へのライトデータは、セクタ221により、1H毎に切替えながら、ラインメモリ1（222）とラインメモリ2（223）に入力される。

メモリ（SDRAM）250へのライトデータは、データ削減回路201によって、データが半分に間引かれているので、セクタ224により、1H後の後半期間に、ラインメモリ1（222）またはラインメモリ2（223）から出力し、SDRAM制御回路203を介してメモリ（SDRAM）250に書き込む。

40

前フレームデータは、1H前の前半期間に、メモリ（SDRAM）250からSDRAM制御回路203を介してリード用ラインバッファ204に供給され、上述のライトとは逆の動作を行ってメモリ（SDRAM）250のリードデータを得る。

以上の処理により、毎フレーム連続してリードライトできるため、SDRAM1チップ化が可能となる。

【0018】

以上説明したように、本実施例によれば、画素間引きと、bit削減によるデータ削減

50

手段と、再生精度を高める再生用フラグ手段などの簡単な構成で、従来のオーバードライブ特性を維持しつつ、フレームメモリのメモリ容量を大幅（例えば、 $1/3$ ）に削減することができる。

これにより、TCONボード110における、オーバードライブ用フレームメモリの部品費比率を5%以下に低減することが可能となり、更に、低消費電流化、基板の小型化により製品全体のコスト低減にも寄与することができる。

なお、前述の再生用フラグの生成過程において、輝度の高いG画素のみとか、R画素とG画素の加算値で、再生用フラグを生成（判定）するようにしてもよい。この場合には、輝度計算回路を省くことができ、半導体チップの小型化を図ることが可能となる。

また、図3において、現フレームデータをデータ比較回路112に直接入力するのではなく、図11に示すように、データ削減回路201と、データ再生回路205を通すことで、静止画において比較誤差を「0」にすることができ、誤ったオーバードライブがかかるのを防ぐことができる。

また、再生用フラグの使用方法を変えてもよい。例えば、間引き画素の輝度値が、隣接画素の平均の輝度値より上か下かを判断し、再生時に隣接画素間の $3/4$ と $1/4$ で補間再生させることもできる。これは補間重視の映像に適している。

さらに、映像シーンの検出手段を設け、映像に応じて再生用フラグの使用方法を切替えてもよい。

【0019】

以下、本実施例の対向電圧（Vcom）の生成方法について説明する。

図12は、本実施例の対向電圧発生回路の原理を説明するための図である。

図12に示すように、通信手段310、制御回路311、不揮発性メモリ313、DAC312からなる対向電圧発生回路を構成する。

図13は、本実施例の対向電圧（Vcom）の自動調整システムの原理を説明するための図である。

図12に示す対向電圧発生回路を搭載した液晶表示装置321、およびこの液晶表示装置321にフリッカ検出用テスト信号を供給する信号発生器320、更にフリッカ量を測定し液晶表示装置321にフィードバックする光学検出装置323により、対向電圧自動調整システムを構成し、対向電圧調整の自動化を実現する。

対向電圧（Vcom）に対するフリッカ量は、図14に示すように2次曲線となり、フリッカ最小値Fminにおけるコモン電圧最適値VCOMはこの2次曲線の頂点となる。すなわちコモン電圧を最適値にすれば、フリッカを最小にすることができる。

本実施例によれば、前述した簡単な構成でコモン電圧の自動化が実現でき、固定費（人件費）の削減および表示品質の安定化に寄与することができる。

【0020】

図15に、本実施例の対向電圧自動調整システムの概略構成を示す。

図15では、図13の光学検出装置323に輝度計332を用い、輝度計332と液晶表示装置321との間にパソコン331を接続している。

信号発生器320により、フリッカ検出用テスト信号を液晶表示装置321に入力する（図15の1）。液晶表示装置321に表示された画像を輝度計332で測定し（図15の1）、輝度データをパソコン331に自動転送する。（図15の3）

ここで、フリッカ検出用テスト信号としては、例えば、中間調ドット市松パターンのような信号が使用される。

パソコン331には、フリッカ収束プログラムがインストールされ、フリッカ最小値Fminを検索するためのアルゴリズムが実行される。

そして、パソコン331は、コモン電圧制御命令を液晶表示装置321に対して発行する。（図15の4）

図1において、図12に示す通信手段310と制御回路311をマイコン121が担っており、先のコモン電圧制御命令（図15の4）をマイコン121の通信機能が受信すると、マイコン121はDAC124を制御してコモン電圧を移動させる。これによりフリ

10

20

30

40

50

ッカ特性が変化する。

図15の2, 3, 4のフィードバック制御を繰り返し、フリッカ最小値 F_{min} に収束させる。このときのDAC設定データを不揮発性メモリ122に保存する。

【0021】

通常動作では、電源投入直後に不揮発性メモリ122からDAC設定データを読み込んだ後、DAC124を設定してコモン電圧最適値 V_{COM} を得るようにする。

なお、本実施例では、マイコン121の負担を軽減するためにパソコン331を導入し、フリッカ収束プログラムを実行させているが、マイコン121に余裕があれば、図13に示すシステムでも実現可能であり、ライン設備を簡素化できる。

図16は、図1に示すTCONボード110の変形例を示す図である。

10

この図16に示すTCONボード110は、ASIC技術を活用し、図1に示すTCON120、メモリ(SDRAM)250、マイコン121、不揮発性メモリ122を、1つの半導体チップ(TCON150)に集約して、TCONボード110の小型化と、低コスト化を図ったものである。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【図面の簡単な説明】

【0022】

【図1】本発明の実施例のTF T方式の液晶表示モジュールの回路構成を示すブロック図である。

20

【図2】図1に示す液晶表示パネルの一例の等価回路を示す図である。

【図3】オーバードライブ処理の原理を説明するための図である。

【図4】オーバードライブ処理の原理を説明するための図である。

【図5】本発明の実施例のオーバードライブ処理におけるフレームメモリ構成を示す図である。

【図6】図5に示すメモリ制御回路の概略構成を示す機能ブロック図である。

【図7】図6に示す画素再生用フラグ生成部の概略構成を示すブロック図である。

【図8】図5に示すメモリ(SDRAM)に格納される、削減(あるいは圧縮)されたデータのビット配置の一例を示す図である。

30

【図9】図6に示すデータ再生回路を説明するための具体例を示す図である。

【図10】図6に示すライト用ラインバッファからメモリ(SDRAM)へのライトデータ転送、およびメモリ(SDRAM)からリード用ラインバッファへのリードデータ転送のタイムチャートを示す図である。

【図11】本発明の実施例のTF T方式の液晶表示モジュールのオーバードライブ処理の変形例を示す図である。

【図12】本発明の実施例のTF T方式の液晶表示モジュールの対向電圧発生回路の原理を説明するための図である。

【図13】本発明の実施例のTF T方式の液晶表示モジュールの対向電圧(V_{com})の自動調整システムの原理を説明するための図である。

40

【図14】対向電圧(V_{com})に対するフリッカ量を示すグラフである。

【図15】本発明の実施例のTF T方式の液晶表示モジュールの対向電圧自動調整システムの概略構成を示す。

【図16】図1に示すTCONボードの変形例を示す図である。

【図17】従来のオーバードライブ処理におけるフレームメモリ構成を示す図である。

【図18】従来の液晶表示装置の対向電圧発生回路を示す回路図である。

【符号の説明】

【0023】

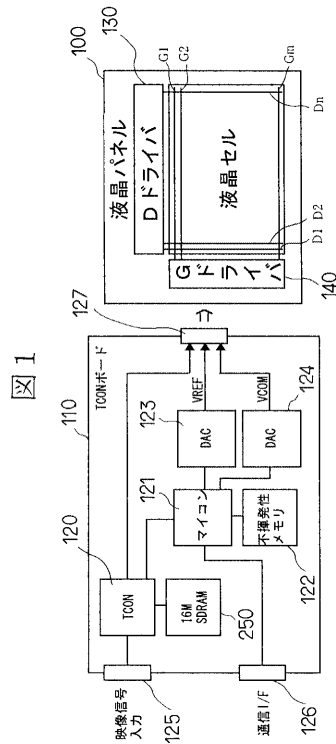
100 液晶表示パネル

110 TCONボード

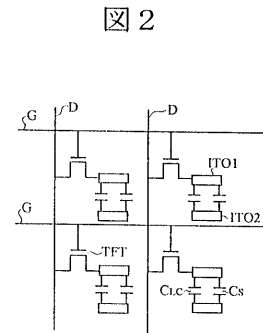
50

1 1 1	1 フレーム遅延回路	
1 1 2	データ比較回路	
1 1 3	データ操作回路	
1 2 0, 1 5 0	タイミングコントローラ (T C O N)	
1 2 1	マイコン	
1 2 2, 3 1 3	不揮発性メモリ	
1 2 3, 1 2 4, 3 1 2	デジタル・アナログ変換器 (D A C)	
1 2 5, 1 2 6, 1 2 7	端子	
1 3 0	ドレインドライバ	
1 4 0	ゲートドライバ	10
2 0 0	メモリ制御回路	
2 0 1	データ削減回路	
2 0 2	ライト用ラインバッファ	
2 0 3	S D R A M制御回路	
2 0 4	リード用ラインバッファ	
2 0 5	データ再生回路	
2 0 6	タイミング制御回路	
2 1 1	画素間引き部	
2 1 2	b i t 削減部	
2 1 3	画素再生用フラグ生成部	20
2 5 0	メモリ (S D R A M ; Synchronous Dynamic Random Access Memory)	
2 6 0	オーバードライブ制御回路	
3 0 1	輝度計算部	
3 0 2, 3 0 3	1 画素遅延素子	
3 0 4	平均計算部	
3 0 5	比較判定部	
3 1 0	通信手段	
3 1 1	制御回路	
3 2 0	信号発生器	
3 2 1	液晶表示装置	30
3 2 3	光学検出装置	
3 3 1	パソコン	
3 3 2	輝度計	
R D	可変抵抗器	
A M P	アンプ回路	
D	ドレイン線	
G	ゲート線	
T F T	薄膜トランジスタ	
I T O 1	画素電極	
I T O 2	共通電極 (対向電極、またはコモン電極)	40
CLC	画素容量	
CS	蓄積容量	

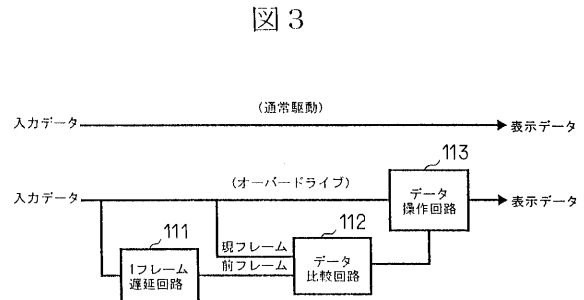
【図 1】



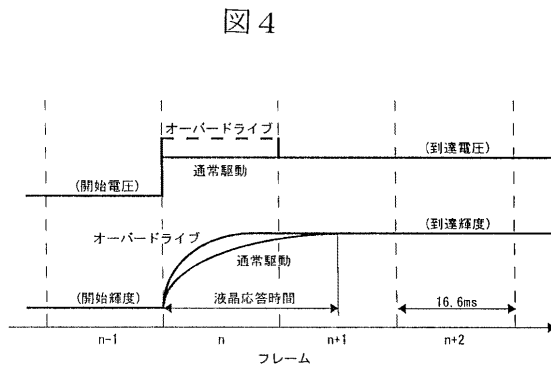
【図 2】



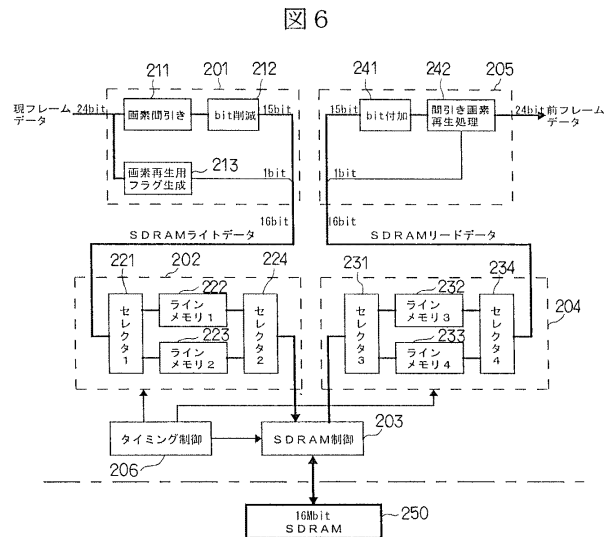
【図 3】



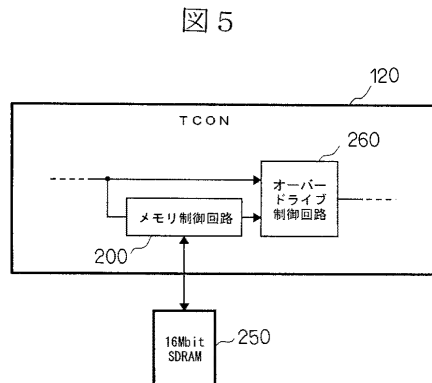
【図 4】



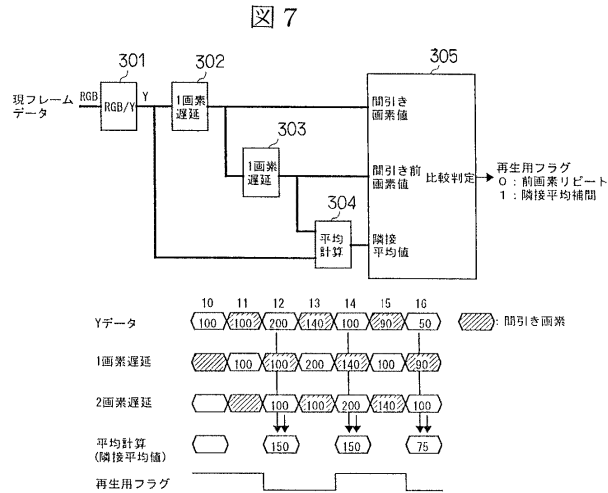
【図 6】



【図 5】



【図 7】

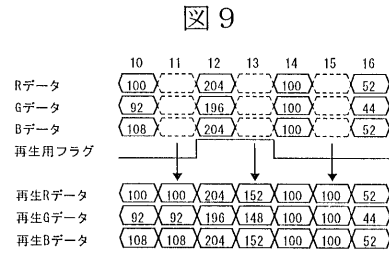


【図 8】

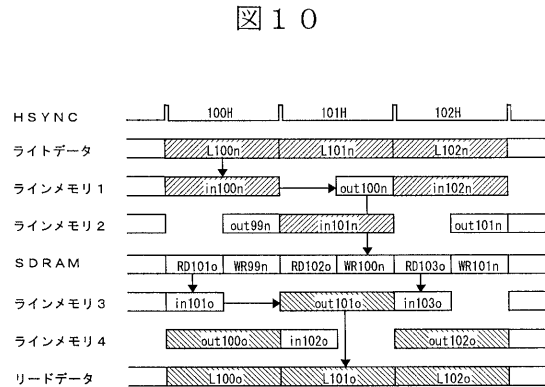
図 8

bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
data	R7	R6	R5	R4	R3	G7	G6	G5	G4	G3	B7	B6	B5	B4	B3	F

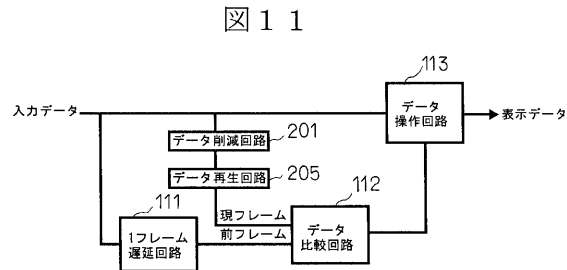
【図 9】



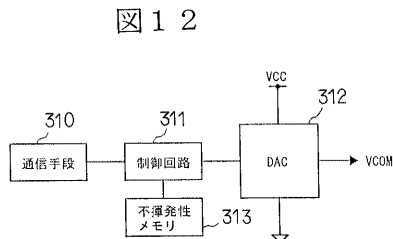
【図 10】



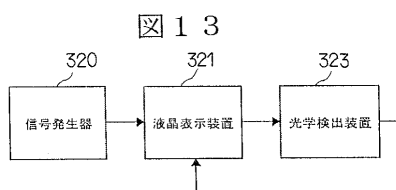
【図 11】



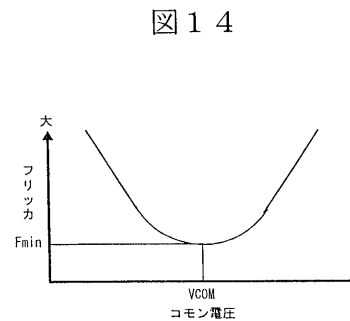
【図 12】



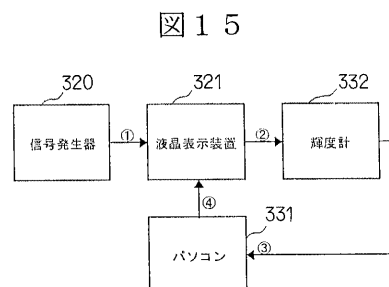
【図 13】



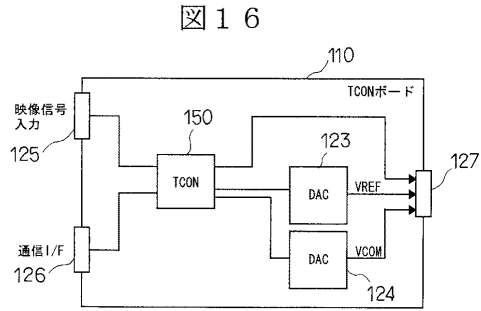
【図 14】



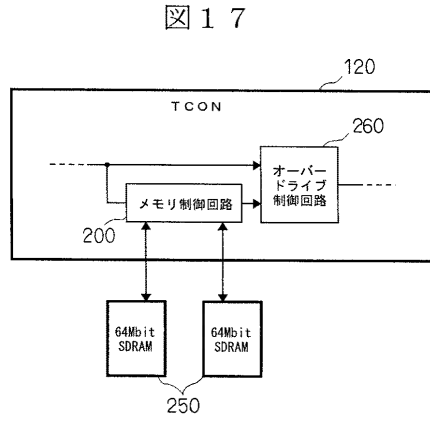
【図 15】



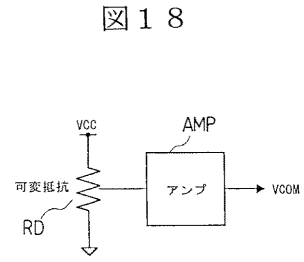
【図 16】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 3 1 R
G 0 9 G 3/20 6 3 2 B
G 0 9 G 3/20 6 3 2 C

(72)発明者 佐藤 篤
千葉県茂原市早野 3 6 8 1 番地 株式会社日立ディスプレイデバイス内
(72)発明者 中西 昭博
千葉県茂原市早野 3 6 8 1 番地 株式会社日立ディスプレイデバイス内

審査官 小川 浩史

(56)参考文献 特開 2 0 0 3 - 1 6 7 5 5 5 (J P , A)
特開 2 0 0 3 - 3 6 0 5 5 (J P , A)
特開平 9 - 8 1 0 8 3 (J P , A)
特開平 1 1 - 1 2 6 0 5 0 (J P , A)
特開 2 0 0 3 - 8 4 7 3 6 (J P , A)
特開 2 0 0 3 - 2 0 2 8 4 5 (J P , A)
特開 2 0 0 4 - 7 8 1 2 9 (J P , A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 2 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP4902116B2	公开(公告)日	2012-03-21
申请号	JP2004376688	申请日	2004-12-27
[标]申请(专利权)人(译)	株式会社日立制作所 株式会社日立显示器		
申请(专利权)人(译)	日立显示器有限公司 日立显示器件师祖		
当前申请(专利权)人(译)	日立显示器有限公司 松下液晶显示器有限公司		
[标]发明人	時田雅弘 佐藤篤 中西昭博		
发明人	時田 雅弘 佐藤 篤 中西 昭博		
IPC分类号	G09G3/36 G09G3/20		
FI分类号	G09G3/36 G09G3/20.612.U G09G3/20.621.F G09G3/20.623.R G09G3/20.631.B G09G3/20.631.R G09G3/20.632.B G09G3/20.632.C G02F1/133.545 G09G3/20.611.E G09G3/20.612.J G09G3/20.624.D G09G3/20.631.H G09G3/20.631.K G09G3/20.642.P		
F-TERM分类号	2H093/NA16 2H093/NC03 2H093/NC09 2H093/NC11 2H093/NC16 2H093/NC18 2H093/NC22 2H093/ /NC27 2H093/NC28 2H093/NC29 2H093/NC34 2H093/NC50 2H093/ND31 2H093/ND39 2H093/ND41 2H093/ND49 2H193/ZA04 2H193/ZE01 2H193/ZF03 2H193/ZF59 5C006/AA01 5C006/AA11 5C006/ /AC11 5C006/AC21 5C006/AC25 5C006/AF03 5C006/AF04 5C006/AF06 5C006/AF13 5C006/AF19 5C006/AF26 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF53 5C006/ /AF61 5C006/AF71 5C006/AF82 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF02 5C006/BF05 5C006/BF24 5C006/BF34 5C006/BF49 5C006/FA14 5C006/FA23 5C006/ /FA44 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD22 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ05		
审查员(译)	小川博		
其他公开文献	JP2006184448A		
外部链接	Espacenet		

摘要(译)

要解决的问题：显著降低过驱处理所需的帧存储器的存储容量。 过驱动处理单元包括存储前一帧图像数据的单个存储器和控制存储器的存储器控制电路，其中存储器控制电路接收输入图像数据的数据用于减少量并产生压缩图像数据的第一数据减少电路，用于临时存储从第一数据减少电路输出的压缩图像数据的写缓冲电路，从存储器读取的压缩图像用于临时存储数据的读缓冲电路，用于基于从所述读缓冲电路输出的压缩图像数据再现再现图像数据的第一数据再现电路，存储在所述写缓冲电路中的压缩图像数据在存储器中，从存储器读取压缩的图像数据，并将压缩的图像数据输入到读缓冲电路和一个控制电路。 点域6

図1

