

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4894183号
(P4894183)

(45) 発行日 平成24年3月14日(2012.3.14)

(24) 登録日 平成24年1月6日(2012.1.6)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 580
G09G 3/20 (2006.01)	G02F 1/133 550
H03K 17/16 (2006.01)	G09G 3/20 611C
	G09G 3/20 612J
	請求項の数 9 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2005-214580 (P2005-214580)
 (22) 出願日 平成17年7月25日(2005.7.25)
 (65) 公開番号 特開2007-33659 (P2007-33659A)
 (43) 公開日 平成19年2月8日(2007.2.8)
 審査請求日 平成20年2月25日(2008.2.25)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100113077
 弁理士 高橋 省吾
 (74) 代理人 100112210
 弁理士 稲葉 忠彦
 (74) 代理人 100108431
 弁理士 村上 加奈子
 (74) 代理人 100128060
 弁理士 中鶴 一隆
 (72) 発明者 鷹木 二郎
 熊本県菊池郡西合志町御代志997番地
 メルコ・ディスプレイ・テクノロジー株式
 会社内

最終頁に続く

(54) 【発明の名称】 ノイズ除去回路およびこれを用いたマトリクス表示装置、ならびに解像度弁別回路

(57) 【特許請求の範囲】

【請求項1】

マトリクス表示装置の表示制御信号のノイズ除去回路であって、

前記表示制御信号を入力し、該表示制御信号を順次遅延する複数段の遅延回路と、該複数段の遅延回路の出力の全てが同じ論理となった場合にのみ活性化検出信号を出力する論理回路から成る連続活性化検出部と、

前記マトリクス表示装置のドットクロック信号をカウントし、カウンタ初期化信号により初期化され、カウント許可信号によりカウントを実行するカウンタと、

該カウンタから出力されるカウント値を入力して、該カウント値が前記マトリクス表示装置の水平画素数に対応した所定の値に到達するとカウント停止信号を出力する水平画素数検出部と、

前記カウント停止信号を受けて前記活性化検出信号が非活性化時に、前記カウンタを初期化して前記カウント値が初期値となる前記カウンタ初期化信号を出力する初期化回路部と、

前記カウント値を入力して、該カウント値が前記初期値と等しいか否か検知し、等しい時に初期化状態信号を出力し、等しくない時には該信号を出力しない初期状態検出回路と、

前記活性化検出信号が活性状態かまたは前記初期化状態信号が非活性状態であって、かつ前記水平画素数検出部から入力する前記カウント停止信号が非活性状態の期間に前記カウント許可信号を前記カウンタに出力するカウントイネーブル回路部とを具備し、

10

20

前記カウンタが前記カウント許可信号の活性状態を受けて前記初期値からカウントを開始し、前記水平画素数に対応したカウント値分のカウントを終了後、前記カウンタ初期化信号によって前記カウンタを再び初期化するよう構成し、

前記初期化状態信号を用いてノイズが除去された表示制御信号を得ることを特徴とするノイズ除去回路。

【請求項 2】

ノイズを除去する前記表示制御信号はデータネーブル信号であることを特徴とする請求項 1 に記載の表示制御信号のノイズ除去回路。

【請求項 3】

前記複数段の遅延回路は 2 個ないし 30 個の D フリップフロップ回路で構成されていることを特徴とする請求項 1 または 2 に記載のノイズ除去回路。

10

【請求項 4】

前記カウンタは、アップカウンタ式であって、前記初期値は、零であることを特徴とする請求項 1 ないし 3 のいずれか一項に記載のノイズ除去回路。

【請求項 5】

前記カウンタは、ダウンカウンタ式であって、前記初期値は、マトリクス表示装置の水平画素数に対応した所定の値であることを特徴とする請求項 1 ないし 3 のいずれか一項に記載のノイズ除去回路。

【請求項 6】

前記水平画素数検出部のカウント停止信号および前記連続活性化検出部の前記活性化検出信号を入力する制御回路部をさらに備え、

20

該制御回路部の規定値出力を用いて前記水平画素数検出部に任意の水平画素数に対応した値を規定値として設定できるよう構成し、

前記制御回路部は、前記カウント停止信号が入力されると、前記活性化検出信号が非活性状態である場合は、前記規定値を増加させることを特徴とする請求項 1 ないし 4 のいずれか一項に記載のノイズ除去回路。

【請求項 7】

表示データ信号は、前記連続活性化検出部におけるノイズを除去する信号の遅延量と同等の遅延量を有する遅延回路を通過することを特徴とする請求項 1 ないし 6 のいずれか一項に記載のノイズ除去回路。

30

【請求項 8】

請求項 2 に記載のノイズ除去回路と、

前記データネーブル信号波形のエッジから次のエッジ間のドットクロック数をカウントする第一のカウンタと、

該第一のカウンタの第一のカウント値を保持するカウント保持回路と、

前記ノイズ除去回路のデータネーブル出力に同期して前記保持回路に保持された前記第一のカウント値が所定の閾値との大小を判別し、前記閾値より大であれば第二のカウント値を増加させ、閾値より小さければ前記第二のカウント値を減少させる第二のカウント回路と、を具備することを特徴とする解像度弁別回路。

40

【請求項 9】

請求項 1 ないし 7 のいずれか一項に記載のノイズ除去回路を用いたマトリクス表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、マトリクス表示装置のノイズ除去回路およびこれを用いたマトリクス表示装置に関し、特に、液晶表示装置におけるタイミングコントローラに採用するノイズ除去回路に関する。

【背景技術】

【0002】

50

従来、静電ノイズ印加試験時など液晶表示装置に代表されるマトリックス表示装置の筐体に高電圧が印加された場合、一瞬の表示異常が視認されていた。この表示異常は、液晶表示装置の入力端子にノイズが混入し、液晶表示装置に搭載されているタイミングコントローラを構成するデジタル回路内の信号にノイズ成分が重畳され、前記タイミングコントローラが誤動作を起こし、定常状態とは異なったタイミングで各種制御信号を出力することが主な原因と考えられる。

【0003】

液晶表示装置に内蔵されているタイミングコントローラの出力信号としては、前記入力端子への静電ノイズ重畳により、影響を受ける信号として、水平方向スタートパルス、垂直方向スタートパルスなどがあり、水平方向スタートパルスのタイミングずれ発生ではラインノイズ、出力抜け発生ではライン抜けなどの表示異常が発生する。さらに垂直方向スタートパルスのタイミングずれでは垂直方向の表示ぶれが発生し、出力抜けではフレーム抜けなど表示異常が発生する。フレーム抜けは静止画表示では大きな問題とならないが、動画表示の場合は画面飛びが生じ不自然な動きとなる。

10

【0004】

更に、液晶表示装置とこれを制御する表示コントローラとの間の表示制御信号に、水平、垂直同期信号を持たないインターフェース形式の場合、表示データの有効タイミングを表すデータイネーブル信号（以後DEN Aと称す）にノイズが重畳されると、画像の乱れが大きく、特に問題であった。

【0005】

20

また、前記表示制御信号のインターフェース規格として広く用いられるLVDS (Low Voltage Differential Signaling) インターフェースにおいては、動作電圧が一定レベル以下になるとLVDSレシーバの受信動作が不安定になり、誤動作を起こしてノイズ信号を発生する。

【0006】

上記ノイズ混入時におけるデジタル回路の誤動作防止するためのノイズ除去回路として、入力信号にノイズがある場合を想定し、複数本の入力系統を設けて各入力信号を比較し信号の信頼性を判断することで入力信号のノイズ成分を除去することが考えられている。（特許文献1参照）

【0007】

30

また、信号入力段に遅延回路をもたせ入力信号と遅延させた入力信号を組み合わせ回路にてノイズを除去する方法も周知である。（特許文献2および3参照）

【0008】

また、高周波ノイズ(短いパルス幅)用の第1フィルタ回路と低周波ノイズ(長いパルス幅)用の第2フィルタを繋げることによりノイズフィルタ回路を構成する例も周知である。（特許文献4参照）

【0009】

更に、連続して発生するノイズや長いパルス幅のノイズなどのノイズも検出する回路も周知である。（特許文献5参照）

【0010】

40

【特許文献1】特開平11-282401号公報

【特許文献2】特開平11-214964号公報

【特許文献3】特開平11-251884号公報

【特許文献4】特開2000-341098号公報

【特許文献5】特開2000-209076号公報

【特許文献6】特開2002-271427号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

前記特許文献1におけるノイズ除去回路においては、全ての系統にノイズがある場合に

50

フィルタリングできないなど十分な性能を有することはできない。また、前記特許文献2および3におけるノイズ除去回路においては、設定したパルス幅以上のノイズや連続して発生したノイズなどの場合、入力信号のノイズと遅延された入力信号のノイズが重なり、完全にノイズを除去することができない。また、前記特許文献4におけるノイズ除去回路においては、除去できるノイズパルス幅には限界があり、長いパルス幅のノイズに対応させようとする逆により本来の信号まで除去する可能性がある。

【0012】

更に前記特許文献5におけるノイズ除去回路においては、入力信号の立上り(又は立ち下り)エッジを検出して所定期間のレベルモニタ信号を発生するレベルモニタ回路を有し、レベルモニタ回路動作期間中のノイズを検出するというものであるが、活性(High)期間中のノイズ(Low)信号は検出できるが、非活性(Low)期間中に発生するノイズ(High)信号は検出できない、また、ノイズを除去する回路になっておらず、本来の入力信号を得るためには他の手段にてノイズ除去回路が必要であった。

【0013】

また、前記特許文献6におけるノイズ除去回路においては、エッジ検出手段を用いて入力信号のエッジ検出し、このエッジを受けて一定期間をカウントするタイマー手段を持ち、タイマー手段がカウント中は入力信号をマスクするマスク手段を設けて、入力信号をマスクし、ノイズを除去するというものであるが、活性(High)期間中のノイズ(Low)信号は検出できるが、非活性(Low)期間中に発生するノイズ(High)信号は除去できない。

【0014】

尚、前記活性期間(High)とは、その信号が他の入力信号(例えばデータ信号など)が有効か無効を決定する信号であり、前記入力信号が有効である場合を言う。非活性期間(Low)とは、前記入力信号が無効な状態を言う。以後も活性・非活性期間の定義はこれに従う。

【課題を解決するための手段】

【0015】

この発明に係るマトリクス表示装置の表示制御信号のノイズ除去回路は、前記表示制御信号を入力し、その表示制御信号を順次遅延する複数段の遅延回路と、その複数段の遅延回路の出力の全てが同じ論理となった場合にのみ活性化検出信号を出力する論理回路から成る連続活性化検出部と、前記マトリクス表示装置のドットクロック信号をカウントし、カウンタ初期化信号により初期化され、カウント許可信号によりカウントを実行するカウンタと、そのカウンタから出力されるカウント値を入力して、そのカウント値が前記マトリクス表示装置の水平画素数に対応した所定の値に到達するとカウント停止信号を出力する水平画素数検出部と、前記カウント停止信号を受けて前記活性化検出信号が非活性化時に、前記カウンタを初期化して前記カウント値が初期値となる前記カウンタ初期化信号を出力する初期化回路部と、前記カウント値を入力して、そのカウント値が前記初期値と等しいか否か検知し、等しい時に初期化状態信号を出力し、等しくない時にはその信号を出力しない初期状態検出回路と、前記活性化検出信号が活性状態かまたは前記初期化状態信号が非活性化状態であって、かつ前記水平画素数検出部から入力する前記カウント停止信号が非活性化状態の期間に前記カウント許可信号を前記カウンタに出力するカウントイネーブル回路部とを具備し、前記カウンタが前記カウント許可信号の活性状態を受けて前記初期値からカウントを開始し、前記水平画素数に対応したカウント値分のカウントを終了後、前記カウンタ初期化信号によって前記カウンタを再び初期化するよう構成し、前記初期化状態信号を用いてノイズが除去された表示制御信号を得ることを特徴とする。

【発明の効果】

【0016】

液晶ディスプレイなどのフラットパネルディスプレイにおいては、搭載するタイミングコントローラ内に本ノイズ除去回路を用いることにより、液晶駆動回路への制御信号を常に定常動作に維持することで表示異常の発生を抑えることが可能となる。

【発明を実施するための最良の形態】

【0017】

実施の形態1.

図1に本実施の形態1におけるノイズ除去回路6を採用したタイミングコントローラ5を採用した液晶表示装置1のシステム構成図を示す。図1において、液晶パネル10は、XGA(Extra Graphic Array)の解像度を有しており、代表して図示した画素12およびそれを駆動するTFT11が、夫々縦768個、横1024×3個(R,G,B分)マトリックス状に、配置されており(図示せず)、それらの画素を駆動するために複数の走査線および信号線に夫々接続される走査線駆動回路2および信号線駆動回路3が液晶パネル10のマトリックス表示部周辺に配置されている。

10

【0018】

本実施の形態1においては、前記表示コントローラから液晶表示装置1のタイミングコントローラ5に入力される表示制御信号およびそのタイミングは、図2に示したように互換性が高い一般的なタイミングを採用しており、以下に詳しく説明する。

【0019】

図2において、データネーブル(以後DENAと称す)信号および表示データ(以後DATAと称す)信号はタイミングコントローラ5内のデジタル回路でドットクロック(以後DCLKと称す)の立下り(または立上り)に同期するタイミングで読み込まれており、液晶パネル10に表示されるDATA信号はDENA信号の活性期間(High期間)にて前記でデジタル回路にて有効と判断される。また図2の上半部では、約2フレームに渡るDCLKとDENAおよびDATA信号のタイミング関係を示している。1フレーム間において、DENA信号が比較的長期間に亘り(通常数10水平期間分)非活性期間が続く期間即ち垂直ブランキングが終了し、最初にDENA信号が活性化(High期間)する1024DCLK期間が第1ラインのDATA信号有効期間を表し、下記にて説明する水平ブランキング期間(通常数10DCLK間分)を置いて、次のDENA信号が活性化する1024DCLK期間が第2ラインのDATA有効期間を表す。また次フレームのとの間の垂直ブランキング期間が開始する直前の最終DENA信号活性化期間(1024DCLK期間)が最終768ライン目のDATA信号有効期間である。

20

【0020】

次に、図2下半部を用いて、2水平期間に亘るDCLK、DENAおよびDATA信号間のタイミングを説明する。前述した通り液晶パネル10に表示する表示データはDCLKの立下りに同期して読み込まれ、DENA信号が非活性状態から活性状態に立ち上がった最初のDCLK期間が、第1表示データ即ち表示画面上では各水平ライン上の左端の画素に書き込まれるDATA信号を表し、次のDCLK期間が第2表示データを表す。以後、1024DCLK分まで順次DATAがタイミングコントローラ5内のデジタル回路に読み込まれる。DENA信号が立ち上がって1025DCLK期間経過するとDENA信号が非活性(Low)となり、水平ブランキング期間となる。以後、この繰り返しを768回実施すると1フレーム分即ち一画面分のデータがタイミングコントローラ5に取り込まれる。

30

【0021】

また、タイミングコントローラ5と走査線駆動回路2および信号線駆動回路3の関係について説明する。図1に示したタイミングコントローラ5内のタイミング制御回路4は、入力されたDCLK、DENA信号およびDATA信号から垂直方向スタートパルスおよび水平走査クロックなど走査線駆動制御信号13を生成し、走査線駆動回路2へ出力する。さらに水平方向スタートパルス、ラッチパルス、表示データなど信号線駆動制御信号14を生成し信号線駆動回路3へ出力する。

40

【0022】

前記制御信号13、14は走査線駆動回路2に採用するゲートドライバICや信号線駆動回路3に採用するソースドライバICの入力信号のタイミング仕様に基づいて所定のタイミングにてタイミングコントローラ内のタイミング制御回路4にて生成される。

50

【 0 0 2 3 】

次に、図 1 におけるノイズ除去回路 6 および遅延回路 7 について説明する。図 1 に示した様にタイミングコントローラ 5 は、タイミング制御回路 4、ノイズ除去回路 6 および遅延回路 7 を備え、ノイズ除去回路 6 は前記表示コントローラから入力する D E N A 信号 8 が入力され、ノイズ除去後の D E N A 2 信号 1 6 を出力する。遅延回路 7 には D A T A 信号 9 が入力され、所定の D C L K 周期分遅延した遅延 D A T A 信号 1 5 が出力される。

【 0 0 2 4 】

前述の様にタイミングコントローラ 5 内のタイミング制御回路 4 には、D C L K やノイズ除去後の D E N A 2 信号 1 6 および遅延 D A T A 信号 1 5 が入力され、これらの信号に基づいて前記制御信号 1 3、1 4 が作られ、走査線駆動回路 2 および信号線駆動回路 3 に出力される。D C L K に同期して入力される前記遅延 D A T A 信号 1 5 は、同様に D C L K に同期する D E N A 2 信号 1 6 によってその有効無効が確定される。

10

【 0 0 2 5 】

更に、前述した様にタイミングコントローラ 5 から走査線駆動回路 2 へは、走査線駆動制御信号 1 3 として垂直方向 C L K と垂直方向スタートパルスが出力され、信号線駆動回路 3 へは信号線制御信号 1 4 として出力 D A T A、水平方向スタートパルスおよびラッチパルス等が出力される。

【 0 0 2 6 】

次に、図 3 を用いてノイズ除去回路 6 と遅延回路 7 の動作タイミングについて概要を説明する。

20

【 0 0 2 7 】

図 3 に D E N A 信号に対してノイズ除去回路 6 を採用したタイミングコントローラ 5 の主な表示制御信号のタイミングを示す。同図にて信号線制御信号 1 4 に含まれる水平方向スタートパルスは、同信号 1 4 に含まれるソースドライバ I C への出力 D A T A の水平ブランキング後の最初のデータの 1 D C L K 期間前のタイミングで出力され、走査線制御信号 1 3 に含まれる垂直方向スタートパルスは垂直ブランキング後の最初の水平走査タイミングにて出力される。

【 0 0 2 8 】

前述のように、D E N A 信号は、表示用データの有効無効を確定するために用いられるため、前記水平ブランキング後の最初の D A T A 信号タイミングおよび垂直ブランキング後の水平走査タイミングの正確な位置を得るため、その信号タイミングが重要であり、D E N A 信号の配線にノイズ除去回路 6 が必要となる。

30

【 0 0 2 9 】

ここでノイズ除去回路 6 は入力される D E N A 信号は、後述する様に所定の遅延を含むため、D A T A 信号にも同等の遅延を加える必要が有る。即ち D E N A 信号と D A T A 信号のタイミングの同期をとれば、後続のタイミング制御回路 4 を変更することなくタイミングコントローラ 5 を構成することができる。

【 0 0 3 0 】

更に、タイミングコントローラ 5 に内蔵され、例えばデータ変換回路など D A T A 信号に遅延が発生する付加回路が必要な場合、ノイズ除去回路の遅延時間をそれにあわせるなどして無駄な遅延回路を増やさないように工夫することもできる。

40

【 0 0 3 1 】

次に、図 4 に本実施の形態 1 にて採用したノイズ除去回路 6 の構成図を示す。ノイズ除去回路 6 は、同一 D C L K 信号にて同期して動作する 6 段の D フリップフロップ回路（以後 D - F F と称す）からなる遅延回路ブロック 3 1 と、入力信号 D E N A と前記 D - F F 回路にて 1 D C L K 毎に順次遅延した信号を入力する 7 入力 A N D 回路部 2 2 とで構成される D E N A 立上り検出部 2 1、D C L K を入力して、D C L K の入力パルス数をカウントするカウンタ 2 7 と、前記 A N D 回路部 2 2 の立上り検出出力 P E G を入力し、前記カウンタ 2 7 のカウント機能の動作又は停止を制御するカウント許可信号 E N V をカウンタ 2 7 へ出力するカウントイネーブル回路部 2 6 と、前記立上り検出部 2 1 の立上り検出

50

カ P E G を入力し、カウンタ 27 の初期化信号 I N T を生成し、カウンタ 27 に入力する初期化回路部 25 と、前記カウンタ 27 のカウント出力 C N T が表示パネル 10 の解像度に基づいて予め定められた規定値 1024 と一致するかどうかを検出し、一致した場合はカウント停止信号 E O C を前記初期化回路部 25 およびカウントイネーブル回路部 26 へ出力する水平画素数検出部 23 と、カウンタ 27 の出力 C N T を入力してカウンタ 27 が初期状態であるかを検出し、カウンタ初期状態信号 I T S を出力する初期状態検出部 24 と、前記カウンタ初期状態信号 I T S を入力しデータイネーブル出力 D E N A 2 を生成する反転バッファ 28 とから構成され、この反転バッファ 28 の出力 D E N A 2 がノイズ除去後の信号 16 となる。ここでは、カウンタ 27 がアップカウンタ式を採用しており、初期化されるとその出力 C N T は零となるため、初期状態検出部 24 には前記出力 C N T が零であるかを検出する零値検出回路を採用しており、一方、水平画素数検出部 23 はカウンタ 27 の出力 C N T が規定値に達したかどうかを判別する規定値検出回路を採用している。

10

【0032】

更に、前記 D E N A 2 は前記カウントイネーブル回路部 26 に入力される。ここで、前記水平画素数検出部 23 に設定されている規定値は、液晶パネル 10 の解像度が X G A で有るため、1024 としている。

【0033】

次に図 4 にて示したノイズ除去回路 6 の動作について図 5 のタイミング図を用いて詳しく説明する。図 4 及び図 5 に示した実施の形態 1 において、遅延回路ブロック 31 と該遅延回路ブロック 31 の 6 本の遅延出力および D E N A 信号 8 を入力する前記 A N D 回路部 22 によって、D E N A 信号 8 が 7 D C L K 期間に亘り連続して活性 (H i g h) 状態を保っているかを検出し、連続して活性状態の場合は立上り検出出力 P E G に H i g h を出力する。即ち該信号 P E G は D E N A 信号 8 の立上りエッジを検出することになり、検出までの遅延時間は 6 D C L K 分に相当する。前記遅延時間は遅延回路ブロック 31 の D - F F の数に依存し、本実施の形態 1 では 6 個の場合を例示している。

20

【0034】

ここで、D E N A 信号の立上りエッジが入力し、図 5 に示す立上り検出出力 P E G が H i g h になると、前記カウント許可信号 E N V が H i g h となり、カウンタ 27 が D C L K のカウントアップ動作を始める。カウンタ 27 のカウンタ値 C N T が規定値 1024 に到達すると、水平画素数検出部 23 からカウント停止信号 E O C (H i g h パルス) が出力され、該信号 E O C が初期化回路部 25 に入力する。この時点でカウンタ 27 は水平画素数検出部 23 に設定された規定期間即ち零から規定値 1024 D C L K 相当期間分をカウントしたことになる。

30

【0035】

ここで、入力 D E N A 信号 8 は既に 1024 D C L K 分以上経過しているので非活性 (L o w) となっており、前記 A N D 回路部 22 を経た信号 P E G も L o w となり、その結果初期化回路部の A N D 回路 30 の出力信号即ち初期化信号 I N T も H i g h となり、次の 1 D C L K 入力後、カウンタ 27 は初期化され、その結果カウント出力 C N T が初期値 0 になる。そのカウント出力 0 を受けて、初期状態検出部 24 にて初期状態が検出され、その出力信号 I T S は H i g h となる。該信号 I T S の反転信号であるデータイネーブル出力 D E N A 2 信号 16 はカウンタ値 C N T が 0 以外のとき H i g h となる。

40

【0036】

更に図 5 にて、想定するパルス幅のノイズが D E N A 信号 8 に重畳された場合の動作について説明する。前述の L V D S レシーバ誤動作時を想定した場合、数 D C L K ~ 十数 D C L K 相当期間のパルス幅を持つノイズを想定しただけでは、ノイズがその範囲内に収まるかは定かではないため、それ以上の長いパルス幅をもつノイズが発生する場合も想定しなければならない。

【0037】

本実施の形態 1 では、D E N A 信号 8 が活性 (H i g h) 期間に発生する遅延回路ブロ

50

ック31のD-FF分以上の長いLow成分のノイズ信号が発生したとしてもカウンタ27がカウントアップ動作をしている期間であればカウンタ27のカウント動作に影響を与えることが無く、当該ノイズを除去することができる。

【0038】

次に図6を用いて、DENA信号8の非活性(Low)期間にノイズが発生し、遅延回路ブロック31の総遅延時間(DCLK期間×D-FF総数)以上の長いノイズ(High)信号がDENA信号に重畳した場合のノイズ除去回路6の動作を説明する。

【0039】

前記非活性(Low)期間に発生した長いパルスノイズにより、遅延回路ブロック31と7入力AND回路部22にてノイズ(High)信号を入力信号と誤検出し、カウンタ27がカウントアップを始める。カウンタ27が前記規定値1024までカウントアップしたところでカウント許可信号ENVを作成するカウントイネーブル回路部26の中のAND回路29が働き、カウント許可信号ENVをLowにしてカウンタ値CNTを保持しDENA信号8が非活性(Low)になるまで保持し続ける。尚、初期化信号INTを作成する初期化回路部25も立上り検出出力PEGがHighのため、カウンタ27の初期化も働かない。

10

【0040】

その後、次の水平走査期間に対応する正規の水平ブランキング期間が開始し、DENA信号が非活性(Low)となり、前記立上り検出出力がLowとなり、初期化信号INTが働きカウンタ27は初期化される。これらの働きにより、誤動作を最小限(1ライン分)に抑えることができる。

20

【0041】

言い換えれば、カウントイネーブル回路部26は、内蔵されたAND回路29の入力信号として、水平画素数検出部23のカウント停止信号EOCの反転信号と、DENA立上り検出部21の立上り検出出力PEGおよび反転回路28の出力DENA2信号とのOR出力を入力し、それらの論理積をAND回路29にてとり、カウント許可信号ENVを生成するため、図6にて示したように、例え入力DENA信号の非活性期間に長いパルスノイズが重畳され、データイネーブル出力DENA2信号16が1ライン分誤動作を起こして通常より少ない数のDCLKでカウンタ27のカウント値が1024に達し、水平画素数検出部23の出力EOCがHighとなったとしても、次の水平走査ラインに対応するDENA信号8として正規の非活性信号Lowが入力されるまでカウンタ27のカウント値1024が保持され、カウンタ27の初期化が正規の非活性信号Low後の次DCLKで実行される。その結果、DENA信号8のずれによる表示誤動作は1水平ラインのみで収束する。

30

【0042】

また、カウンタ27のカウント値CNTが1024に達して、水平画素数検出部23の出力カウント停止信号EOCがHighになると、AND回路29の出力がLowとなり、カウンタ27のカウントが停止されこのときのカウンタ値1024が保持されたままとなる。ノイズによる誤動作が発生した場合、規定値1024を保持することにより、次の正規DENA信号8の非活性タイミングでカウンタ27の初期化を着実に働かせ、誤動作の連続を回避することが可能である。

40

【0043】

ここで、ノイズ除去回路6の動作は本実施の形態1で例示した規定値は1024でなければならない訳ではなく、液晶パネルの解像度を考慮して設計の都合で自由に設定してよい。例えば、水平画素数検出部23の規定値は液晶パネルの解像度の仕様で規定される入力DENA信号のパルス幅期待値の仕様により決定する。即ち、該規定値とは液晶表示装置における入力信号のDENA信号のパルス幅に相当し、解像度によってXGAならば1024、SVGA(Super VGA)ならば800、VGAならば640等の数字になる。また、データ信号を分割している場合などはXGAで512、SVGAで400等となっても構わない。

50

【 0 0 4 4 】

また、本実施の形態 1 における図 4 にて、ノイズ除去回路 6 の構成例について説明し、カウンタ 2 7 については、初期値 0 からカウントを開始しカウント値を加算させて行くアップカウンタを採用して説明したが、カウンタについては、特にアップカウンタである必要はなく、図 7 で示したダウンカウンタを採用したノイズ除去回路 4 0 のように前記規定値を初期化時にカウンタ 3 2 にプリセットして D C L K 入力パルスでダウンカウントするダウンカウンタを採用しでも良い。この場合、水平画素数検出部 3 3 に零値検出回路を、また初期状態検出部 3 5 に規定値検出回路を採用する。従って、カウンタ 3 2 の出力 C N T が初期値である規定値からダウンカウントが進行して零となり、前記零値検出回路の出力であるカウント停止信号 E O C が H i g h となり、初期化回路部 2 5 に入力すると、初期化信号 I N T が H i g h となり、前記初期値 1 0 2 4 がカウンタ 3 2 にプリセットされる。その他の回路部の構成および動作は図 4 にての説明と同様であり、同等のノイズ除去機能を得ることが可能である。

10

【 0 0 4 5 】

前述したノイズ除去回路 6 の遅延回路ブロック 3 1 の例では、D - F F の数を 6 段として説明したが、ノイズ除去の機能を有する D - F F の段数によって、フィルタ係数が決定されるのみで、特に制限は無くいくつに設定してもよいが、前記 D - F F の段数が少ないと入力信号の非活性期間 (L o w 期間) に発生したノイズ (H i g h) 信号に敏感に反応し入力信号と間違えてしまい立上りポイントが本来の入力信号位置の前になってしまう可能性がある。逆に D - F F の数が多ければ入力信号の非活性期間 (L o w) に発生したノイズ信号 (H i g h) には反応することなく所望の働きが期待できるが、本来の入力信号の立上り部に発生するノイズに敏感になるため立上りポイントが後ろになる可能性が高くなる。静電気ノイズの放電による前記 L V D S レシーバの誤動作時のノイズパルス幅は数 D C L K ~ 十数 D C L K 分に相当するため、D - F F の数は 2 ~ 3 0 個程度に設定するのが望ましい。

20

【 0 0 4 6 】

実施の形態 2 .

本実施の形態 2 では、前記実施の形態 1 にて採用した規定値検出回路において、図 8 で示したように、予めノイズ除去回路 4 1 の外部に設置された制御回路 3 4 から規定値出力 L O D を入力可能な仕様としておき、液晶パネルの様々な解像度にも対応できるようにした例である。

30

【 0 0 4 7 】

ここで、本実施の形態 2 における液晶表示装置のシステム構成図などノイズ除去回路 4 0 以外の構成部分においては、前記実施の形態 1 にて採用した構成と同一であり、同一の番号を振って詳細な説明は省略する。

【 0 0 4 8 】

ノイズ除去回路 4 1 において、前述の様に水平画素数検出部 4 3 は、信号 C N T が規定値と一致するかを検出する機能を有し、前記規定値出力 L O D を外部制御から設定できる構成としている。この構成により、制御回路 3 4 により、各種の液晶パネル解像度仕様に対応してノイズ除去回路 4 1 の規定値を変更することが可能となり、それゆえノイズ除去回路 4 1 を採用した一つの種類のタイミングコントローラにて、多くの解像度の液晶表示装置に対応することができる。

40

【 0 0 4 9 】

ここで、外部の制御回路 3 4 からタイミングコントローラ内蔵のノイズ除去回路 4 1 に前記規定値を設定する具体的な方法について例示する。一般的な方法の一つとして、制御回路 3 4 に (図示しない) 1 ピン以上の設定端子を設け、該端子の H i g h / L o w に基づいて、タイミングコントローラ内、或いはノイズ除去回路 4 1 内の論理回路に予め用意された複数の設定値から一つを選択し、水平画素数検出部 4 3 の規定値とする方法がある。

【 0 0 5 0 】

50

さらには、タイミングコントローラ内或いはその外部に規定値データが記録されたROM（図示しない）を設置し、前記制御回路34を通じて、前記ROMから読み出した規定値出力LODをノイズ除去回路41の水平画素数検出部43に設定するよう構成してもよい。この場合、前記ROMの内容を書き換えれば、タイミングコントローラの論理回路を変更することなく、規定値を変更することが可能となり、事前に用意された解像度以外の特殊な解像度を持った液晶パネルに対しても、比較的早期に前記ノイズ除去回路41の適用が可能となる。

【0051】

また、以上の説明では、制御回路34をタイミングコントローラ6の内部に設置して説明したが、特に内部である必要はなく、設置場所は問わない。

10

【0052】

実施の形態3

本実施の形態3では、図8に示したように前記実施の形態2にて採用した前記ノイズ除去回路41に内蔵された水平画素数検出部43の検出力EOCを制御回路34に入力するよう構成し、制御回路34にて液晶パネルを表示するための信号DEN A入力の長さから表示すべき液晶パネルの解像度について、予め決められた解像度と合致するかどうかを段階的に判別し、前記規定値を設定するよう構成する。

【0053】

ここで、本実施の形態3における液晶表示装置のシステム構成図などノイズ除去回路41以外の構成部分においては、前記実施の形態1および2にて採用した構成と同一であり、同一の番号を振って詳細な説明は省略する。

20

【0054】

次に、制御回路34の規定値設定動作について、詳しく説明する。制御装置34は、まず水平ブランキング期間において、前記予め決められた解像度の中で、最も少ない数値（即ち前記規定値：例えばVGA対応で640）を仮定して、規定値LODとして前記水平画素数検出部43に設定する。次にDEN A立上り検出部21にてDEN A信号8の立上り検出力PEGがHighとなり、カウンタ27がカウント許可となり、出力CNTが零から増加して行く。ここで入力DEN A信号8の活性期間長をCLK周期で除算した値が640で、前記規定値LOD同一の場合、前記CNT出力が640となった時点で、水平画素数検出部43の検出力EOCにHighパルスが出力され、このHighパルスを前記制御回路34で読み込み、同時にPEG信号のHigh/Lowも取り込む。出力EOCにHighパルスが出現したことは、前記規定値LODとカウンタ27のCNT出力値は同一即ち640であることを意味するので、DEN Aの活性期間長は640CLK分以上である。ここで、制御回路34が取り込んだ前記PEG信号がLowの場合、既に入力DEN A信号8もLowであることを意味するから、表示コントローラから出力されている水平解像度は640であり、制御回路34の規定値設定動作を終了する。

30

【0055】

前記出力EOCにHighパルスが出現した時点のPEG信号がHighであった場合は、水平解像度が640を超えていることを意味するので、制御回路34は前記規定値LODに800（SVGA対応）を出力し、水平画素数検出部43の設定値とする。その後、DEN A信号が活性となり、PEG信号が立上りカウンタ27がカウント許可となり、前記CNT出力が800となった時点で、水平画素数検出部43の検出力EOCにHighパルスが出力され、このHighパルスを前記制御回路34で読み込み、同時にPEG信号のHigh/Lowも取り込む。ここで、制御回路34が取り込んだ前記PEG信号がLowの場合、既に入力DEN A信号8もLowであることを意味するから、表示コントローラから出力されている水平解像度は800であり、制御回路34の規定値設定動作を終了する。

40

【0056】

前記出力EOCにHighパルスが出現した時点のPEG信号がHighであった場合は、水平解像度が800を超えていることを意味するので、制御回路34は前記規定値L

50

ODに1024(XGA対応)を出力し、水平画素数検出部43の設定値とする。

【0057】

以後、制御回路34にて仕様で想定された最大解像度まで上記規定値設定動作とPEG信号の検出動作を繰り返し、前記規定値出力LODを段階的に増加させて行き、前記検出出力EOCにHighパルスが出力された時点でのPEG信号のHigh/Lowを読み込み、制御回路34にて仮に設定したLOD値が適切かを判断することが可能であり、制御回路34にて表示パネル10の解像度に対応した適切な設定値を選択することができる。

【0058】

また、以上の説明においては、適切な設定値の選択が完了するまでの時間を短縮するために、前記予め決められた解像度を段階的に増加させて行き、設定値を選択したが、液晶パネルの解像度が特殊な場合などの例では、設定値を所定の最小値から一つずつ増加させてPEG信号のHigh/Lowを読み込んで適切かどうか判断する方法を採ってもよい。この場合、入力DENA信号から生成される立上り検出出力の立上りは6DCLK分遅延しており、その分カウンタのカウント開始が遅れる。従って、前記設定値を一つずつ増加させて行き最初にPEG信号がLowになった設定値に対して前記遅延相当分6を加算して最終的な設定値LODとすればよい。

【0059】

実施の形態4

図9にDENA信号および前記ノイズが除去された前記DENA2信号から液晶パネルの解像度を弁別する解像度弁別回路50の実施の形態について、その構成を示す。まず、DENA信号の立下りエッジを検出するエッジ検出回路部100の立下りエッジ検出出力EDG1出力、DENAおよびDCLKが第一のカウンタ101に入力される。カウンタ101はDENAが活性化(High)されるとDCLKのカウントを開始し、立下りエッジEDG1が入力すると停止し、第一のカウント値CNT1をカウンタ値保持回路部102に出力する。また、カウンタ101に入力するDENAが非活性(Low)となると、リセットされ第一のカウント値出力CNT1は零となる。カウンタ値保持回路部102はDENA信号の立下りエッジEDG1が入力されると、そのときのCNT1を保持すると同時に、保持しているカウンタ保持値MTNをDENAパルス幅判別回路104に出力する。エッジ検出回路部103は、前記エッジ検出回路部100と同様の回路で構成されており、DENA2の立下りエッジを検出し、該エッジEDG2をDENAパルス幅判別回路部104に出力する。DENAパルス幅判別回路部104には、前記EDG2信号とMTN信号が入力し、前記EDG2パルスが入力された時点におけるMTN値が予め定められた所定の閾値より大きいか、小さいかをPDT信号としてEDG2信号の立上りに同期して第二のカウンタ即ちアップダウンカウンタ105に出力する。アップダウンカウンタ105は、前記PDT信号とEDG2信号を入力して、EDG2信号の立上りエッジが入力される毎にそのカウントを増減させる4ビットのカウンタで、前記PDT信号がHighの時はカウント値を増加しLowの時はカウント値を減少させる。また、アップダウンカウンタ105のカウント値CNT2即ち第二のカウント値は、最小値0から最大値15までであり、0から15及び15から0への循環(キャリーオーバー)は実行しない回路構成となっている。前記第二のカウント値CNT2は、解像度判別回路106へ入力され、解像度判別回路106にて解像度が判別されて判別結果DSTとして出力される。該判別結果DSTは、図1で示したタイミングコントローラを構成するデジタル回路内、例えば前記タイミング制御回路4などで液晶パネル10の水平解像度を規定する信号として使用される。

【0060】

次に図10を用いて、前記解像度弁別回路50のタイミング関係を詳細に説明する。図10において、DENA信号には、その活性化期間(High)にノイズが重畳され細いLowレベルのパルスが乗っているとす。その結果、エッジ検出回路部100にて前記ノイズ由来の立下りエッジが検出され、本来のブランキング開始時より早くEDG1出力

10

20

30

40

50

が検出さる（本実施の形態の例では2本の立下りエッジが検出されたとした）。その結果、MTN出力は正規の値1024に続いて500と200が順次保持され、本来1024になるはずのブランキング期間においても300が保持出力されることになる。

【0061】

次に前記ブランキング期間にノイズが除去されたDEN A 2が立下るため、EDG 2信号が発生し、そのときのMTN値300が所定の閾値、例えばSVG AとXGAの水平解像度の中間の値912より小さいためDEN Aパルス幅判別回路部104のパルス幅判別出力PDTの値はEDG 2の立下りに同期してLowとなる。前述の様にアップダインカウンタ105は、EDG 2の立上りエッジに同期して入力されるカウンタであり、図10の下部の拡大図で示した様に、EDG 2の立上りエッジ時は、未だHighであるのでカウント値は最大値15のままである。

10

【0062】

次に、上記で説明した水平周期の次の水平周期においてもDEN A信号にノイズが重畳されたとすると、既に説明したタイミングと同様の結果を得るので、ここでは詳しい説明は省略するが、前周期と同様に前記PDT出力はレベルLowのとなるので、ここでアップダインカウンタ105は、EDG 2の立上りエッジに同期して前記PDT出力Low読み込んでカウント値を15から14へと減算させる。常に即ち、一水平周期遅れてアップダウンカウンタ105にて増減処理がなされる。

【0063】

前記アップダインカウンタ105のカウント値CNT 2は、解像度判別回路106へ入力され、所定の値（例えば7）より大きいか小さいかで解像度が判別されて判別結果DSTとして出力される。

20

【0064】

ここで、本実施の形態5ではアップダウンカウンタとして4ビットのカウンタ（0から15までカウント）を例に採って説明したが、回路を簡略化して例えば3ビット（0～7）や、更に高いノイズ除去効果を得るため8ビット（0から255までカウント）カウンタなど自由の選択できる。

【0065】

また、本実施の形態5では、アップダウンカウンタ回路105は、EDG 2の立上りに同期してカウントするとしたが、PDT信号の変化タイミングとの競合が回避可能であれば立下りでカウントしてもよい。

30

【0066】

以上説明したように、ノイズ除去されたDEN A 2信号を用いて、DEN Aの立下りエッジをカウントし、予め定められた所定の閾値（912）との大小を判別し、それをカウントすることによりノイズが重畳されても誤判別を起こす恐れのない解像度弁別回路50を得ることができる。

【0067】

さらに、複数の水平解像度の中から、入力する表示制御信号がどの解像度に該当するかを弁別する場合、弁別すべき解像度リストの夫々中間の値を前記所定の閾値とすればよい。

40

【0068】

また、これまで説明した実施の形態1から4においては、遅延回路ブロック31に採用した遅延素子としてD-FF回路を採用した例を示したが、遅延素子としてD-FFでなければならない理由はなく、前記[特許文献3]や[特許文献3]でも例示されている複数段のインバータ回路を用いた遅延回路を採用しても良く、さらにはインバータ回路とD-FF回路の組み合わせでも良いことは言うまでも無い。

【0069】

さらには、データインエーブル信号（DEN A）については、活性化時においてHighレベルであるとして上記説明を行ってきたが、活性化時のレベルは特にHighである必要はなく、Lowアクティブの信号であってもよい。この場合、DEN A立上り検出部の

50

論理回路構成を小修正すれば、上記実施の形態 1 から 5 にて適用可能となるのは明白である。

【図面の簡単な説明】

【0070】

【図1】この発明を実施するための実施の形態 1 乃至 4 における液晶表示装置のシステム構成を表す図である。

【図2】この発明を実施するための実施の形態 1 乃至 3 における液晶表示装置に入力される表示制御信号およびそのタイミング図である。

【図3】この発明を実施するための実施の 1 乃至 3 におけるタイミングコントローラの表示制御信号タイミング図である。

10

【図4】この発明を実施するための実施の形態 1 におけるノイズ除去回路の構成図である。

【図5】この発明を実施するための実施の形態 1 におけるノイズ除去回路のタイミング図である。

【図6】この発明を実施するための実施の形態 1 におけるノイズ除去回路のタイミング図である。

【図7】この発明を実施するための実施の形態 1 におけるダウンカウンタを採用したノイズ除去回路のタイミング図である。

【図8】この発明を実施するための実施の形態 2 および 3 におけるノイズ除去回路の構成図である。

20

【図9】この発明を実施するための実施の形態 4 における解像度弁別回路の構成図である。

【図10】この発明を実施するための実施の形態 4 における解像度弁別回路のタイミング図である。

【符号の説明】

【0071】

4 タイミング制御回路

5 タイミングコントローラ

6、40、41 ノイズ除去回路

7 遅延回路

30

8 データイネーブル信号 (DEN A)

9 表示データ (DATA)

16 データイネーブル出力 (DEN A 2)

17 ドットクロック (DCLK)

21 DEN A 立上り検出部

22 7入力AND回路部

23、33、43 水平画素数検出部

24、35 初期状態検出部

25 初期化回路部

26 カウントイネーブル回路部

40

27、32、101 カウンタ

28 反転バッファ

29 AND回路

30 AND回路

31 遅延回路ブロック

34 制御回路

50 解像度弁別回路

100、103 エッジ検出回路部

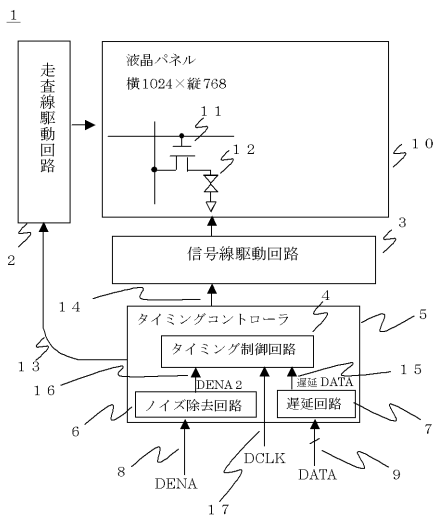
102 カウンタ値保持回路部

104 DEN A パルス幅判別回路

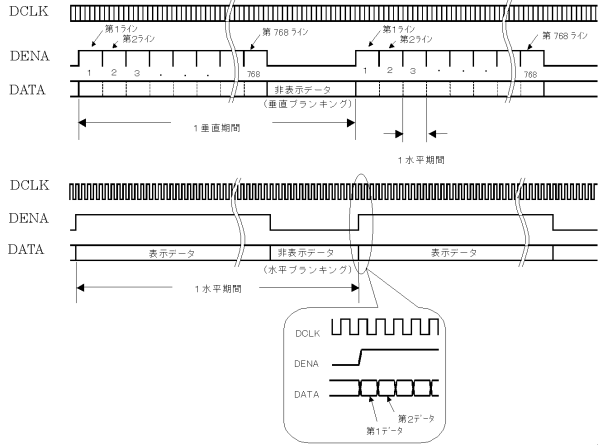
50

- 105 アップダウンカウンタ
- 106 解像度判別回路
- DENA データイネーブル入力
- DCLK ドットクロック
- DATA 表示データ
- DENA2 データイネーブル出力
- PEG 立上り検出出力
- INT 初期化信号
- ENV カウント許可信号
- CNT、CNT1、CNT2 カウント出力
- EOC カウント停止信号
- ITS カウンタ初期状態信号
- LOD 規定値出力
- EDG1 DENAの立下りエッジ
- EDG2 DENA2の立下りエッジ
- MTN カウント値保値
- PDT パルス幅判別出力
- DST 解像度判別結果

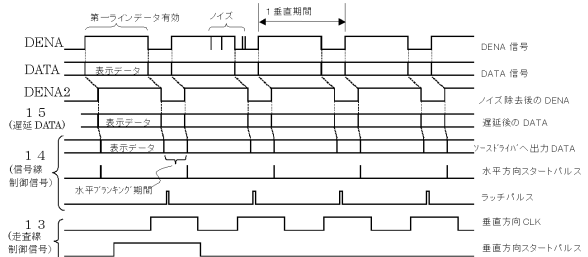
【図1】



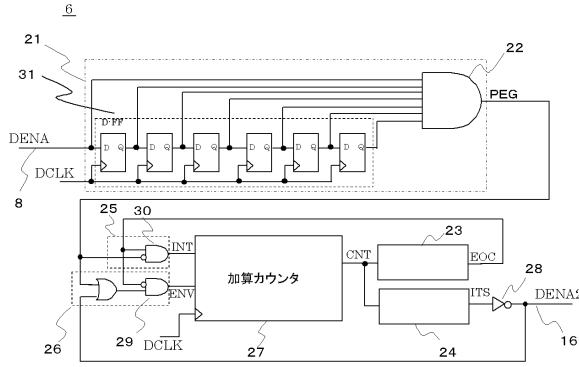
【図2】



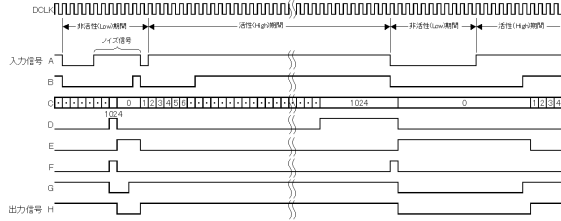
【図3】



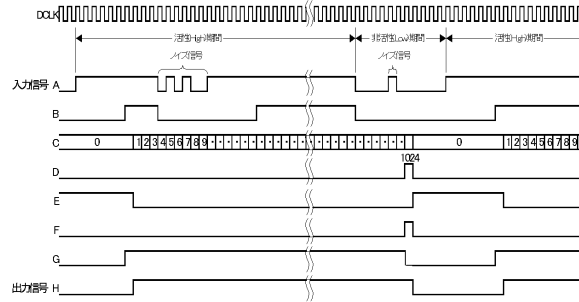
【図4】



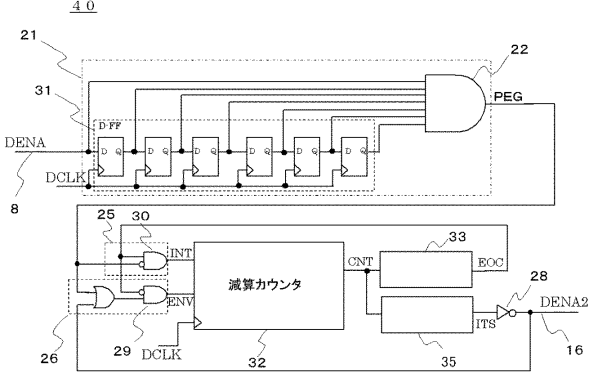
【図6】



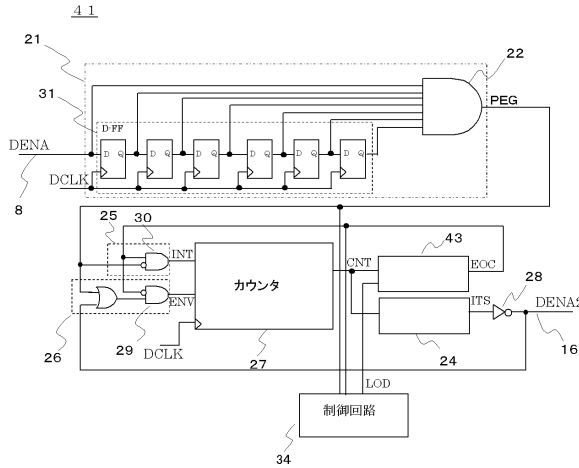
【図5】



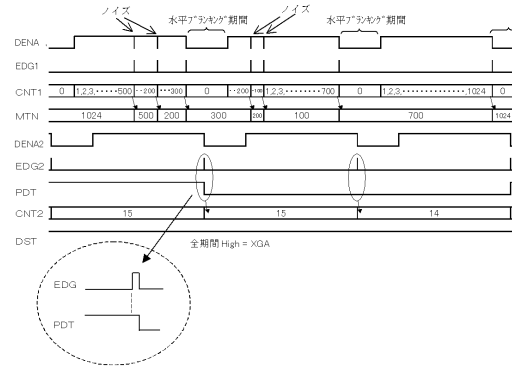
【図7】



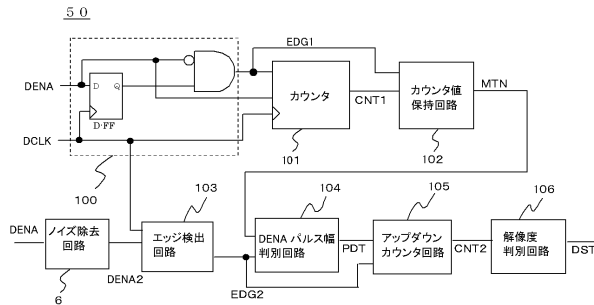
【図8】



【図10】



【図9】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 7 0 F
H 0 3 K 17/16 B

(72)発明者 石口 和博
熊本県菊池郡西合志町御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内
(72)発明者 南 昭宏
熊本県菊池郡西合志町御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内

審査官 佐野 潤一

(56)参考文献 特開平 0 1 - 1 7 2 9 9 8 (J P , A)
特開平 0 1 - 2 7 2 3 8 6 (J P , A)
特開平 1 1 - 2 3 7 8 5 7 (J P , A)
特開 2 0 0 1 - 2 8 2 1 9 8 (J P , A)
特開 2 0 0 2 - 3 0 0 4 2 9 (J P , A)
特開 2 0 0 4 - 1 3 4 0 0 1 (J P , A)
特開 2 0 0 5 - 0 8 6 3 0 2 (J P , A)

(58)調査した分野(Int.Cl. , D B名)
G 0 9 G 3 / 3 6
G 0 9 G 3 / 2 0

专利名称(译)	噪声消除电路，使用其的矩阵显示装置和分辨率鉴别电路		
公开(公告)号	JP4894183B2	公开(公告)日	2012-03-14
申请号	JP2005214580	申请日	2005-07-25
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	鹰木二郎 石口和博 南昭宏		
发明人	鹰木 二郎 石口 和博 南 昭宏		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H03K17/16		
CPC分类号	G09G3/3648 G09G3/2011 G09G3/3688 G09G2330/06		
FI分类号	G09G3/36 G02F1/133.580 G02F1/133.550 G09G3/20.611.C G09G3/20.612.J G09G3/20.670.F H03K17/16.B		
F-TERM分类号	2H093/NA16 2H093/NC16 2H093/NC27 2H093/NC59 2H093/NC62 2H093/NC81 2H093/ND40 2H193/ZJ11 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF72 5C006/BC16 5C006/BF14 5C006/BF22 5C006/BF24 5C006/EB04 5C006/FA32 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD12 5C080/DD28 5C080/JJ02 5C080/JJ03 5C080/JJ04 5J055/AX25 5J055/BX16 5J055/CX30 5J055/DX01 5J055/EZ25 5J055/EZ29 5J055/EZ34 5J055/EZ50 5J055/GX01 5J055/GX02 5J055/GX04		
代理人(译)	高桥省吾 稻叶忠彦 村上佳菜子		
审查员(译)	佐野纯一		
其他公开文献	JP2007033659A5 JP2007033659A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供液晶显示装置的噪声消除电路，尤其是消除叠加在输入到液晶显示装置的显示控制信号上的噪声的电路。解决方案：用于要去除噪声的信号的上升检测电路部分21和执行预定周期的计数的计数器27，产生用于计数器的初始化信号的初始化电路部分25，计数使能电路部分26其产生用于计数器27的计数许可信号，并且检测计数器27是否处于初始状态的初始状态检测电路部分24被内置到噪声消除电路中。在计数预定时段之后，响应于上升检测电路部分21的上升检测，计数器27从初始值开始计数并重新初始化，并且初始状态检测电路部分24的初始状态检测信号是消除了噪音。 Z

【図3】

