

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4763004号
(P4763004)

(45) 発行日 平成23年8月31日(2011.8.31)

(24) 登録日 平成23年6月17日(2011.6.17)

(51) Int.Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
GO2F 1/1343 (2006.01) GO2F 1/1343

請求項の数 1 (全 17 頁)

(21) 出願番号	特願2008-36190 (P2008-36190)	(73) 特許権者	000005049
(22) 出願日	平成20年2月18日 (2008.2.18)		シャープ株式会社
(62) 分割の表示	特願2000-94314 (P2000-94314) の分割		大阪府大阪市阿倍野区長池町2番22号
原出願日	平成12年3月30日 (2000.3.30)	(74) 代理人	100084146
(65) 公開番号	特開2008-123005 (P2008-123005A)		弁理士 山崎 宏
(43) 公開日	平成20年5月29日 (2008.5.29)	(74) 代理人	100081422
審査請求日	平成20年2月18日 (2008.2.18)		弁理士 田中 光雄
		(74) 代理人	100122286
			弁理士 仲倉 幸典
		(72) 発明者	岡田 美広
			大阪府大阪市阿倍野区長池町2番22号
			シャープ株式会社内
		(72) 発明者	伴 厚志
			大阪府大阪市阿倍野区長池町2番22号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁基板上に形成された複数の走査配線と、上記走査配線と交差する複数の信号配線と、上記走査配線と信号配線との各交差位置近傍にマトリクス状に配置された複数のスイッチング素子と、上記走査配線と上記信号配線との上方に層間絶縁膜を介して形成されると共に、各スイッチング素子の出力端子に接続されてマトリクス状に配置された画素電極を有するアクティブマトリクス型液晶表示装置において、

上記信号配線は、上記走査配線に沿って互いに隣接する第1,第2画素電極の縁の近傍であって、且つ上記第1,第2画素電極を上記スイッチング素子側と反スイッチング素子側とに略二等分する位置で屈曲する屈曲部を有し、この屈曲部を境界にして上記信号配線の一方の部分は上記第1画素電極によって被覆され、上記屈曲部を境界にして上記信号配線の他方の部分は上記第2画素電極によって被覆されている
 ことを特徴とするアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶テレビやノートパソコン等に使用されるアクティブマトリクス型液晶表示装置に関する。

【背景技術】

【0002】

図 1 2 および図 1 3 は、一般的なアクティブマトリクス型液晶表示装置の平面図および断面図を示す。アクティブマトリクス型液晶表示装置は、液晶パネル 1 , ゲートドライブ回路 2 , ソースドライブ回路 3 およびバックライト 4 によって概略構成される。

【 0 0 0 3 】

さらに、上記液晶パネル 1 は、アクティブマトリクス基板 5 , 対向基板 6 , 両基板 5 , 6 間に挟まれた液晶層 7 および両基板 5 , 6 の外側に密着された偏向板(図示せず)から概略構成される。

【 0 0 0 4 】

上記アクティブマトリクス基板 5 には、平行に配設された複数の走査配線(図示せず)、絶縁膜 8 を介して上記走査配線と直交して平行に配設された複数の信号配線 9 、上記走査配線と信号配線 9 との各交差位置近傍に配置された薄膜トランジスタ(T F T) 1 0 、上記走査配線と信号配線 9 とによって囲まれた領域に配置された複数の画素電極 1 1 等が形成されている。

10

【 0 0 0 5 】

図 1 4 は、上記アクティブマトリクス基板 5 における 1 画素部分の平面図を示す。画素電極 1 1 は、信号配線 9 と同じレイヤに形成されているために、信号配線 9 と所定の距離を保って接触しないように形成されている。T F T 1 0 は、3 端子素子であり、ゲート電極 1 2 に印加される電圧によってドレイン電極 1 3 とソース電極 1 4 との間の電流の導通が制御される。そして、ゲート電極 1 2 は隣接する走査配線 1 5 に接続され、ソース電極 1 4 は隣接する信号配線 9 に接続され、ドレイン電極 1 3 は画素電極 1 1 に接続されている。

20

【 0 0 0 6 】

一方、上記対向基板 6 には、各画素電極 1 1 に対応する位置に赤、緑、青の配列順にカラーフィルタ 1 6 が形成されている。そして、上記各カラーフィルタ 1 6 , 1 6 の間には、走査配線 1 5 および信号配線 9 と画素電極 1 1 との間からの光漏れを防ぐ遮光膜であるブラックマトリクス 1 7 が形成されている。さらにこの上層に、透明導電材料からなる対向電極 1 8 が形成されている。尚、ゲートドライブ回路 2 およびソースドライブ回路 3 は、夫々液晶パネル 1 の周囲部に配置された走査配線 1 5 の端子および信号配線 9 の端子に接続されている。

【 0 0 0 7 】

30

次に、上記構成を有するアクティブマトリクス型液晶表示装置の駆動方法について説明する。

【 0 0 0 8 】

上記アクティブマトリクス型液晶表示装置の駆動方法においては、n 行目の画素配列書き込みを行う場合、ゲートドライブ回路 2 から n 行目の走査配線 1 5 n にオン信号(T F T 1 0 がオンになる電位: V_{gh})が入力される。このとき、走査配線 1 5 n 以外の走査配線にはオフ信号(T F T 1 0 がオフになる電位: V_{gl})が入力される。したがって、n 行目の T F T 1 0 のみがオンになる。この場合、ソースドライブ回路 3 から各信号配線 9 に、n 行目の画素(画素電極 1 1 および液晶層 7)に充電すべき電圧のソース信号が供給される。

【 0 0 0 9 】

40

こうして、上記 n 行目の画素の配列に対する書き込みが終了すると、走査配線 1 5 n にはオフ信号が入力される一方、走査配線 1 5 (n+1)にはオン信号が入力される。以上の動作を繰り返すことによって、全ての画素に任意の電圧値が充電される。画素電極 1 1 と対向電極 1 8 との間の液晶層 7 は、両電極 1 1 , 1 8 間に印加される電圧によって透過率が変化するため、バックライト 4 からの光が調整されて任意の画像が表示される。

【 0 0 1 0 】

ところで、層間絶縁膜上に画素電極を設けて、この画素電極と信号配線とを別レイヤーに形成し、画素電極を信号配線上に重ねる構造も提案されている(特開昭 6 3 - 2 7 9 2 2 8 号公報(特許文献 1)等)。図 1 5 に、上記画素電極を信号配線上に重ねる構造を有するアクティブマトリクス型液晶表示装置における 1 画素分の断面図を示す。また、図 1 6

50

には、図 1 5 に示すアクティブマトリクス基板の平面図を示す。このような構成においては、画素電極 2 1 と信号配線 2 2 とが別レイヤーで形成され、画素電極 2 1 と信号配線 2 2 とに層間絶縁膜 2 3 を介して重なりを持たせて、画素電極 2 1 と信号配線 2 2 との隙間を無くすることができる。そのために、画素電極 2 1 の面積(開口率)を拡大することができる。尚、2 4 はアクティブマトリクス基板、2 5 は T F T、2 6 は液晶層、2 7 は対向電極、2 8 は対向基板、2 9 は走査配線、3 0 はコンタクトホール、3 1 は補助容量電極、3 2 は補助容量配線である。

【 0 0 1 1 】

しかしながら、上述のように画素電極 2 1 を信号配線 2 2 に重ねた構造を採用した場合には、図 1 4 に示すように、画素電極 1 1 が信号配線 9 と所定の間隔をとる従来の構造に比べて、画素電極 2 1 と信号配線 2 2 との間の静電容量 C_{sd} が増大する。その場合には、静電容量 C_{sd} の増加に伴って画素の電位がソース信号によって変化し易くなり、シャドーイングと呼ばれる表示特性の劣化が生じる。

【 0 0 1 2 】

以下、このメカニズムを、図 1 7 に示すアクティブマトリクス基板 2 4 の等価回路を用いて説明する。すなわち、走査配線 G_n にオン信号 V_{gh} が入力されて T F T 2 3 がオン状態になると、画素電極 P 1 には信号配線 S 1 の電圧 V_{s1} が充電される。

【 0 0 1 3 】

次に、上記走査配線 G_n にオフ信号 V_{gl} が入力され T F T 2 3 がオフ状態になると、信号配線 S 1 には、次の段の画素電極 P 2 へ書き込む電圧 $V_{s1'}$ が供給される。その場合、画素電極 P 1 の電圧は、静電容量 C_{sd1} を介して信号配線 S 1 の電圧 $V_{s1'}$ の影響を受けて変化する。その際における画素電極 P 1 の電圧を V_{p1} とすると、

$$V_{p1} = V_{s1} - (C_{sd1}(V_{s1} - V_{s1'}) + C_{sd2}(V_{s2} - V_{s2'})) / (C_p + C_{sd1} + C_{sd2}) \quad \dots (1)$$

となる。ここで、 C_p は画素電極の容量($C_p =$ 液晶容量 C_{lc} + 補助電極容量 C_{cs})であり、 C_{sd1} は信号配線 S 1 と画素電極 P 1 との間の静電容量であり、 C_{sd2} は信号配線 S 2 と画素電極 P 2 との間の静電容量であり、 V_{s1} 、 V_{s2} は n 列目の走査配線 G_n がオン状態である場合の信号配線 S 1、S 2 の電圧であり、 $V_{s1'}$ 、 $V_{s2'}$ は $(n + 1)$ 列目の走査配線 $G_{(n+1)}$ がオン状態である場合の信号配線 S 1、S 2 の電圧である。

【 0 0 1 4 】

アクティブマトリクス型液晶表示装置の一般的な駆動方法であるゲートライン反転駆動(1 H 反転駆動)では、ゲート 1 ライン毎にソース信号の極性を反転させる。ここで、隣同士の階調が同じであるとすると、

$$V_s = V_{s1} = V_{s2}, V_{s'} = V_{s1'} = V_{s2'} \quad \dots (2)$$

であるから、式(1)および式(2)から、

$$V_{p1} = V_s - (C_{sd1} + C_{sd2}) / (C_p + C_{sd1} + C_{sd2}) \cdot (V_s - V_{s'}) \quad \dots (3)$$

となる。このように、1 H 反転駆動では、画素電位の変化量は $(C_{sd1} + C_{sd2})$ に比例する。そのために、信号配線 S と画素電極 P との間の静電容量 C_{sd} の増加に伴いシャドーイングが顕著に表れるのである。

【 0 0 1 5 】

一方において、上記信号配線 S と画素電極 P との間の静電容量 C_{sd} による画素電位の変化を抑える駆動方法として、ドット反転駆動が提案されている。このドット反転駆動においては、ゲート 1 ライン毎にソース信号の極性を反転すると共に、ソース側もソース 1 ライン毎に逆極性の信号を入力するようにしている。

【 0 0 1 6 】

上記ドット反転駆動の場合には、隣同士の階調が同じであると仮定すると、

$$V_s = V_{s1} = -V_{s2}, V_{s'} = V_{s1'} = -V_{s2'} \quad \dots (4)$$

であるから、式(1)および式(4)から、

$$V_{p1} = V_s - (C_{sd1} - C_{sd2}) / (C_p + C_{sd1} + C_{sd2}) \cdot (V_s - V_{s'}) \quad \dots (5)$$

となる。このように、ドット反転駆動では、画素電位の変化量は静電容量 C_{sd1} と静電容量 C_{sd2} との差分に比例する。したがって、1 H 反転駆動の場合に比してシャドーイング現象を大幅に抑えることができ、液晶表示装置の画質を向上することができる。特に、走査配線 29 の延在方向へ隣接する画素に関する静電容量 C_{sd1} と静電容量 C_{sd2} との差を少なくすると、シャドーイング現象を大幅に抑えることができるのである。

【0017】

しかしながら、上記図 15 及び図 16 に示す従来のアクティブマトリクス型液晶表示装置においては、以下のような問題がある。すなわち、上述したように、図 15 および図 16 に示すような画素電極 21 と信号配線 22 とを層間絶縁膜 23 を介して重ねる構造のアクティブマトリクス型液晶表示装置において、ドット反転駆動を採用することによって、開口率を拡大すると共に、信号配線 22 と画素電極 21 との間のカップリング容量 C_{sd} によるシャドーイング現象を抑制することができる。

10

【0018】

しかしながら、その一方において、次のような新たな問題が発生する。一般的な液晶表示装置では、フォトリソグラフィ工程はブロック単位で処理しているため、ブロック間でのアライメント(位置合わせ)のずれが発生する。これにより、信号配線 S と画素電極 P との重なり幅が変化し、この間の容量 C_{sd} が変化する。ドット反転駆動を採用した場合には、上記容量 C_{sd} の変化により、画素電位が変化しやすくなるため、ブロック単位で透過率が変化する。

【0019】

20

例えば、図 18 に示すように、上記画素電極 P のフォトリソグラフィ工程において、アライメントずれ dx が生じた場合を考える。その場合は、画素電極 P の信号配線 S1 への重なり量が増えるため、信号配線 S1 と画素電極 P との静電容量 C_{sd1} は増加し、逆に信号配線 S2 と画素電極 P の静電容量 C_{sd2} は減少する。図 19 に、フォトリソグラフィ工程におけるアライメントずれ dx と静電容量 C_{sd1} あるいは静電容量 C_{sd2} との関係を示す。図 19 より、アライメントずれ dx が増加するに連れて静電容量 C_{sd1} と静電容量 C_{sd2} との差は広がり、画素電位の変化量は増加するのである。

【0020】

一般的なフォトリソグラフィ工程では、上記アクティブマトリクス基板の面内を幾つかのブロックに分けて露光を行う。そのために、アライメントずれが生ずると各ブロック間で信号配線と画素電極との重なり幅が変化し、その結果、アクティブマトリクス型液晶表示装置の各ブロック間において透過率差が生ずるようになるのである。図 20 に、上記アライメントずれが生じたブロックに関して、アライメントずれ dx とアライメントずれが全くないブロックに対する透過率の差 ΔT との関係を示す。

30

【0021】

すなわち、上記画素電極を信号配線に重ねる構造のアクティブマトリクス型液晶表示装置をドット反転駆動した場合には、上記カップリング容量 C_{sd} による画素電位の変化量自体は低下するのであるが、各フォトリソブロック間でのバラツキが大きくなる。そのため、上記ブロック間の透過率差が大きくなり、所謂「ブロック分れ」と呼ばれる問題が発生するのである。そして、アクティブマトリクス型液晶表示装置の大型化に伴って、フォトリソグラフィ工程におけるブロックの数は益々増える傾向にあるため、上述のカップリング容量 C_{sd} によるブロック分れの発生を抑えることが望まれている。

40

【特許文献 1】特開昭 63 - 279228 号公報

【発明の開示】

【発明が解決しようとする課題】

【0022】

そこで、この発明の課題は、画素電極とこの画素電極の両側に重なる第 1, 第 2 信号配線との重なりを適宜設定可能な構成とすることによって、信号配線と画素電極とのカップリング容量による画質の低下を防ぐと共に、上記カップリング容量のバラツキによるブロック分れを抑制できるアクティブマトリクス型液晶表示装置を提供することにある

50

。

【課題を解決するための手段】

【0023】

上記課題を解決するため、この発明は、

絶縁基板上に形成された複数の走査配線と、上記走査配線と交差する複数の信号配線と、上記走査配線と信号配線との各交差位置近傍にマトリクス状に配置された複数のスイッチング素子と、上記走査配線と上記信号配線との上方に層間絶縁膜を介して形成されると共に、各スイッチング素子の出力端子に接続されてマトリクス状に配置された画素電極を有するアクティブマトリクス型液晶表示装置において、

上記信号配線は、上記走査配線に沿って互いに隣接する第1,第2画素電極の縁の近傍であって、且つ上記第1,第2画素電極を上記スイッチング素子側と反スイッチング素子側とに略二等分する位置で屈曲する屈曲部を有し、この屈曲部を境界にして上記信号配線の一方の部分は上記第1画素電極によって被覆され、上記屈曲部を境界にして上記信号配線他方の部分は上記第2画素電極によって被覆されていることを特徴としている。

10

【0024】

上記構成によれば、画素電極の一侧に位置する信号配線を第1信号配線とする一方、他側に位置する信号配線を第2信号配線とした場合に、当該画素電極における上記第1信号配線に沿った一側部は、上記第1信号配線における上記屈曲部を境界にして一方の部分を被覆し、当該画素電極における上記第2信号配線に沿った他側部は、上記第2信号配線における上記屈曲部を境界にして他方の部分を被覆している。したがって、上記第1信号配線の上記屈曲部の位置と上記第2信号配線の上記屈曲部の位置とを変更することによって、当該画素電極と上記第1,第2信号配線との重なりを適宜設定することが可能になる。

20

【0025】

そこで、上記第1,第2信号配線の上記屈曲部の位置を、当該画素電極における上記第1信号配線の被覆領域と上記第2信号配線の被覆領域との幅と長さとは略同じになるように設定すれば、当該画素電極と上記第1信号配線との間の第1静電容量と、当該画素電極と上記第2信号配線との間の第2静電容量との差を、レイヤー間のアライメントずれがあっても大幅に変化しないようにすることができる。その結果、フォトリソグラフィ工程をブロック単位で行う際に生ずるブロック分れが抑制される。

30

【発明の効果】

【0026】

以上より明らかなように、この発明のアクティブマトリクス型液晶表示装置は、信号配線を、上記走査配線に沿って互いに隣接する第1,第2画素電極の縁の近傍であって、且つ上記第1,第2画素電極を上記スイッチング素子側と反スイッチング素子側とに略二等分する位置で屈曲させ、屈曲部を境界にして一方の部分は上記第1画素電極によって被覆され、上記屈曲部を境界にして他方の部分は上記第2画素電極によって被覆されるようにしている。したがって、ある画素電極における一側部に沿った第1信号配線の上記屈曲部の位置と、当該画素電極における他側部に沿った第2信号配線の上記屈曲部の位置とを変更することによって、当該画素電極と上記第1,第2信号配線との重なりを適宜設定することが可能になる。

40

【0027】

すなわち、上記第1,第2信号配線の上記屈曲部の位置を、当該画素電極における上記第1信号配線の被覆領域と上記第2信号配線の被覆領域との幅と長さとは略同じになるように設定すれば、当該画素電極と上記第1信号配線との間の第1静電容量と、当該画素電極と上記第2信号配線との間の第2静電容量との差を、レイヤー間のアライメントずれがあっても大幅に変化しないようにできる。すなわち、この発明によれば、フォトリソグラフィ工程をブロック単位で行う際に生ずるブロック分れを抑制できる。

【発明を実施するための最良の形態】

50

【 0 0 2 8 】

以下、この発明を図示の実施の形態により詳細に説明する。

【 0 0 2 9 】

・第1実施の形態

図1は、本実施の形態のアクティブマトリクス型液晶表示装置におけるアクティブマトリクス基板の平面図である。図2は、上記アクティブマトリクス型液晶表示装置における図1のA - A'に相当する矢視断面図である。

【 0 0 3 0 】

上記アクティブマトリクス基板側は、以下のような構成を有する。すなわち、図1および図2において、ガラスで成る上記アクティブマトリクス基板としての絶縁基板51上に、Al, Ta等の金属から成る複数のゲート配線(走査配線)52が平行に配置されている。このゲート配線52の膜厚は2000 ~ 5000 である。さらに、この上層に、SiNx等から成るゲート絶縁膜53を介して、ゲート配線52に直交してAl, Ta等の金属から成る複数のソース配線54が配置されている。ゲート絶縁膜53の膜厚は2000 ~ 4000 程度であり、比誘電率は3 ~ 8程度である。また、ソース配線54の膜厚は1000 ~ 5000 である。

【 0 0 3 1 】

上記ゲート配線52とソース配線54との各交差位置近傍には、アモルファスシリコンTF55が配置されている。アモルファスシリコンTF55は、ゲート電極56, ゲート絶縁膜53, アモルファス半導体層57, 不純物添加半導体層58, ソース電極59およびドレイン電極60が積層されて構成されている。ゲート電極56はゲート配線52と同じ材料で構成されている。また、ソース電極59およびドレイン電極60はソース配線54と同じ材料で構成されている。また、アモルファス半導体層57は、CVD(化学気相成長法)によって形成されたアモルファスシリコンで成り、その膜厚は500 ~ 2000 程度である。そして、ゲート電極56は隣接するゲート配線52に接続され、ソース電極59は隣接するソース配線54に接続されている。

【 0 0 3 2 】

また、前段のゲート配線52aは本段の画素電極62と重なっており、上記前段のゲート配線52aにおける上記重なり領域上までゲート絶縁膜53を介してドレイン電極60が延在しており、このドレイン電極60の端部によって補助容量電極64を形成している。層間絶縁膜61は有機材料あるいは無機材料からなり、その膜厚は1 μm ~ 4 μmであり、比誘電率は2 ~ 4程度である。そして、層間絶縁膜61における補助容量電極64の位置にはコンタクトホール65が設けられており、ドレイン電極60は、上記補助容量電極64を介してコンタクトホール65によって画素電極62に接続されている。つまり、前段のゲート配線52aを本段の画素用の補助容量配線として用いるのである。

【 0 0 3 3 】

本実施の形態においては、上記画素電極62の一側部におけるTF55側の端部には、所定幅だけ側縁から張出した矩形状の張出し部62aを設けている。同様に、画素電極62の他側部におけるTF55とは反対側の端部には、上記所定幅だけ側縁から張出した矩形状の張出し部62bを設けている。そして、張出し部62a, 62bの張出し量を、両側に位置しているソース配線54a, 54bに重なる幅にしている。また、張出し部62a, 62bの長さは同じ長さになっている。

【 0 0 3 4 】

一方、対向基板側は、以下のような構成を有する。すなわち、ガラスで成る上記対向基板としての絶縁基板66上には、各画素電極62に対応する位置に赤, 緑, 青の配列順にカラーフィルタ67が配置されている。そして、上記各カラーフィルタ67, 67の間には、画素電極62と隣接画素電極62およびソース配線54との間からの光漏れを防ぐ遮光膜であるブラックマトリクス68が配置されている。更にこの上層に、透明導電材料からなる対向電極69が配設されている。

【 0 0 3 5 】

そして、上記アクティブマトリクス基板 5 1 と対向基板 6 6 とを画素電極 6 2 側と対向電極 6 9 側とを互に対向させて所定の間隔で配置し、両基板 5 1, 6 6 間に液晶層 7 0 を挟み込みシール材で封入して、本アクティブマトリクス型液晶表示装置が構成されている。

【 0 0 3 6 】

上述したように、本実施の形態においては、上記画素電極 6 2 における両側部の端部には、隣接するソース配線 5 4 a, 5 4 b に重なる張出し量で張出し部 6 2 a, 6 2 b を設けている。そして、上記両張出し部 6 2 a, 6 2 b の長さを同じにしている。更に、両張出し部 6 2 a, 6 2 b の長さは、画素電極 6 2 の上記一侧の張出し部 6 2 a と隣接画素電極 6 2 ' の上記他側の張出し部 6 2 b ' との間隔が、ソース配線 5 4 a における画素電極 6 2 が重なっていない上記両張出し部 6 2 a, 6 2 b ' 間の領域に生ずるソース配線 5 4 a, 5 4 b との静電容量が無視できる程度になるような間隔に設定されている。

10

【 0 0 3 7 】

したがって、上記構造においては、上記画素電極 6 2 の張出し部 6 2 a, 6 2 b がソース配線 5 4 a, 5 4 b に重なる若しくは完全に重なることによって、フォトリソグラフィ工程において各ブロック間において多少のアライメントずれが生じて静電容量 C_{sd1} と静電容量 C_{sd2} とは殆ど変化せず、ブロック間の透過率差も少なくなる。

【 0 0 3 8 】

そのために、上記式 (5) における ($C_{sd1} - C_{sd2}$) の値は、フォトリソグラフィ工程のブロックが異なっても略一定となり、上記ブロック分れを防ぐことができる。図 3 に、本実施の形態におけるアクティブマトリクス型液晶表示装置と図 1 5 および図 1 6 に示す従来のアクティブマトリクス型液晶表示装置とにおけるフォトアライメントずれ dx と ($C_{sd1} - C_{sd2}$) の変化量とを示す。図 3 から分かるように、画素電極 6 2 の両側部の一部 6 2 a, 6 2 b の夫々をソース配線 5 4 a, 5 4 b 上に完全に重ねる構造を採用することによって ($C_{sd1} - C_{sd2}$) の変化量を低下させることができる。これによって、上記アライメントずれによるブロック分れを抑制することができるのである。

20

【 0 0 3 9 】

すなわち、本実施の形態によれば、ソース配線 5 4 a, 5 4 b と画素電極 6 2 とのカップリング容量 C_{sd} のバラツキによる上記ブロック分れを抑制できるのである。

【 0 0 4 0 】

30

・ 第 2 実施の形態

図 4 は、本実施の形態のアクティブマトリクス型液晶表示装置におけるアクティブマトリクス基板の平面図である。図 5 は、上記アクティブマトリクス型液晶表示装置における図 4 の B - B ' に相当する矢視断面図である。

【 0 0 4 1 】

図 4 および図 5 において、アクティブマトリクス基板 7 1, ゲート配線 7 2, ゲート絶縁膜 7 3, T F T 7 5, 層間絶縁膜 7 6, 補助容量電極 7 8, コンタクトホール 7 9, 対向基板 8 0, カラーフィルタ 8 1, ブラックマトリクス 8 2, 対向電極 8 3 および液晶層 8 4 は、図 1 および図 2 に示す第 1 実施の形態におけるアクティブマトリクス基板 5 1, ゲート配線 5 2, ゲート絶縁膜 5 3, T F T 5 5, 層間絶縁膜 6 1, 補助容量電極 6 4, コンタクトホール 6 5, 対向基板 6 6, カラーフィルタ 6 7, ブラックマトリクス 6 8, 対向電極 6 9 および液晶層 7 0 と同じ構成を有して、同様に機能する。

40

【 0 0 4 2 】

本実施の形態における画素電極 7 7 は、その両側部にはソース配線 7 4 に重なる張出し部を設けてはならず直線状に成っており、長方形に形成されている。一方、ソース配線 7 4 は、画素電極 7 7 を T F T 7 5 側と反 T F T 7 5 側とに二等分する位置で屈曲している。そして、ソース配線 7 4 における屈曲部よりも T F T 7 5 側の略 1 / 2 は、一侧に位置している画素電極 7 7 ' と層間絶縁膜 7 6 を介して重なっている。一方、ソース配線 7 4 における屈曲部よりも T F T 7 5 とは反対側の略 1 / 2 は、他側に位置している画素電極 7 7 と層間絶縁膜 7 6 を介して重なっている。

50

【 0 0 4 3 】

したがって、上記構造においては、上記画素電極 7 7 の両側の一部がソース配線 7 4' , 7 4 に重なる若しくは完全に重なることによって、フォトリソグラフィ工程において各ブロック間において多少のアライメントずれが生じてても静電容量 C_{sd1} と静電容量 C_{sd2} とは殆ど変化せず、ブロック間の透過率差も少なくなる。

【 0 0 4 4 】

さらに、本実施の形態によれば、上記画素電極 7 7 を、図 1 4 及び図 1 6 に示す従来のアクティブマトリクス型液晶表示装置と同様に矩形状に形成できる。したがって、カラーフィルタ 8 1 やブラックマトリクス 8 2 の形成が容易になるのである。

【 0 0 4 5 】

10

・ 第 3 実施の形態

図 6 は、本実施の形態のアクティブマトリクス型液晶表示装置におけるアクティブマトリクス基板の平面図である。図 7 は、上記アクティブマトリクス型液晶表示装置における図 6 の C - C' に相当する矢視断面図である。

【 0 0 4 6 】

図 6 および図 7 において、アクティブマトリクス基板 9 1 , ゲート配線 9 2 , ゲート絶縁膜 9 3 , ソース配線 9 4 , 9 4' , TFT 9 5 , 層間絶縁膜 9 6 , 補助容量電極 9 8 , コンタクトホール 9 9 , 対向基板 1 0 0 , カラーフィルタ 1 0 1 , ブラックマトリクス 1 0 2 , 対向電極 1 0 3 および液晶層 1 0 4 は、図 1 および図 2 に示す第 1 実施の形態におけるアクティブマトリクス基板 5 1 , ゲート配線 5 2 , ゲート絶縁膜 5 3 , ソース配線 5 4 a , 5 4 b , TFT 5 5 , 層間絶縁膜 6 1 , 補助容量電極 6 4 , コンタクトホール 6 5 , 対向基板 6 6 , カラーフィルタ 6 7 , ブラックマトリクス 6 8 , 対向電極 6 9 および液晶層 7 0 と同じ構成を有して、同様に機能する。

20

【 0 0 4 7 】

本実施の形態における画素電極 9 7 は、ソース配線 9 4 , 9 4' の延在方向に二等分する位置において両側縁が屈曲して両側部に張出し部を形成している。そして、画素電極 9 7 の一側部における上記屈曲部よりも TFT 9 5 側の略 1 / 2 の張り出し部は、上記一側に隣接しているソース配線 9 4' と層間絶縁膜 9 6 を介して重なっている。一方、画素電極 9 7 の他側部における上記屈曲部よりも TFT 9 5 とは反対側の略 1 / 2 の張り出し部は、上記他側に隣接しているソース配線 9 4 と層間絶縁膜 9 6 を介して重なっている。

30

【 0 0 4 8 】

したがって、上記構造においては、上記画素電極 9 7 の張り出し部がソース配線 9 4 , 9 4' に重なる若しくは完全に重なることによって、フォトリソグラフィ工程において各ブロック間において多少のアライメントずれが生じてても上記静電容量 C_{sd1} と静電容量 C_{sd2} とは殆ど変化せず、ブロック間の透過率差も少なくなるのである。

【 0 0 4 9 】

さらに、本実施の形態によれば、上記画素電極 9 7 の両側中央に屈曲部を設けて張り出し部を形成し、画素電極 9 7 の側縁の略 1 / 2 の長さを有する張り出し部によってソース配線 9 4 を覆っている。したがって、第 1 実施の形態の場合のように、画素電極 6 2 の側縁の 1 / 2 よりも短い張り出し部 6 2 a , 6 2 b によってソース配線 5 4 a , 5 4 b を部分的に覆う場合に比して、画素電極 9 7 とソース配線 9 4 との間の静電容量 C_{sd} のバラツキを抑えることができる。したがって、さらに上記ブロック分れを低減させることができる。

40

【 0 0 5 0 】

更に、上記ソース配線 9 4 , 9 4' 上で画素電極 9 7 が屈曲することによって、そうでない場合に比べて開口率を大きくとることができる。また、特に 1 5 インチ以上の大型のアクティブマトリクス型液晶表示装置においては、ソース信号の遅延やソース配線の断線不良等が問題となる。そのために、少しでも、ソース配線の配線長を短くすることが必要とされている。本実施の形態におけるソース配線 9 4 , 9 4' は直線状に配列されている。したがって、図 4 に示す上記第 2 実施の形態のごとくソース配線 7 4 を各画素電極 7 7 の近傍で屈曲させる場合に比して、ソース配線 9 4 , 9 4' の長さを短くでき、ソース信号の遅

50

延やソース配線の断線不良等において有利である。

【 0 0 5 1 】

図 8 および図 9 は、本実施の形態の変形例におけるアクティブマトリクス基板の平面図および図 8 の D - D' に相当するアクティブマトリクス型液晶表示装置の矢視断面図である。

【 0 0 5 2 】

この変形例においては、画素電極 1 1 1 の張出し部 1 1 1 a, 1 1 1 b における先端が、ソース配線 1 1 2 を越えて隣接画素側に進出している。こうすることによって、ソース配線 1 1 2 に対して画素電極 1 1 1 を十分に重ねることができ、画素電極形成時のアライメントマージンが更に大きくなって、上記ブロック分れを更に抑えることができるのである。

10

【 0 0 5 3 】

尚、上記画素電極 1 1 1 は、T F T 1 1 3 のドレイン電極 1 1 4 とコンタクトホール 1 1 5 を介して接続されており、補助容量電極 1 1 6 はコンタクトホール 1 1 7 を介して画素電極 1 1 1 に接続されている。

【 0 0 5 4 】

・第 4 実施の形態

図 1 0 は、本実施の形態のアクティブマトリクス型液晶表示装置におけるアクティブマトリクス基板の平面図である。図 1 1 は、上記アクティブマトリクス型液晶表示装置における図 1 0 の E - E' に相当する矢視断面図である。

20

【 0 0 5 5 】

図 1 0 及び図 1 1 において、アクティブマトリクス基板 1 2 1, ゲート配線 1 2 2, ゲート絶縁膜 1 2 3, ソース配線 1 2 4, T F T 1 2 5, 層間絶縁膜 1 2 6, 画素電極 1 2 7, 補助容量電極 1 2 8, コンタクトホール 1 2 9, 対向基板 1 3 0, 対向電極 1 3 3 および液晶層 1 3 4 は、図 6 および図 7 に示す第 3 実施の形態における絶縁基板 9 1, ゲート配線 9 2, ゲート絶縁膜 9 3, ソース配線 9 4, 9 4', T F T 9 5, 層間絶縁膜 9 6, 画素電極 9 7, 補助容量電極 9 8, コンタクトホール 9 9, 対向基板 1 0 0, 対向電極 1 0 3 および液晶層 1 0 4 と同じ構成を有して、同様に機能する。

【 0 0 5 6 】

尚、本実施の形態の場合においても、上記第 3 実施の形態における変形例の場合と同様に、画素電極 1 2 7 の張出し部における先端はソース配線 1 2 4 を越えて隣接画素側に進出しており、画素電極 1 2 7 は T F T 1 2 5 のドレイン電極 1 3 6 とコンタクトホール 1 3 7 を介して接続されており、補助容量電極 1 2 8 はコンタクトホール 1 2 9 を介して画素電極 1 2 7 に接続されている。

30

【 0 0 5 7 】

本実施の形態においては、上記ゲート配線 1 2 2 と同層に、ゲート配線 1 2 2 と同じ材料で成る遮光膜 1 3 5 を配置して、隣接画素電極 1 2 7, 1 2 7 間を遮光するようにしている。したがって、対向基板 1 3 0 上における隣接画素電極 1 2 7, 1 2 7 間の位置にブラックマトリクス 1 3 2 を配置する必要がなくなり、T F T 1 2 5 上のみ形成すればよい。

40

【 0 0 5 8 】

一般的に、上記アクティブマトリクス基板 1 2 1 と対向基板 1 3 0 とのアライメント精度は $\pm 5 \mu\text{m}$ 程度である。これに対して、アクティブマトリクス基板 1 2 1 のレイヤー間のアライメント精度は $\pm 1 \mu\text{m}$ 以下である。したがって、アクティブマトリクス基板 1 2 1 側に遮光膜 1 3 5 を配置することによって、遮光膜 1 3 5 の幅をブラックマトリクス 1 3 2 よりも狭くすると共に、ブラックマトリクス 1 3 2 を削除することができる。その結果、カラーフィルタ 1 3 1 の面積を広くして、開口率を向上することができるのである。

【 0 0 5 9 】

さらに、上記対向基板 1 3 0 側に配置されるブラックマトリクス 1 3 2 の面積が減少するため、アクティブマトリクス基板 1 2 1 と対向基板 1 3 0 との張り合わせマージンを広

50

げることができる。

【0060】

尚、本実施の形態においては、上記遮光膜135の配置とそれによるブラックマトリクス132の削除を、上記第3実施の形態に対して適用しているが、上記第1,第2実施の形態に適用しても一向に構わない。

【0061】

また、上記各実施の形態においては、上記TF T55,75,95,113,125を、互いに隣接する画素電極62,77,97,111,127と画素電極62,77,97,111,127との隙間近傍の下層に、層間絶縁膜61,76,96,126を介して配置している。したがって、元々ブラックマトリクス68,82,102,132が配置されるべき領域の近傍に配置されている。したがって、TF T55,75,95,113,125専用のブラックマトリクスを配置する必要がなく、ブラックマトリクス68,82,102,132の面積が必要以上に増加することを防止できる。したがって、開口率を大きくとることができるのである。

10

【0062】

さらに、上記各実施の形態においては、ブラックマトリクス68,82,102,132の形成領域を次のように設定している。すなわち、上記対向基板上における互いに隣接する二つの画素電極の間に対向する位置であって、上記ソース配線を被覆している側の画素電極に対向している一側縁は、上記被覆されているソース配線の中心線を含んで(図4,図6,図8,図10の場合)この中心線よりも当該画素電極の内側(図1の場合)に位置するように設定する。一方、他側縁は、当該信号配線における当該画素電極とは反対側の側縁から対向基板とアクティブマトリクス基板とのアライメントマージン以上離れて位置するように設定するのである。

20

【0063】

こうすることによって、上記対向基板上に配置されるブラックマトリクス68,82,102,132の両側縁の位置が、上記対向基板とアクティブマトリクス基板とのアライメントマージンを加味して設定される。したがって、両基板間のアライメントずれがあっても互いに隣接する画素電極間を確実に遮光することができ、上記ブロック分れを更に抑制できるのである。

【0064】

30

尚、上記各実施の形態においては、画素電極97,111,127の屈曲部およびソース配線74の屈曲部を各画素電極77,97,111,127の中央の位置に設けている。しかしながら、上記シャドーイング現象および上記ブロック分れを抑制するためには、上記屈曲部を厳密に画素電極の中央の位置に設ける必要はない。したがって、この発明は、上記画素電極やソース配線に設ける屈曲部の位置を、各画素電極の中央の位置のみに限定するものではない。

【0065】

また、この発明は、上記各実施の形態と同様の効果を奏する程度に、画素電極の両側部(張り出し部)にソース配線(信号配線)の幅方向に僅かに被覆しない部分があっても差し支えない。

40

【図面の簡単な説明】

【0066】

【図1】この発明のアクティブマトリクス型液晶表示装置におけるアクティブマトリクス基板の平面図である。

【図2】図1におけるA-A'矢視断面図である。

【図3】フォトアライメントずれとカップリング容量の変化量とを示す図である。

【図4】図1とは異なるアクティブマトリクス基板の平面図である。

【図5】図4におけるB-B'矢視断面図である。

【図6】図1および図4とは異なるアクティブマトリクス基板の平面図である。

【図7】図6におけるC-C'矢視断面図である。

50

【図 8】図 1, 図 4 および図 6 とは異なるアクティブマトリクス基板の平面図である。

【図 9】図 8 における D - D' 矢視断面図である。

【図 10】図 1, 図 4, 図 6 および図 8 とは異なるアクティブマトリクス基板の平面図である。

【図 11】図 10 における E - E' 矢視断面図である。

【図 12】一般的なアクティブマトリクス型液晶表示装置における平面図である。

【図 13】図 12 に示すアクティブマトリクス型液晶表示装置の 1 画素部分の断面図である。

【図 14】図 12 に示すアクティブマトリクス型液晶表示装置の 1 画素部分の平面図である。

10

【図 15】画素電極を信号配線上に重ねた従来のアクティブマトリクス型液晶表示装置の断面図である。

【図 16】図 15 におけるアクティブマトリクス基板の平面図である。

【図 17】図 16 に示すアクティブマトリクス基板の等価回路図である。

【図 18】画素電極のアライメントずれの説明図である。

【図 19】画素電極のアライメントずれと画素電極/隣接信号配線間の静電容量との関係を示す図である。

【図 20】アライメントずれとアライメントずれのないブロックに対する透過率の差との関係を示す図である。

【符号の説明】

20

【0067】

51, 71, 91, 121 ... アクティブマトリクス基板、

52, 52a, 72, 92, 122 ... ゲート配線(走査配線)、

54a, 54b, 74, 94, 112, 124 ... ソース配線(信号配線)、

55, 75, 95, 113, 125 ... TFT、

60, 114, 136 ... ドレイン電極、

61, 76, 96, 126 ... 層間絶縁膜、

62, 77, 97, 111, 127 ... 画素電極、

64, 78, 98, 116, 128 ... 補助容量電極、

65, 79, 99, 115, 117, 129, 137 ... コンタクトホール、

30

66, 80, 100, 130 ... 対向基板、

67, 81, 101, 131 ... カラーフィルタ、

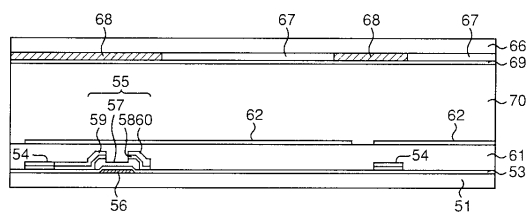
68, 82, 102, 132 ... ブラックマトリクス、

69, 83, 103, 133 ... 対向電極、

70, 84, 104, 134 ... 液晶層、

135 ... 遮光膜。

【圖 2】

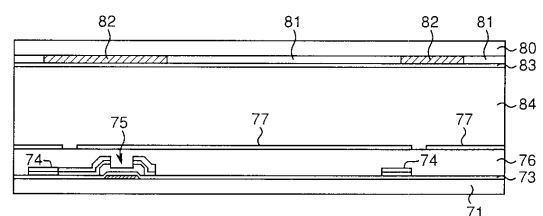


【圖 3】

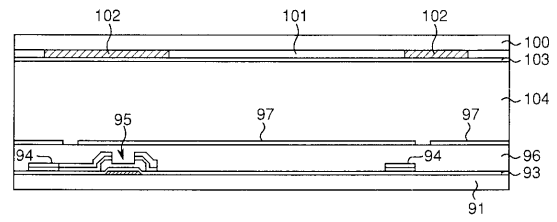
dx(μm)	従来構造	本実施の形態
0.0	0.0%	0.0%
0.7	9.4%	2.2%
1.0	13.4%	3.3%

【图 4】

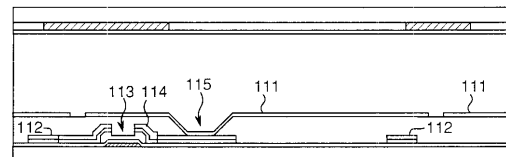
【 図 5 】



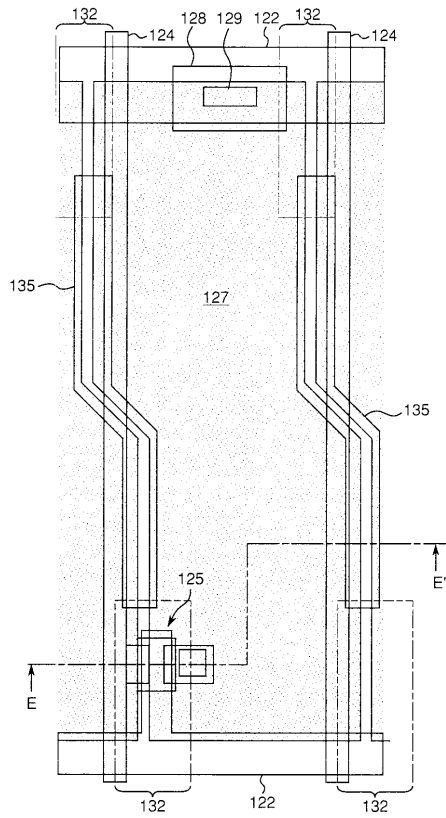
【圖 7】



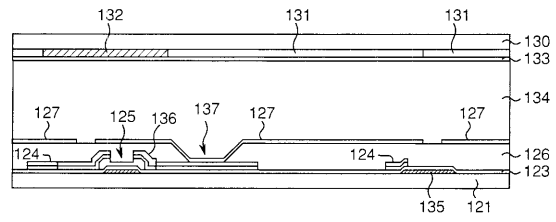
【 図 9 】



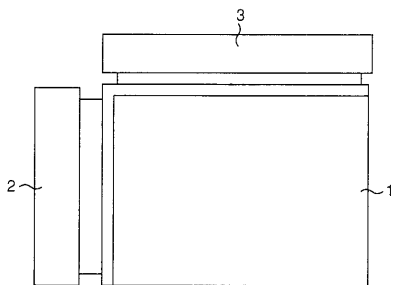
【図 10】



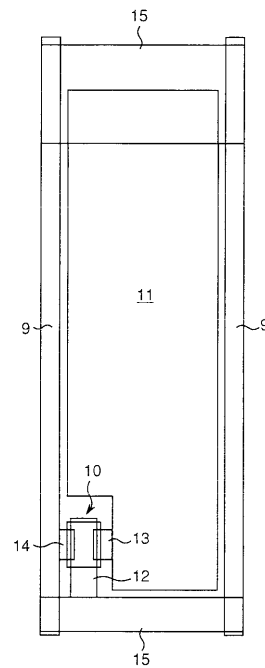
【図 11】



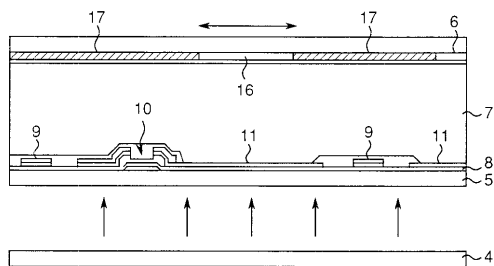
【図 12】



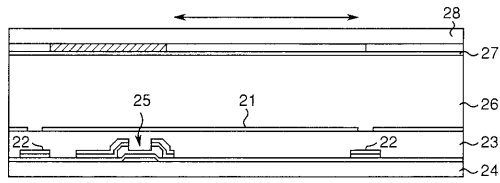
【図 14】



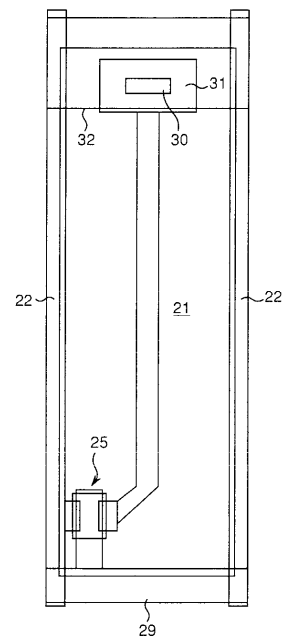
【図 13】



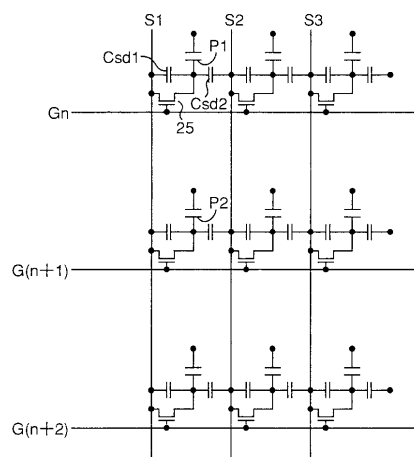
【図 15】



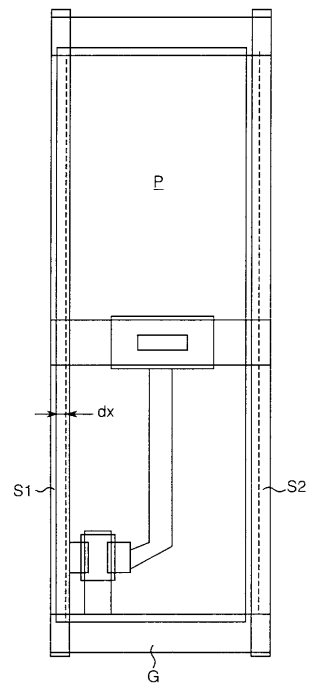
【図 16】



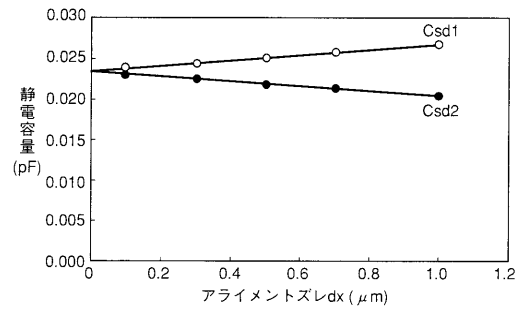
【図 17】



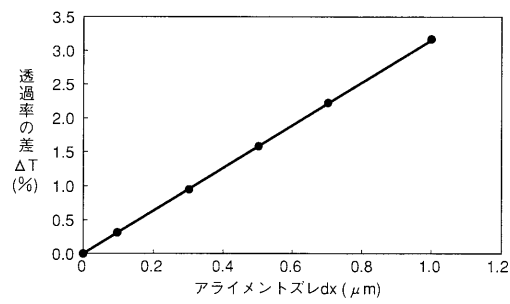
【図 18】



【図 19】



【図 20】



フロントページの続き

審査官 藤田 都志行

(56)参考文献 特開平 1 1 - 3 5 2 5 1 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 8

G 0 2 F 1 / 1 3 4 3

专利名称(译)	有源矩阵型液晶显示装置		
公开(公告)号	JP4763004B2	公开(公告)日	2011-08-31
申请号	JP2008036190	申请日	2008-02-18
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	岡田美広 伴厚志		
发明人	岡田 美広 伴 厚志		
IPC分类号	G02F1/1368 G02F1/1343		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA13 2H092/JA26 2H092/JB05 2H092/JB32 2H092/JB64 2H092/JB66 2H092/NA04 2H092/NA12 2H092/NA24 2H092/NA25 2H092/PA06 2H192/AA24 2H192/BA13 2H192/BC31 2H192/CB05 2H192/CC55 2H192/CC66 2H192/DA02 2H192/DA43 2H192/DA74 2H192/EA03 2H192/EA17 2H192/EA22 2H192/EA43 2H192/HA49		
代理人(译)	山崎 宏 田中，三夫 中仓幸		
其他公开文献	JP2008123005A5 JP2008123005A		
外部链接	Espacenet		

摘要(译)

为了抑制由于信号布线和像素电极之间的静电电容的变化引起的块分割。 解决方案：在像素电极62的两个侧部的端部处设置与相邻的源极布线54重叠的悬垂部分62a，62b。然后，两个伸出部分62a，62b的长度相同。通过这样做，一侧上的像素电极62和源极布线54a之间的静电电容与另一侧上的像素电极62和源极布线54b之间的电容之间的差异通过光刻确定。即使在过程中的块之间发生一些对准偏差，它们也几乎不会改变。因此，可以防止块分割。 点域1

アライメントずれdxに対する(Csd1-Csd2)の変化量

dx(μm)	従来構造	本実施の形態
0.0	0.0%	0.0%
0.7	9.4%	2.2%
1.0	13.4%	3.3%