

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4761773号
(P4761773)

(45) 発行日 平成23年8月31日 (2011.8.31)

(24) 登録日 平成23年6月17日 (2011.6.17)

(51) Int. Cl.

F I

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 1 R 31/00 (2006.01)

G 0 9 G 3/36

G 0 9 G 3/20 6 2 3 R

G 0 9 G 3/20 6 7 0 Q

G 0 1 R 31/00

請求項の数 13 (全 24 頁)

(21) 出願番号 特願2005-1345 (P2005-1345)
 (22) 出願日 平成17年1月6日 (2005.1.6)
 (65) 公開番号 特開2006-189608 (P2006-189608A)
 (43) 公開日 平成18年7月20日 (2006.7.20)
 審査請求日 平成19年3月2日 (2007.3.2)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (72) 発明者 宮下 敏彦
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

審査官 小川 浩史

最終頁に続く

(54) 【発明の名称】 表示装置およびその検査方法、ならびにその表示装置の検査システム

(57) 【特許請求の範囲】

【請求項1】

増幅手段によって増幅された信号の電圧を画素値として保持するための画素容量をそれぞれ含む複数の画素形成部からなる表示部を備え、当該表示部における画素欠陥を検出するための欠陥検出手段を有する表示装置であって、

前記表示部は、

前記増幅手段によって増幅された信号を前記複数の画素形成部に伝達するための複数の映像信号線と、

前記複数の映像信号線と交差し、選択的に駆動される複数の走査信号線とを含み、

前記複数の画素形成部は、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、

各画素形成部は、対応する交差点を通過する走査信号線が選択されているときに、対応する交差点を通過する映像信号線と当該画素形成部内の画素容量とを電気的に接続するスイッチング素子を含み、

前記欠陥検出手段は、

第1および第2の入力端子を有し、当該第1の入力端子に与えられる電圧と当該第2の入力端子に与えられる電圧とを比較する比較器と、

各画素形成部内の画素容量に保持された電圧を検出するときには、当該画素形成部に含まれる前記スイッチング素子によって当該画素形成部内の画素容量と電気的に接続され

ている映像信号線を前記第 1 の入力端子に接続すると共に、前記増幅手段によって増幅された信号が前記第 2 の入力端子に与えられるように前記増幅手段を前記第 2 の入力端子に接続する接続回路と
を含み、

各画素形成部内の画素容量に保持されている電圧を検出し、当該検出された電圧である検出電荷電圧と前記増幅手段によって増幅された信号の電圧とを比較することによって、前記画素欠陥を検出し、

前記接続回路は、前記増幅手段によって増幅された信号の伝達先を切り替える、前記複数の映像信号線と 1 対 1 で対応する複数の切替手段を含み、

各切替手段は、前記増幅手段によって増幅された信号の電圧を各画素形成部内の画素容量に保持させるときには、当該増幅された信号が対応する映像信号線に与えられ、各画素形成部内の画素容量に保持された電圧を検出するときには、当該増幅された信号が前記第 2 の入力端子に与えられるように、前記増幅手段によって増幅された信号の伝達先を当該対応する映像信号線と前記第 2 の入力端子との間で切り替えることを特徴とする、表示装置。

10

【請求項 2】

前記増幅手段は、1 個のみ設けられ、

前記欠陥検出手段は、前記比較器を 1 個のみ含むことを特徴とする、請求項 1 に記載の表示装置。

【請求項 3】

20

前記増幅手段は、1 個のみ設けられ、

前記欠陥検出手段は、前記複数の映像信号線と 1 対 1 で対応する複数の前記比較器を含み、

前記接続回路は、各画素形成部内の画素容量に保持された電圧を検出するときには、各映像信号線を当該映像信号線に対応する比較器の前記第 1 の入力端子に接続すると共に、前記増幅手段を当該映像信号線に対応する比較器の前記第 2 の入力端子に接続し、

前記切替手段は、対応する映像信号線と当該映像信号線に対応する比較器の前記第 2 の入力端子との間で、前記増幅手段によって増幅された信号の伝達先を切り替えることを特徴とする、請求項 1 に記載の表示装置。

【請求項 4】

30

前記増幅手段は、前記複数の映像信号線と 1 対 1 で対応するように複数個設けられ、

前記欠陥検出手段は、前記複数の映像信号線と 1 対 1 で対応する複数の前記比較器を含み、

前記接続回路は、各画素形成部内の画素容量に保持された電圧を検出するときには、各映像信号線を当該映像信号線に対応する比較器の前記第 1 の入力端子に接続すると共に、当該映像信号線に対応する増幅手段を当該映像信号線に対応する比較器の前記第 2 の入力端子に接続し、

前記切替手段は、対応する映像信号線と当該映像信号線に対応する比較器の前記第 2 の入力端子との間で、当該映像信号線に対応する増幅手段によって増幅された信号の伝達先を切り替えることを特徴とする、請求項 1 に記載の表示装置。

40

【請求項 5】

前記欠陥検出手段は、前記検出電荷電圧と前記増幅手段によって増幅された信号の電圧との差を示す差異電圧を出力することを特徴とする、請求項 1 から 4 までのいずれか 1 項に記載の表示装置。

【請求項 6】

外部の欠陥判別手段により所定の判別処理が行われるように、前記差異電圧を外部に出力することを特徴とする、請求項 5 に記載の表示装置。

【請求項 7】

前記差異電圧に基づく画像を表示する差異表示部を更に備えることを特徴とする、請求項 5 に記載の表示装置。

50

【請求項 8】

前記表示部にドライバモノリシック型液晶パネルが採用されていることを特徴とする、請求項 1 から 7 までのいずれか 1 項に記載の表示装置。

【請求項 9】

増幅手段によって増幅された信号の電圧を画素値として保持するための画素容量をそれぞれ含む複数の画素形成部からなる表示部を備え当該表示部における画素欠陥を検出するための欠陥検出手段を有する表示装置と、前記欠陥検出手段からの出力に基づいて前記表示部における画素欠陥の有無を判別する欠陥判別手段とからなる、表示装置の検査システムであって、

前記表示部は、

前記増幅手段によって増幅された信号を前記複数の画素形成部に伝達するための複数の映像信号線と、

前記複数の映像信号線と交差し、選択的に駆動される複数の走査信号線とを含み、

前記複数の画素形成部は、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、

各画素形成部は、対応する交差点を通過する走査信号線が選択されているときに、対応する交差点を通過する映像信号線と当該画素形成部内の画素容量とを電気的に接続するスイッチング素子を含み、

前記欠陥検出手段は、

第 1 および第 2 の入力端子を有し、当該第 1 の入力端子に与えられる電圧と当該第 2 の入力端子に与えられる電圧とを比較する比較器と、

各画素形成部内の画素容量に保持された電圧を検出するときには、当該画素形成部に含まれる前記スイッチング素子によって当該画素形成部内の画素容量と電気的に接続されている映像信号線を前記第 1 の入力端子に接続すると共に、前記増幅手段によって増幅された信号が前記第 2 の入力端子に与えられるように前記増幅手段を前記第 2 の入力端子に接続する接続回路と

を含み、

各画素形成部内の画素容量に保持されている電圧を検出し、当該検出された電圧である検出電荷電圧と前記増幅手段によって増幅された信号の電圧とを比較することによって、前記画素欠陥を検出し、

前記接続回路は、前記増幅手段によって増幅された信号の伝達先を切り替える、前記複数の映像信号線と 1 対 1 で対応する複数の切替手段を含み、

各切替手段は、前記増幅手段によって増幅された信号の電圧を各画素形成部内の画素容量に保持させるときには、当該増幅された信号が対応する映像信号線に与えられ、各画素形成部内の画素容量に保持された電圧を検出するときには、当該増幅された信号が前記第 2 の入力端子に与えられるように、前記増幅手段によって増幅された信号の伝達先を当該対応する映像信号線と前記第 2 の入力端子との間で切り替えることを特徴とする、検査システム。

【請求項 10】

前記増幅手段は、1 個のみ設けられ、

前記欠陥検出手段は、前記比較器を 1 個のみ含むことを特徴とする、請求項 9 に記載の検査システム。

【請求項 11】

前記増幅手段は、1 個のみ設けられ、

前記欠陥検出手段は、前記複数の映像信号線と 1 対 1 で対応する複数の前記比較器を含み、

前記接続回路は、各画素形成部内の画素容量に保持された電圧を検出するときには、各映像信号線を当該映像信号線に対応する比較器の前記第 1 の入力端子に接続すると共に、前記増幅手段を当該映像信号線に対応する比較器の前記第 2 の入力端子に接続し、

10

20

30

40

50

前記切替手段は、対応する映像信号線と当該映像信号線に対応する比較器の前記第 2 の入力端子との間で、前記増幅手段によって増幅された信号の伝達先を切り替えることを特徴とする、請求項 9 に記載の検査システム。

【請求項 12】

前記増幅手段は、前記複数の映像信号線と 1 対 1 で対応するように複数個設けられ、

前記欠陥検出手段は、前記複数の映像信号線と 1 対 1 で対応する複数の前記比較器を含み、

前記接続回路は、各画素形成部内の画素容量に保持された電圧を検出するときには、各映像信号線を当該映像信号線に対応する比較器の前記第 1 の入力端子に接続すると共に、当該映像信号線に対応する増幅手段を当該映像信号線に対応する比較器の前記第 2 の入力端子に接続し、

10

前記切替手段は、対応する映像信号線と当該映像信号線に対応する比較器の前記第 2 の入力端子との間で、当該映像信号線に対応する増幅手段によって増幅された信号の伝達先を切り替えることを特徴とする、請求項 9 に記載の検査システム。

【請求項 13】

前記表示部にドライバモノリシック型液晶パネルが採用されていることを特徴とする、請求項 9 から 12 までのいずれか 1 項に記載の検査システム。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、表示装置に関し、更に詳しくは表示装置の画素欠陥の検査のための回路および表示装置の画素欠陥の検査方法に関する。

【背景技術】

【0002】

近年、CGシリコン液晶(Continuous Grain Silicon Liquid Crystal:連続粒界結晶シリコン液晶)パネルを採用する液晶表示装置が開発されている。CGシリコン液晶パネルとは、スイッチング素子としてCGシリコン膜で形成されたTFT(Thin Film Transistor)を採用する液晶パネルのことである。CGシリコンは、結晶境界面の配置が規則的で、原子レベルで連続的な構造となっている。このため、CGシリコンでは電子が高速に移動することができるので、駆動用の集積回路を液晶パネルの基板上に実装することができる。これにより、必要な部品数の削減によるコストの低減や装置の小型化が進んでいる。

30

【0003】

このような液晶表示装置の製造工程において、不良品の発生を完全に除去することは現実的なことではない。このため、個々の液晶表示装置の製造後、それらを製品として出荷するまでに、正常に動作するか否かを確認するために様々な検査が行われている。このような検査のうち、液晶パネル内の画素TFTの欠陥(以下、画素TFTの欠陥のことを「画素欠陥」という。)を調べる検査においては、従来より検査者の目視により画素欠陥の有無の確認が行われている。例えば、液晶パネルに検査用のテスト信号を入力すると、画素欠陥の存する部分は輝点となる。検査者は、この輝点の有無を目視によって確認し、これにより液晶パネルが良品であるか不良品であるかを判別していた。

40

【0004】

しかし、上述のようにして検査が行われた場合には、検査者の作業経験等によって検査精度に相違が生じる。このため、検査終了後の製品の信頼性は十分なものとは言えない。そこで、画素容量を一旦充電させた後、画素容量に蓄積された電荷を読み出し、その読み出しによって検出される電圧(以下、便宜上「検出電荷電圧」という。)により定量的に画素欠陥の有無を調べることができる液晶パネルが提案されている。なお、以下、画素欠陥の有無を調べる検査のことを「画素欠陥検査」という。

【特許文献1】特開平5-5866号公報

【特許文献2】特開平9-15645号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上述した液晶パネルにおいても、以下の理由により、画素欠陥検査についての検査結果の精度は充分なものではない。液晶パネルの画素欠陥検査の際、各映像信号線にはアナログバッファによって増幅されたテスト信号が印加される。ところが、それらアナログバッファには特性のばらつきがあるため、ソースドライバ毎にアナログバッファによるテスト信号の増幅率が異なるものとなっている。従って、ソースドライバ毎に、映像信号線に印加されるテスト信号の電圧が異なるものとなっている。その結果、検出電荷電圧についても、ソースドライバ毎に異なるものとなっている。ところが、上述した液晶パネルの画素欠陥検査に際しては、このようなアナログバッファの特性のばらつきは考慮されておらず、上述の検出電荷電圧と予め定められた基準電圧とを比較することにより画素欠陥の有無の判別が行われている。従って、高い精度の検査結果は得られておらず、検査精度の向上が望まれている。

10

【0006】

そこで、本発明では、画素欠陥検査についてコストの上昇を抑制しつつ良好な検査精度を得ることができる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

第1の発明は、増幅手段によって増幅された信号の電圧を画素値として保持するための画素容量をそれぞれ含む複数の画素形成部からなる表示部を備え、当該表示部における画素欠陥を検出するための欠陥検出手段を有する表示装置であって、

20

前記表示部は、

前記増幅手段によって増幅された信号を前記複数の画素形成部に伝達するための複数の映像信号線と、

前記複数の映像信号線と交差し、選択的に駆動される複数の走査信号線とを含み、

前記複数の画素形成部は、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、

各画素形成部は、対応する交差点を通過する走査信号線が選択されているときに、対応する交差点を通過する映像信号線と当該画素形成部内の画素容量とを電気的に接続するスイッチング素子を含み、

30

前記欠陥検出手段は、

第1および第2の入力端子を有し、当該第1の入力端子に与えられる電圧と当該第2の入力端子に与えられる電圧とを比較する比較器と、

各画素形成部内の画素容量に保持された電圧を検出するときには、当該画素形成部に含まれる前記スイッチング素子によって当該画素形成部内の画素容量と電気的に接続されている映像信号線を前記第1の入力端子に接続すると共に、前記増幅手段によって増幅された信号が前記第2の入力端子に与えられるように前記増幅手段を前記第2の入力端子に接続する接続回路と

40

を含み、

各画素形成部内の画素容量に保持されている電圧を検出し、当該検出された電圧である検出電荷電圧と前記増幅手段によって増幅された信号の電圧とを比較することによって、前記画素欠陥を検出し、

前記接続回路は、前記増幅手段によって増幅された信号の伝達先を切り替える、前記複数の映像信号線と1対1で対応する複数の切替手段を含み、

各切替手段は、前記増幅手段によって増幅された信号の電圧を各画素形成部内の画素容量に保持させるときには、当該増幅された信号が対応する映像信号線に与えられ、各画素形成部内の画素容量に保持された電圧を検出するときには、当該増幅された信号が前記第2の入力端子に与えられるように、前記増幅手段によって増幅された信号の伝達先を当該

50

対応する映像信号線と前記第 2 の入力端子との間で切り替えることを特徴とする。

【 0 0 0 8 】

第 2 の発明は、第 1 の発明において、
前記増幅手段は、1 個のみ設けられ、
前記欠陥検出手段は、前記比較器を 1 個のみ含むことを特徴とする。

【 0 0 1 0 】

第 3 の発明は、第 1 の発明において、
前記増幅手段は、1 個のみ設けられ、
前記欠陥検出手段は、前記複数の映像信号線と 1 対 1 で対応する複数の前記比較器を含み、

10

前記接続回路は、各画素形成部内の画素容量に保持された電圧を検出するときには、各映像信号線を当該映像信号線に対応する比較器の前記第 1 の入力端子に接続すると共に、前記増幅手段を当該映像信号線に対応する比較器の前記第 2 の入力端子に接続し、

前記切替手段は、対応する映像信号線と当該映像信号線に対応する比較器の前記第 2 の入力端子との間で、前記増幅手段によって増幅された信号の伝達先を切り替えることを特徴とする。

【 0 0 1 2 】

第 4 の発明は、第 1 の発明において、
前記増幅手段は、前記複数の映像信号線と 1 対 1 で対応するように複数個設けられ、
前記欠陥検出手段は、前記複数の映像信号線と 1 対 1 で対応する複数の前記比較器を含み、

20

前記接続回路は、各画素形成部内の画素容量に保持された電圧を検出するときには、各映像信号線を当該映像信号線に対応する比較器の前記第 1 の入力端子に接続すると共に、当該映像信号線に対応する増幅手段を当該映像信号線に対応する比較器の前記第 2 の入力端子に接続し、

前記切替手段は、対応する映像信号線と当該映像信号線に対応する比較器の前記第 2 の入力端子との間で、当該映像信号線に対応する増幅手段によって増幅された信号の伝達先を切り替えることを特徴とする。

【 0 0 1 4 】

第 5 の発明は、第 1 から第 4 までのいずれかの発明において、

30

前記欠陥検出手段は、前記検出電荷電圧と前記増幅手段によって増幅された信号の電圧との差を示す差異電圧を出力することを特徴とする。

【 0 0 1 5 】

第 6 の発明は、第 5 の発明において、

外部の欠陥判別手段により所定の判別処理が行われるように、前記差異電圧を外部に出力することを特徴とする。

【 0 0 1 6 】

第 7 の発明は、第 5 の発明において、

前記差異電圧に基づく画像を表示する差異表示部を更に備えることを特徴とする。

【 0 0 1 7 】

40

第 8 の発明は、第 1 から第 7 までのいずれかの発明において、

前記表示部にドライバモノリシック型液晶パネルが採用されていることを特徴とする。

【 0 0 1 8 】

第 9 の発明は、増幅手段によって増幅された信号の電圧を画素値として保持するための画素容量をそれぞれ含む複数の画素形成部からなる表示部を備え当該表示部における画素欠陥を検出するための欠陥検出手段を有する表示装置と、前記欠陥検出手段からの出力に基づいて前記表示部における画素欠陥の有無を判別する欠陥判別手段とからなる、表示装置の検査システムであって、

前記表示部は、

前記増幅手段によって増幅された信号を前記複数の画素形成部に伝達するための複数

50

の映像信号線と、

前記複数の映像信号線と交差し、選択的に駆動される複数の走査信号線とを含み、

前記複数の画素形成部は、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、

各画素形成部は、対応する交差点を通過する走査信号線が選択されているときに、対応する交差点を通過する映像信号線と当該画素形成部内の画素容量とを電氣的に接続するスイッチング素子を含み、

前記欠陥検出手段は、

第1および第2の入力端子を有し、当該第1の入力端子に与えられる電圧と当該第2の入力端子に与えられる電圧とを比較する比較器と、

各画素形成部内の画素容量に保持された電圧を検出するときには、当該画素形成部に含まれる前記スイッチング素子によって当該画素形成部内の画素容量と電氣的に接続されている映像信号線を前記第1の入力端子に接続すると共に、前記増幅手段によって増幅された信号が前記第2の入力端子に与えられるように前記増幅手段を前記第2の入力端子に接続する接続回路と

を含み、

各画素形成部内の画素容量に保持されている電圧を検出し、当該検出された電圧である検出電荷電圧と前記増幅手段によって増幅された信号の電圧とを比較することによって、前記画素欠陥を検出し、

前記接続回路は、前記増幅手段によって増幅された信号の伝達先を切り替える、前記複数の映像信号線と1対1で対応する複数の切替手段を含み、

各切替手段は、前記増幅手段によって増幅された信号の電圧を各画素形成部内の画素容量に保持させるときには、当該増幅された信号が対応する映像信号線に与えられ、各画素形成部内の画素容量に保持された電圧を検出するときには、当該増幅された信号が前記第2の入力端子に与えられるように、前記増幅手段によって増幅された信号の伝達先を当該対応する映像信号線と前記第2の入力端子との間で切り替えることを特徴とする。

【0019】

第10の発明は、第9の発明において、

前記増幅手段は、1個のみ設けられ、

前記欠陥検出手段は、前記比較器を1個のみ含むことを特徴とする。

【0021】

第11の発明は、第9の発明において、

前記増幅手段は、1個のみ設けられ、

前記欠陥検出手段は、前記複数の映像信号線と1対1で対応する複数の前記比較器を含み、

前記接続回路は、各画素形成部内の画素容量に保持された電圧を検出するときには、各映像信号線を当該映像信号線に対応する比較器の前記第1の入力端子に接続すると共に、前記増幅手段を当該映像信号線に対応する比較器の前記第2の入力端子に接続し、

前記切替手段は、対応する映像信号線と当該映像信号線に対応する比較器の前記第2の入力端子との間で、前記増幅手段によって増幅された信号の伝達先を切り替えることを特徴とする。

【0023】

第12の発明は、第9の発明において、

前記増幅手段は、前記複数の映像信号線と1対1で対応するように複数個設けられ、

前記欠陥検出手段は、前記複数の映像信号線と1対1で対応する複数の前記比較器を含み、

前記接続回路は、各画素形成部内の画素容量に保持された電圧を検出するときには、各映像信号線を当該映像信号線に対応する比較器の前記第1の入力端子に接続すると共に、当該映像信号線に対応する増幅手段を当該映像信号線に対応する比較器の前記第2の入力

10

20

30

40

50

端子に接続し、

前記切替手段は、対応する映像信号線と当該映像信号線に対応する比較器の前記第2の入力端子との間で、当該映像信号線に対応する増幅手段によって増幅された信号の伝達先を切り替えることを特徴とする。

【0025】

第13の発明は、第9から第12までのいずれかの発明において、

前記表示部にドライバモノリシック型液晶パネルが採用されていることを特徴とする。

【発明の効果】

【0028】

上記第1の発明によれば、検査中の表示装置の画素形成部に含まれる画素容量を充電するために増幅手段から出力された映像信号の電圧と、画素容量に保持されている電圧（検出電荷電圧）とが比較される。このため、検出電荷電圧との比較対象となる電圧が検査中の表示装置の増幅手段に応じたものとなる。また、2個の入力端子にそれぞれ与えられる2個の電圧を比較する比較器が設けられ、各画素形成部に含まれる画素容量に保持されている電圧を検出すべき期間には、当該画素形成部と接続している映像信号線と、当該画素形成部に含まれる画素容量の充電に供された電圧を出力した増幅手段とが、その比較器の2個の入力端子にそれぞれ接続される。これにより、増幅手段毎の特性のばらつきの影響を受けることなく、各画素形成部について、画素容量の充電に供された映像信号の電圧と画素容量に保持されている電圧とが比較される。その結果、各画素形成部についての画素欠陥の有無の検査を精度良く行うことができる。また、各画素形成部に含まれる画素容量が充電されるべき期間であるか画素容量に保持されている電圧を検出すべき期間であるかによって、増幅手段から出力される映像信号の伝達先が、映像信号線と比較器との間で切り替えられる。このため、効果良く、同一の増幅手段によって増幅された映像信号を画素容量の充電もしくは比較器による比較のために供することができる。

【0029】

上記第2の発明によれば、第1の発明と同様、増幅手段毎の特性のばらつきの影響を受けることなく、画素欠陥の有無の検査を精度良く行うことができる。また、増幅手段は1個のみ設けられているので、駆動回路の外部に増幅手段がある場合にも効果良く適用することができる。

【0031】

上記第3の発明によれば、第1の発明と同様、増幅手段毎の特性のばらつきの影響を受けることなく、画素欠陥の有無の検査を精度良く行うことができる。また、増幅手段は1個のみ設けられているので、駆動回路の外部に増幅手段がある場合にも効果良く適用することができ、比較器は各映像信号線に対応して設けられているので、点順次駆動のみならず線順次駆動が採用されている表示装置にも適用することができる。

【0033】

上記第4の発明によれば、第1の発明と同様、増幅手段毎の特性のばらつきの影響を受けることなく、画素欠陥の有無の検査を精度良く行うことができる。また、比較器と増幅手段とは各映像信号線に対応して設けられているので、点順次駆動のみならず線順次駆動が採用されている表示装置にも効果良く適用することができる。

【0035】

上記第5の発明によれば、各画素形成部について、画素容量の充電に供された映像信号の電圧と画素容量に保持されている電圧との差を示す差異電圧が比較器から出力される。また、第1の発明と同様、差異電圧は増幅手段毎の特性のばらつきの影響を受けることがない。このため、精度良く検出される差異電圧に基づいて、各画素形成部についての画素欠陥の有無を判別することができる。

【0036】

上記第6の発明によれば、画素容量の充電に供された映像信号の電圧と画素容量に保持されている電圧との差を示す差異電圧に基づき、外部において、所定の判別処理によって、各画素形成部についての画素欠陥の有無の判別が行われる。このため、画素欠陥の有無

10

20

30

40

50

について定量的な判別が可能となり、検査の精度が大幅に向上する。

【 0 0 3 7 】

上記第 7 の発明によれば、画素容量の充電に供された映像信号の電圧と画素容量に保持されている電圧との差を示す差異電圧に基づく画像が差異表示部に表示される。これにより、精度良く行われた各画素形成部についての画素欠陥の検査についての結果を容易に確認することができる。

【 0 0 3 8 】

上記第 8 の発明によれば、画素欠陥の検査のための回路と表示部とを一体的に作製することができる。

10

【発明を実施するための最良の形態】

【 0 0 3 9 】

以下、添付図面を参照しつつ本発明の実施形態について説明する。

【 0 0 4 0 】

< 1 . 第 1 の実施形態 >

< 1 . 1 全体の構成および動作 >

図 1 は、本発明の第 1 の実施形態に係る C G シリコン液晶パネルの全体構成を示すブロック図である。この液晶パネルは、表示部 2 0 0 と、ソースドライバ (映像信号線駆動回路) 3 0 0 と、ゲートドライバ (走査信号線駆動回路) 4 0 0 とを備えている。表示部 2 0 0 を構成する基板 1 0 0 上にソースドライバ 3 0 0 とゲートドライバ 4 0 0 とが形成されており、モノリシック型と呼ばれる構成となっている。表示部 2 0 0 の内部には、複数の走査信号線 G L 1 ~ G L m と複数の映像信号線 S L 1 ~ S L n とが互いに格子状に設けられており、その複数の走査信号線と映像信号線との交差点にそれぞれ対応して画素形成部が設けられている。走査信号線 G L 1 ~ G L m はゲートドライバ 4 0 0 と接続され、映像信号線 S L 1 ~ S L n はソースドライバ 3 0 0 と接続されている。各画素形成部は、スイッチ素子としての T F T 5 1 と、 T F T 5 1 と接続された画素電極 5 2 と、各画素形成部に共通的に設けられた共通電極 5 3 と、画素電極 5 2 と共通電極 5 3 との間に挟持された液晶層と、画素電極 5 2 と共通電極 5 3 とによって形成される液晶容量 5 4 と、液晶容量 5 4 に並列に形成される電荷保持容量 (不図示) とからなる。液晶容量 5 4 と電荷保持容量とによって画素容量が構成され、画素容量には画素値を示す電圧が保持される。ソースドライバ 3 0 0 には、画素欠陥検査回路 (欠陥検出手段) 3 0 と、シフトレジスタ 3 1 と、外部から入力されるテスト用アナログビデオ信号 (外部入力信号) A V を増幅するためのアナログバッファ (増幅手段) B F と、テスト用アナログビデオ信号 A V の増幅後の信号 (以下、「駆動用映像信号」という) の各映像信号線 S L 1 ~ S L n への印加を制御するための駆動用映像信号制御スイッチ S W 1 ~ S W n とが含まれている。なお、画素欠陥検査回路 3 0 の詳細な構成については後述する。

20

30

【 0 0 4 1 】

ソースドライバ 3 0 0 には、テスト用アナログビデオ信号 A V と、表示部 2 0 0 に画像を表示するタイミングを制御するためのソーススタートパルス信号 S S P およびソースクロック信号 S C K と、画素欠陥検査回路 3 0 の動作を制御するための画素欠陥検査回路制御信号 S G とが外部から入力される。これらの信号のうちシフトレジスタ 3 1 には、ソーススタートパルス信号 S S P とソースクロック信号 S C K とが入力される。そして、ソースクロック信号 S C K のパルスの立ち上がりに応じて、ソーススタートパルス信号 S S P が順次に後段にシフトされる。これにより、サンプリングパルス S M 1 ~ S M n がシフトレジスタ 3 1 から順次に出力される。これらサンプリングパルス S M 1 ~ S M n は、画素欠陥検査回路 3 0 に入力される。また、外部から入力されたテスト用アナログビデオ信号 A V は、アナログバッファ B F によって増幅され、駆動用映像信号として画素欠陥検査回路 3 0 に入力される。画素欠陥検査回路 3 0 は、駆動用映像信号、サンプリングパルス S M 1 ~ S M n 、および画素欠陥検査回路制御信号 S G とを受け取り、その受け取ったサンプリングパルス S M 1 ~ S M n を出力するとともに、各画素形成部に含まれる画素容量を

40

50

充電すべき期間には、駆動用映像信号を出力し、各画素形成部に含まれる画素容量に蓄積された電荷を読み出すべき期間には、駆動用映像信号の電圧と画素容量の電荷の読み出しによって検出される電圧（検出電荷電圧）との差を示す差異電圧 V_S を出力する。駆動用映像信号制御スイッチ $SW_1 \sim SW_n$ は、画素欠陥検査回路30からサンプリングパルス $SM_1 \sim SM_n$ が出力されている期間中、オン状態となる。そして、その駆動用映像信号制御スイッチ $SW_1 \sim SW_n$ のオン/オフ状態に基づき、画素欠陥検査回路30から出力される駆動用映像信号が各映像信号線 $SL_1 \sim SL_n$ に印加される。ゲートドライバ400には、表示部200に画像を表示するタイミングを制御するためのゲートスタートパルス信号 GSP およびゲートクロック信号 GCK が外部から入力される。それらの信号に基づき、ゲートドライバ400は、各走査信号線 $GL_1 \sim GL_m$ を1水平走査期間ずつ順次に選択するために、アクティブな走査信号（本実施形態においては、論理レベルがハイレベルであるものとする）の各走査信号線への印加を1垂直走査期間を周期として繰り返す。以上のようにして、映像信号線 $SL_1 \sim SL_n$ に駆動用映像信号が印加され、走査信号線 $GL_1 \sim GL_m$ に走査信号が印加されることにより、テスト用アナログビデオ信号 AV に基づく画像が表示部200に表示される。

10

【0042】

また、この液晶パネルの外部には、各画素形成部についての画素欠陥の有無を判定する画素欠陥判定部（欠陥判別手段）600が設けられている。画素欠陥判定部600は、 A/D 変換器61とデジタル処理装置62とによって構成されている。 A/D 変換器61は、画素欠陥検査回路30から出力されたアナログ信号である差異電圧 V_S を受け取り、デジタル信号に変換する。デジタル処理装置62は、デジタル信号に変換された差異電圧 V_S を受け取り、所定のプログラムに基づいて画素欠陥の有無の判別を行い、その結果を例えば画面表示する。

20

【0043】

< 1.2 画素欠陥検査回路の構成および動作 >

図2は、本実施形態において、ソースドライバ300内の画素欠陥検査回路30の詳細な構成を示す回路図である。なお、図2には、1列目および2列目の映像信号線 SL_1 、 SL_2 に対応する部分のみを示している。画素欠陥検査回路30は、差異電圧出力バッファ（比較器） CMP と、映像信号線 $SL_1 \sim SL_n$ それぞれに対応する、論理積ゲート $AND_1 \sim AND_n$ と、第1の切替スイッチ（切替手段） $SA_1 \sim SA_n$ と、第2の切替スイッチ $SB_1 \sim SB_n$ とを備えている。なお、論理積ゲート $AND_1 \sim AND_n$ と、第1の切替スイッチ $SA_1 \sim SA_n$ と、第2の切替スイッチ $SB_1 \sim SB_n$ とによって、接続回路が実現されている。

30

【0044】

論理積ゲート $AND_1 \sim AND_n$ は、シフトレジスタ31から出力されるサンプリングパルス $SM_1 \sim SM_n$ と画素欠陥検査回路制御信号 SG とに基づいて切替スイッチ制御信号 $SK_1 \sim SK_n$ を出力する。ここで、論理積ゲートは、複数の入力信号の論理積を示す信号を出力する。本実施形態においては、画素欠陥検査回路制御信号 SG の論理レベルがハイレベルであって論理積ゲート $AND_1 \sim AND_n$ がシフトレジスタ31からサンプリングパルス $SM_1 \sim SM_n$ を受け取っている期間中のみ、論理積ゲート $AND_1 \sim AND_n$ から出力される切替スイッチ制御信号 $SK_1 \sim SK_n$ の論理レベルがハイレベルになる。差異電圧出力バッファ CMP は、2個の入力端子にそれぞれ与えられる2個の入力信号の電圧の電圧差を算出し、その電圧差を増幅して差異電圧 V_S として出力端子から出力する。

40

【0045】

図3は、本実施形態において、 i 列目（ $1 \leq i \leq n$ ）の映像信号線 SL_i に対応して設けられている第1の切替スイッチ SA_i と第2の切替スイッチ SB_i の動作を説明するための回路図である。論理積ゲート AND_i から出力される切替スイッチ制御信号 SK_i の論理レベルがローレベルの時には、図3(a)に示すように、アナログバッファ BF と映像信号線 SL_i とが接続される。一方、切替スイッチ制御信号 SK_i の論理レベルがハイ

50

レベルの時には、図 3 (b) に示すように、差異電圧出力バッファ C M P の一方の入力端子 (第 2 の入力端子) とアナログバッファ B F とが接続され、差異電圧出力バッファ C M P の他方の入力端子 (第 1 の入力端子) と映像信号線 S L とが接続される。なお、サンプリングパルス S M 1 ~ S M n はシフトレジスタ 3 1 から順次に出力されるので、切替スイッチ制御信号 S K 1 ~ S K n のうち論理レベルがハイレベルになっているものは、いずれの期間においても多くとも 1 個である。従って、2 個以上の第 1 の切替スイッチによって出力バッファ B F と差異電圧出力バッファ C M P とが同時に接続されることはなく、2 本以上の映像信号線と差異電圧出力バッファ C M P とが同時に接続されることもない。

【 0 0 4 6 】

< 1 . 3 液晶パネルの検査時の動作 >

10

次に、図 4 から図 9 を参照しつつ、この液晶パネルの画素欠陥検査の際の動作について説明する。画素欠陥検査の際には、まず、液晶パネルの表示部 2 0 0 内の全ての画素形成部の画素容量の充電が順次に行われる。全ての画素容量の充電が終了すると、各画素容量に蓄積された電荷の読み出しが順次に行われる。そして、それら電荷の読み出しによって検出される検出電荷電圧に基づいて画素欠陥の有無の判別が行われる。このように、本実施形態において画素欠陥検査が行われている期間中には、表示部 2 0 0 内の各画素形成部の画素容量を順次に充電する充電期間とそれら各画素形成部の画素容量に蓄積された電荷を順次に読み出す電荷読み出し期間とがある。

【 0 0 4 7 】

図 4 は、本実施形態において、ゲートドライバ 4 0 0 から出力される走査信号 G 1 ~ G m と外部から入力される画素欠陥検査回路制御信号 S G の信号波形図である。上述のとおり、画素欠陥検査が行われている期間中には、充電期間と電荷読み出し期間とがある。まず、充電期間において、走査信号 G 1 ~ G m の論理レベルが 1 水平走査期間ずつ順次にハイレベルとなる。画素欠陥検査回路制御信号 S G については、充電期間中には、その論理レベルはローレベルで維持される。充電期間終了後、電荷読み出し期間となり、再度、走査信号 G 1 ~ G m の論理レベルが 1 水平走査期間ずつ順次にハイレベルとなる。画素欠陥検査回路制御信号 S G については、電荷読み出し期間中には、その論理レベルはハイレベルで維持される。

20

【 0 0 4 8 】

図 5 は、本実施形態において、画素欠陥検査が行われている期間中の液晶パネルの動作を説明するための信号波形図である。なお、V (P 1 1) は、1 行目の走査信号線 G L 1 と 1 列目の映像信号線 S L 1 との交差点に対応して設けられた画素形成部の画素容量に保持される電圧の波形を示している。V (P 1 2) は、1 行目の走査信号線 G L 1 と 2 列目の映像信号線 S L 2 との交差点に対応して設けられた画素形成部の画素容量に保持される電圧の波形を示している。

30

【 0 0 4 9 】

図 6 は、図 5 において符号 T 1 1 で示す期間の液晶パネルの動作を説明するための回路図である。この期間中には、シフトレジスタ 3 1 からサンプリングパルス S M 1 が出力され、画素欠陥検査回路制御信号 S G の論理レベルはローレベルであるので、論理積ゲート A N D 1 から出力される切替スイッチ制御信号 S K 1 の論理レベルはローレベルとなる。このため、アナログバッファ B F と映像信号線 S L 1 とが接続される。また、サンプリングパルス S M 1 によって駆動用映像信号制御スイッチ S W 1 はオン状態となるので、アナログバッファ B F から出力された駆動用映像信号が表示部 2 0 0 内の映像信号線 S L 1 に印加され、映像信号線 S L 1 が充電される。この時、走査信号線 G L 1 に供給される走査信号 G 1 の論理レベルがハイレベルになっているので、走査信号線 G L 1 と映像信号線 S L 1 との交差点に対応して設けられた画素形成部の画素容量が充電される。また、この期間中、駆動用映像信号制御スイッチ S W 2 ~ S W n はオフ状態となっているので、2 列目から n 列目までの映像信号線 S L 2 ~ S L n には駆動用映像信号は印加されない。

40

【 0 0 5 0 】

図 7 は、図 5 において符号 T 1 2 で示す期間の液晶パネルの動作を説明するための回路

50

図である。この期間中には、シフトレジスタ 31 からサンプリングパルス S M 2 が出力され、画素欠陥検査回路制御信号 S G の論理レベルはローレベルであるので、論理積ゲート A N D 2 から出力される切替スイッチ制御信号 S K 2 の論理レベルはローレベルとなる。このため、アナログバッファ B F と映像信号線 S L 2 とが接続される。また、サンプリングパルス S M 2 によって駆動用映像信号制御スイッチ S W 2 はオン状態となるので、アナログバッファ B F から出力された駆動用映像信号が表示部 200 内の映像信号線 S L 2 に印加され、映像信号線 S L 2 が充電される。この時、走査信号線 G L 1 に供給される走査信号 G 1 の論理レベルがハイレベルになっているので、走査信号線 G L 1 と映像信号線 S L 2 との交差点に対応して設けられた画素形成部の画素容量が充電される。また、この期間中、駆動用映像信号制御スイッチ S W 1、S W 3 ~ S W n はオフ状態となっているので、1 列目および 3 列目から n 列目までの映像信号線 S L 1、S L 3 ~ S L n には駆動用映像信号は印加されない。

10

【 0 0 5 1 】

以上のようにして、1 列目から n 列目までの映像信号線 S L 1 ~ S L n が順次に充電され、論理レベルがハイレベルの走査信号が供給されている 1 行目の走査信号線 G L 1 と 1 列目から n 列目までの映像信号線 S L 1 ~ S L n との交差点に対応して設けられた画素形成部に含まれる画素容量が順次に充電される。さらに、図 4 に示したように走査信号 G 1 ~ G m が 1 水平走査期間ずつ順次にアクティブになることによって、全ての画素形成部に含まれる画素容量が順次に充電される。

【 0 0 5 2 】

20

充電期間が終了すると、電荷読み出し期間に移行する。図 8 は、図 5 において符号 T 2 1 で示す期間の液晶パネルの動作を説明するための回路図である。この期間中には、シフトレジスタ 31 からサンプリングパルス S M 1 が出力され、画素欠陥検査回路制御信号 S G の論理レベルはハイレベルであるので、論理積ゲート A N D 1 から出力される切替スイッチ制御信号 S K 1 の論理レベルはハイレベルとなる。このため、差異電圧出力バッファ C M P の一方の入力端子とアナログバッファ B F とが第 1 の切替スイッチ S A 1 によって接続され、差異電圧出力バッファ C M P の他方の入力端子と映像信号線 S L 1 とが第 2 の切替スイッチ S B 1 によって接続される。また、サンプリングパルス S M 1 によって駆動用映像信号制御スイッチ S W 1 はオン状態となる。この時、走査信号線 G L 1 に供給される走査信号 G 1 の論理レベルがハイレベルになっているので、走査信号線 G L 1 と映像信号線 S L 1 との交差点に対応して設けられた画素形成部の画素容量に蓄積された電荷が読み出される。これにより、差異電圧出力バッファ C M P の一方の入力端子にはアナログバッファ B F から出力される駆動用映像信号が入力され、他方の入力端子には電荷の読み出しによる検出電荷電圧が入力される。その結果、差異電圧出力バッファ C M P の出力端子からは、駆動用映像信号の電圧と、走査信号線 G L 1 と映像信号線 S L 1 との交差点に対応して設けられた画素形成部に含まれる画素容量に蓄積された電荷の読み出しによる検出電荷電圧との差を示す差異電圧 V S が出力される。

30

【 0 0 5 3 】

図 9 は、図 5 において符号 T 2 2 で示す期間の液晶パネルの動作を説明するための回路図である。この期間中には、シフトレジスタ 31 からサンプリングパルス S M 2 が出力され、画素欠陥検査回路制御信号 S G の論理レベルはハイレベルであるので、論理積ゲート A N D 2 から出力される切替スイッチ制御信号 S K 2 の論理レベルはハイレベルとなる。このため、差異電圧出力バッファ C M P の一方の入力端子とアナログバッファ B F とが第 1 の切替スイッチ S A 2 によって接続され、差異電圧出力バッファ C M P の他方の入力端子と映像信号線 S L 2 とが第 2 の切替スイッチ S B 2 によって接続される。また、サンプリングパルス S M 2 によって駆動用映像信号制御スイッチ S W 2 はオン状態となる。この時、走査信号線 G L 1 に供給される走査信号 G 1 の論理レベルがハイレベルになっているので、走査信号線 G L 1 と映像信号線 S L 2 との交差点に対応して設けられた画素形成部の画素容量に蓄積された電荷が読み出される。これにより、差異電圧出力バッファ C M P の一方の入力端子にはアナログバッファ B F から出力される駆動用映像信号が入力され、

40

50

他方の入力端子には電荷の読み出しによる検出電荷電圧が入力される。その結果、差異電圧出力バッファCMPの出力端子からは、駆動用映像信号の電圧と、走査信号線GL1と映像信号線SL2との交差点に対応して設けられた画素形成部に含まれる画素容量に蓄積された電荷の読み出しによる検出電荷電圧との差を示す差異電圧VSが出力される。

【0054】

以上のようにして、論理レベルがハイレベルの走査信号が供給されている1行目の走査信号線GL1と1列目からn列目までの映像信号線SL1～SLnとの交差点に対応して設けられた画素形成部に含まれる画素容量に蓄積された電荷が順次を読み出される。そして、それらの検出電荷電圧とアナログバッファBFから出力される駆動用映像信号の電圧との差異電圧VSに基づいて、1行目の走査信号線GL1に対応して設けられている画素形成部についての画素欠陥の有無の判別が画素欠陥判定部600において順次に行われる。さらに、走査信号G1～Gmが1水平走査期間ずつ順次にアクティブになることによって、表示部200内の全ての画素形成部についての画素欠陥の有無の判別が順次に行われる。

【0055】

<1.4 効果>

以上説明したように、本実施形態によると、表示部200内の画素形成部に含まれる画素容量を充電するための駆動用映像信号の電圧と画素容量に蓄積された電荷の読み出しによって検出される検出電荷電圧との差を示す差異電圧VSが生成され、その差異電圧VSに基づいて、各画素形成部についての画素欠陥の有無が液晶パネル外部に設けられた画素欠陥判定部600において判別される。また、各画素形成部について、画素容量の充電に供された駆動用映像信号と検出電荷電圧の比較対象となった駆動用映像信号とは、同一のアナログバッファによって増幅されている。このため、アナログバッファの特性のばらつきの影響を受けることなく、各画素形成部について、画素容量の充電に供された電圧と検出電荷電圧との差異電圧VSが検出される。また、画素欠陥判定部600においては、画素欠陥の有無について差異電圧VSに基づく定量的な判別が行われる。これにより、目視による確認に比して大幅に検査精度が高くなり、検査結果に対する信頼性が大幅に向上する。また、CGシリコン液晶パネルを採用することにより、画素欠陥の検査のための回路(上述の画素欠陥検査回路)をパネル内に作製することができるので、検査装置作製のためのコスト上昇を大幅に抑制することができる。

【0056】

<2.第2の実施形態>

<2.1 全体の構成>

次に、本発明の第2の実施形態について説明する。図10は、本発明の第2の実施形態に係る液晶パネルの全体構成を示すブロック図である。本実施形態においては、図1に示す上記第1の実施形態の構成とは異なり、映像信号線SL1～SLnそれぞれに対応してアナログバッファ(増幅手段)BF1～BFnが設けられている。また、駆動用映像信号制御スイッチSW1～SWnは、それぞれアナログバッファBF1～BFnと画素欠陥検査回路30との間に設けられている。さらに、各画素形成部についての画素欠陥の有無を判別するための処理は液晶パネル内部で行われる。それ以外の構成については、図1に示す上記第1の実施形態と同様であるので、同一の構成要素については同一の参照符号を付し、詳しい説明は省略する。

【0057】

<2.2 画素欠陥検査回路の構成および動作>

図11は、本実施形態において、ソースドライバ300内の画素欠陥検査回路30の詳細な構成を示す回路図である。なお、図11には、1列目および2列目の映像信号線SL1、SL2に対応する部分のみを示している。画素欠陥検査回路(欠陥検出手段)30は、映像信号線SL1～SLnそれぞれに対応して、差異電圧出力バッファ(比較器)CMP1～CMPnと、論理積ゲートAND1～ANDnと、第1の切替スイッチ(切替手段)SA1～SANと、第2の切替スイッチSB1～SBNと、画素欠陥検査の結果を表示

するための画素形成部（以下、「検査結果表示用画素形成部」という。） $G A 1 \sim G A n$ とを備えている。検査結果表示用画素形成部 $G A 1 \sim G A n$ には、 $T F T$ と画素容量とが含まれている。なお、論理積ゲート $A N D 1 \sim A N D n$ と、第1の切替スイッチ $S A 1 \sim S A n$ と、第2の切替スイッチ $S B 1 \sim S B n$ とによって、接続回路が実現されている。
【0058】

論理積ゲート $A N D 1 \sim A N D n$ は、第1の実施形態と同様、シフトレジスタ31から出力されるサンプリングパルス $S M 1 \sim S M n$ と画素欠陥検査回路制御信号 $S G$ とに基づいて切替スイッチ制御信号 $S K 1 \sim S K n$ を出力する。差異電圧出力バッファ $C M P 1 \sim C M P n$ は、2個の入力端子にそれぞれ与えられる2個の入力信号の電圧の電圧差を算出し、その電圧差を増幅して差異電圧として出力端子から出力する。検査結果表示用画素形成部 $G A 1 \sim G A n$ の $T F T$ は、画素欠陥検査回路制御信号 $S G$ の論理レベルがハイレベルの時にオン状態となる。このため、検査結果表示用画素形成部 $G A 1 \sim G A n$ の画素容量は、画素欠陥検査回路制御信号 $S G$ の論理レベルがハイレベルの時に差異電圧出力バッファ $C M P 1 \sim C M P n$ から出力されている差異電圧に基づいて充電される。

【0059】

図12は、本実施形態において、 i 列目（ $1 \sim i \sim n$ ）の映像信号線 $S L i$ に対応して設けられている第1の切替スイッチ $S A i$ と第2の切替スイッチ $S B i$ の動作を説明するための回路図である。なお、駆動用映像信号制御スイッチ $S W i$ はオン状態になっているものとする。論理積ゲート $A N D i$ から出力される切替スイッチ制御信号 $S K i$ の論理レベルがローレベルの時には、図12(a)に示すように、アナログバッファ $B F i$ と映像信号線 $S L i$ とが接続され、差異電圧出力バッファ $C M P i$ の2個の入力端子はオープン状態となる。一方、切替スイッチ制御信号 $S K i$ の論理レベルがハイレベルの時には、図12(b)に示すように、差異電圧出力バッファ $C M P i$ の一方の入力端子（第2の入力端子）とアナログバッファ $B F i$ とが接続され、差異電圧出力バッファ $C M P i$ の他方の入力端子（第1の入力端子）と映像信号線 $S L i$ とが接続される。

【0060】

< 2.3 液晶パネルの検査時の動作 >

次に、図13から図17を参照しつつ、この液晶パネルの画素欠陥検査の際の動作について説明する。図13は、本実施形態において、画素欠陥検査が行われている期間中の液晶パネルの動作を説明するための信号波形図である。本実施形態においても、第1の実施形態と同様、表示部200内の各画素形成部の画素容量を順次に充電する充電期間とそれら各画素形成部の画素容量に蓄積された電荷を順次に読み出す電荷読み出し期間とがある。なお、 $V(G A 1)$ は、1列目の映像信号線 $S L 1$ に対応して設けられた検査結果表示用画素形成部 $G A 1$ の画素容量に保持される電圧の波形を示している。 $V(G A 2)$ は、2列目の映像信号線 $S L 2$ に対応して設けられた検査結果表示用画素形成部 $G A 2$ の画素容量に保持される電圧の波形を示している。

【0061】

図14は、図13において符号 $T 1 1$ で示す期間の液晶パネルの動作を説明するための回路図である。この期間中には、シフトレジスタ31からサンプリングパルス $S M 1$ が出力され、画素欠陥検査回路制御信号 $S G$ の論理レベルはローレベルであるので、論理積ゲート $A N D 1$ から出力される切替スイッチ制御信号 $S K 1$ の論理レベルはローレベルとなる。また、サンプリングパルス $S M 1$ によって駆動用映像信号制御スイッチ $S W 1$ はオン状態となる。このため、アナログバッファ $B F 1$ と映像信号線 $S L 1$ とが接続される。これにより、テスト用アナログビデオ信号 $A V$ はアナログバッファ $B F 1$ によって増幅され、アナログバッファ $B F 1$ から出力された駆動用映像信号が映像信号線 $S L 1$ に印加される。この時、走査信号線 $G L 1$ に供給される走査信号 $G 1$ の論理レベルがハイレベルになっているので、走査信号線 $G L 1$ と映像信号線 $S L 1$ との交差点に対応して設けられた画素形成部の画素容量が充電される。また、この期間中、駆動用映像信号制御スイッチ $S W 2 \sim S W n$ はオフ状態となっているので、2列目から n 列目までの映像信号線 $S L 2 \sim S L n$ には駆動用映像信号は印加されない。

10

20

30

40

50

【 0 0 6 2 】

図 1 5 は、図 1 3 において符号 T 1 2 で示す期間の液晶パネルの動作を説明するための回路図である。この期間中には、シフトレジスタ 3 1 からサンプリングパルス S M 2 が出力され、画素欠陥検査回路制御信号 S G の論理レベルはローレベルであるので、論理積ゲート A N D 2 から出力される切替スイッチ制御信号 S K 2 の論理レベルはローレベルとなる。また、サンプリングパルス S M 2 によって駆動用映像信号制御スイッチ S W 2 はオン状態となる。このため、アナログバッファ B F 2 と映像信号線 S L 2 とが接続される。これにより、テスト用アナログビデオ信号 A V はアナログバッファ B F 2 によって増幅され、アナログバッファ B F 2 から出力された駆動用映像信号が映像信号線 S L 2 に印加される。この時、走査信号線 G L 1 に供給される走査信号 G 1 の論理レベルがハイレベルになっているので、走査信号線 G L 1 と映像信号線 S L 2 との交差点に対応して設けられた画素形成部の画素容量が充電される。また、この期間中、駆動用映像信号制御スイッチ S W 1、S W 3 ~ S W n はオフ状態となっているので、1 列目および 3 列目から n 列目までの映像信号線 S L 1、S L 3 ~ S L n には駆動用映像信号は印加されない。

10

【 0 0 6 3 】

以上のようにして、1 列目から n 列目までの映像信号線 S L 1 ~ S L n が順次に充電され、論理レベルがハイレベルの走査信号が供給されている 1 行目の走査信号線 G L 1 と 1 列目から n 列目までの映像信号線 S L 1 ~ S L n との交差点に対応して設けられた画素形成部に含まれる画素容量が順次に充電される。さらに、第 1 の実施形態と同様に走査信号 G 1 ~ G m が 1 水平走査期間ずつ順次にアクティブになることによって、全ての画素形成部に含まれる画素容量が順次に充電される。

20

【 0 0 6 4 】

充電期間が終了すると、電荷読み出し期間に移行する。図 1 6 は、図 1 3 において符号 T 2 1 で示す期間の液晶パネルの動作を説明するための回路図である。この期間中には、シフトレジスタ 3 1 からサンプリングパルス S M 1 が出力され、画素欠陥検査回路制御信号 S G の論理レベルはハイレベルであるので、論理積ゲート A N D 1 から出力される切替スイッチ制御信号 S K 1 の論理レベルはハイレベルとなる。また、サンプリングパルス S M 1 によって駆動用映像信号制御スイッチ S W 1 はオン状態となる。このため、差異電圧出力バッファ C M P 1 の一方の入力端子とアナログバッファ B F 1 とが接続され、差異電圧出力バッファ C M P 1 の他方の入力端子と映像信号線 S L 1 とが接続される。この時、走査信号線 G L 1 に供給される走査信号 G 1 の論理レベルがハイレベルになっているので、走査信号線 G L 1 と映像信号線 S L 1 との交差点に対応して設けられた画素形成部の画素容量に蓄積された電荷が読み出される。これにより、差異電圧出力バッファ C M P 1 の一方の入力端子にはアナログバッファ B F 1 から出力される駆動用映像信号が入力され、他方の入力端子には電荷の読み出しによる検出電荷電圧が入力される。その結果、差異電圧出力バッファ C M P 1 の出力端子からは、アナログバッファ B F 1 から出力された駆動用映像信号の電圧と、走査信号線 G L 1 と映像信号線 S L 1 との交差点に対応して設けられた画素形成部に含まれる画素容量に蓄積された電荷の読み出しによる検出電荷電圧との差を示す差異電圧が出力される。また、上述のとおり画素欠陥検査回路制御信号 S G の論理レベルはハイレベルになっているので、差異電圧出力バッファ C M P 1 の出力端子と接続されている検査結果表示用画素形成部 G A 1 の T F T はオン状態となり、差異電圧に基づいて検査結果表示用画素形成部 G A 1 の画素容量が充電される。

30

40

【 0 0 6 5 】

図 1 7 は、図 1 3 において符号 T 2 2 で示す期間の液晶パネルの動作を説明するための回路図である。この期間中には、シフトレジスタ 3 1 からサンプリングパルス S M 2 が出力され、画素欠陥検査回路制御信号 S G の論理レベルはハイレベルであるので、論理積ゲート A N D 2 から出力される切替スイッチ制御信号 S K 2 の論理レベルはハイレベルとなる。また、サンプリングパルス S M 2 によって駆動用映像信号制御スイッチ S W 2 はオン状態となる。このため、差異電圧出力バッファ C M P 2 の一方の入力端子とアナログバッファ B F 2 とが接続され、差異電圧出力バッファ C M P 2 の他方の入力端子と映像信号線

50

S L 2 とが接続される。この時、走査信号線 G L 1 に供給される走査信号 G 1 の論理レベルがハイレベルになっているので、走査信号線 G L 1 と映像信号線 S L 2 との交差点に対応して設けられた画素形成部の画素容量に蓄積された電荷が読み出される。これにより、差異電圧出力バッファ C M P 2 の一方の入力端子にはアナログバッファ B F 2 から出力される駆動用映像信号が入力され、他方の入力端子には電荷の読み出しによる検出電荷電圧が入力される。その結果、差異電圧出力バッファ C M P 2 の出力端子からは、アナログバッファ B F 2 から出力された駆動用映像信号の電圧と、走査信号線 G L 1 と映像信号線 S L 2 との交差点に対応して設けられた画素形成部に含まれる画素容量に蓄積された電荷の読み出しによる検出電荷電圧との差を示す差異電圧が出力される。また、上述のとおり画素欠陥検査回路制御信号 S G の論理レベルはハイレベルになっているので、差異電圧出力

10

【 0 0 6 6 】

以上のようにして、論理レベルがハイレベルの走査信号が供給されている 1 行目の走査信号線 G L 1 と 1 列目から n 列目までの映像信号線 S L 1 ~ S L n との交差点に対応して設けられた画素形成部に含まれる画素容量に蓄積された電荷が順次に読み出される。そして、それらの検出電荷電圧とアナログバッファ B F 1 ~ B F n から出力される駆動用映像信号の電圧との差異電圧に基づいて、検査結果表示用画素形成部 G A 1 ~ G A n の画素容量が順次に充電される。

20

【 0 0 6 7 】

図 1 8 は、画素欠陥検査の結果の画面への表示について説明するためのブロック図である。本実施形態においては、図 1 8 (a) に示すように、通常の表示部 2 0 0 とは別に画素欠陥検査の結果を表示するための領域 (以下、「検査結果表示部」という。) 5 0 0 が設けられている。この検査結果表示部 (差異表示部) 5 0 0 には、検査結果表示用画素形成部 G A 1 ~ G A n の画素容量に保持される電圧に応じた濃淡表示が行われる。より詳しくは、当該画素容量に保持される電圧が大きいほど白く表示され、当該画素容量に保持される電圧が小さいほど黒く表示される。

【 0 0 6 8 】

上述した動作により、まず、1 行目の走査信号線と対応づけられる画素形成部についての画素欠陥検査の結果が検査結果表示部 5 0 0 の表示に反映される。さらに、図 4 に示すように走査信号 G 1 ~ G m が 1 水平走査期間ずつ順次にアクティブになることによって、表示部 2 0 0 内の全ての画素形成部についての画素欠陥検査の結果が検査結果表示部 5 0 0 の表示に順次に反映される。

30

【 0 0 6 9 】

なお、図 1 8 (a) には検査結果表示部 5 0 0 が表示部 2 0 0 の上部に配置された例を示しているが、本発明はこれに限定されず、例えば図 1 8 (b) に示すように、検査結果表示部 5 0 0 は表示部 2 0 0 の下部に配置されても良い。

【 0 0 7 0 】

< 2 . 4 効果 >

40

以上説明したように、本実施形態によると、表示部 2 0 0 内の画素形成部に含まれる画素容量を充電するための駆動用映像信号の電圧と画素容量に蓄積された電荷の読み出しによって検出される検出電荷電圧との差を示す差異電圧が生成され、その差異電圧に基づいて検査結果表示用画素形成部 G A 1 ~ G A n の画素容量が充電される。また、各画素形成部について、画素容量の充電に供された駆動用映像信号と検出電荷電圧の比較対象となった駆動用映像信号とは、同一のアナログバッファによって増幅されている。このため、アナログバッファの特性のばらつきの影響を受けることなく、各画素形成部について、画素容量の充電に供された電圧と検出電荷電圧との差異電圧が検出される。これにより、画素欠陥検査の検査精度が高くなり、検査結果に対する信頼性が向上する。また、検査結果が液晶パネル内の検査結果表示部 5 0 0 の表示に反映されるので、精度良く行われた各画素

50

形成部についての画素欠陥の検査についての結果を容易に確認することができる。

【 0 0 7 1 】

< 3 . 変形例など >

上記第 1 の実施形態においては、画素欠陥判定部 6 0 0 は A / D 変換器 6 1 とデジタル処理装置 6 2 とによって構成されていたが、本発明はこれに限定されない。例えば、図 1 9 (a) に示すように、画素欠陥判定部 6 0 0 を電圧測定器 6 3 と判定部 6 4 とからなる構成とし、電圧測定器 6 3 によって測定された差異電圧 V_S に基づいて、判定部 6 4 で画素欠陥の有無を判別するようにしても良い。また、図 1 9 (b) に示すように、画素欠陥判定部 6 0 0 を波形測定器 6 5 と判定部 6 4 とからなる構成とし、波形測定器 6 5 によって測定された差異電圧 V_S に基づいて、判定部 6 4 で画素欠陥の有無を判別するようにしても良い。

10

【 0 0 7 2 】

また、上記各実施形態においては、映像信号線を駆動する方式として点順次駆動が採用されている場合を例に挙げて説明したが、本発明はこれに限定されず、線順次駆動が採用されている場合にも適用することができる。なお、線順次駆動に適用する場合には、差異電圧出力バッファを映像信号線毎に備える必要がある。

【 図面の簡単な説明 】

【 0 0 7 3 】

【 図 1 】 本発明の第 1 の実施形態に係る液晶パネルの全体構成を示すブロック図である。

【 図 2 】 上記第 1 の実施形態において、画素欠陥検査回路の詳細の構成を示す回路図である。

20

【 図 3 】 上記第 1 の実施形態において、第 1 の切替スイッチと第 2 の切替スイッチの動作を説明するための回路図である。

【 図 4 】 上記第 1 の実施形態における走査信号と画素欠陥検査回路制御信号の信号波形図である。

【 図 5 】 上記第 1 の実施形態において、画素欠陥検査が行われている期間中の液晶パネルの動作を説明するための信号波形図である。

【 図 6 】 上記第 1 の実施形態において、1 列目の映像信号線が充電される期間の液晶パネルの動作を説明するための回路図である。

【 図 7 】 上記第 1 の実施形態において、2 列目の映像信号線が充電される期間の液晶パネルの動作を説明するための回路図である。

30

【 図 8 】 上記第 1 の実施形態において、1 列目の映像信号線と対応づけられている画素形成部の画素容量に蓄積された電荷が読み出される期間の液晶パネルの動作を説明するための回路図である。

【 図 9 】 上記第 1 の実施形態において、2 列目の映像信号線と対応づけられている画素形成部の画素容量に蓄積された電荷が読み出される期間の液晶パネルの動作を説明するための回路図である。

【 図 1 0 】 本発明の第 2 の実施形態に係る液晶パネルの全体構成を示すブロック図である。

【 図 1 1 】 上記第 2 の実施形態において、画素欠陥検査回路の詳細の構成を示す回路図である。

40

【 図 1 2 】 上記第 2 の実施形態において、第 1 の切替スイッチと第 2 の切替スイッチの動作を説明するための回路図である。

【 図 1 3 】 上記第 2 の実施形態において、画素欠陥検査が行われている期間中の液晶パネルの動作を説明するための信号波形図である。

【 図 1 4 】 上記第 2 の実施形態において、1 列目の映像信号線が充電される期間の液晶パネルの動作を説明するための回路図である。

【 図 1 5 】 上記第 2 の実施形態において、2 列目の映像信号線が充電される期間の液晶パネルの動作を説明するための回路図である。

【 図 1 6 】 上記第 2 の実施形態において、1 列目の映像信号線と対応づけられている画素

50

形成部の画素容量に蓄積された電荷が読み出される期間の液晶パネルの動作を説明するための回路図である。

【図１７】上記第２の実施形態において、２列目の映像信号線と対応づけられている画素形成部の画素容量に蓄積された電荷が読み出される期間の液晶パネルの動作を説明するための回路図である。

【図１８】上記第２の実施形態において、画素欠陥検査の結果の画面への表示について説明するためのブロック図である。

【図１９】上記第１の実施形態の変形例に係る画素欠陥判定部の構成を示すブロック図である。

【符号の説明】

【００７４】

３０…画素欠陥検査回路（欠陥検出手段）

２００…表示部

３００…ソースドライバ

４００…ゲートドライバ

ＡＶ…テスト用アナログビデオ信号

ＢＦ、ＢＦ１～ＢＦｎ…アナログバッファ（増幅手段）

ＣＭＰ、ＣＭＰ１～ＣＭＰｎ…差異電圧出力バッファ（比較器）

ＧＬ１～ＧＬｎ…走査信号線

ＳＧ…画素欠陥検査回路制御信号

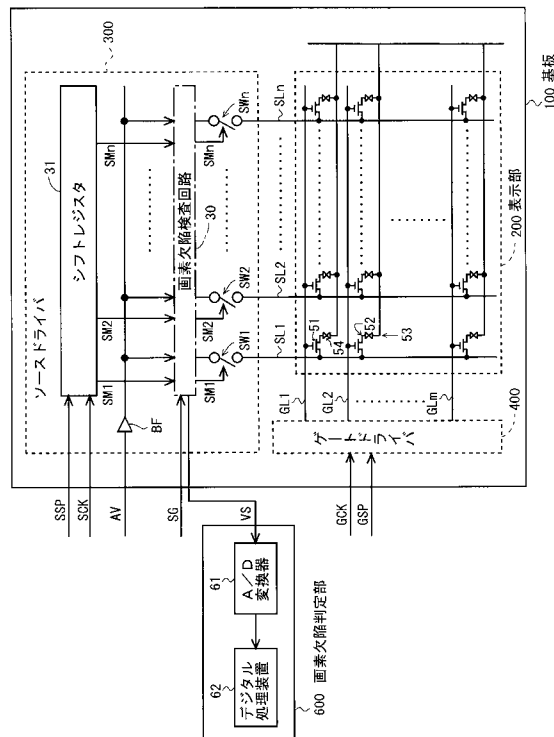
ＳＡ１～ＳＡｎ…第１の切替スイッチ（切替手段）

ＳＢ１～ＳＢｎ…第２の切替スイッチ

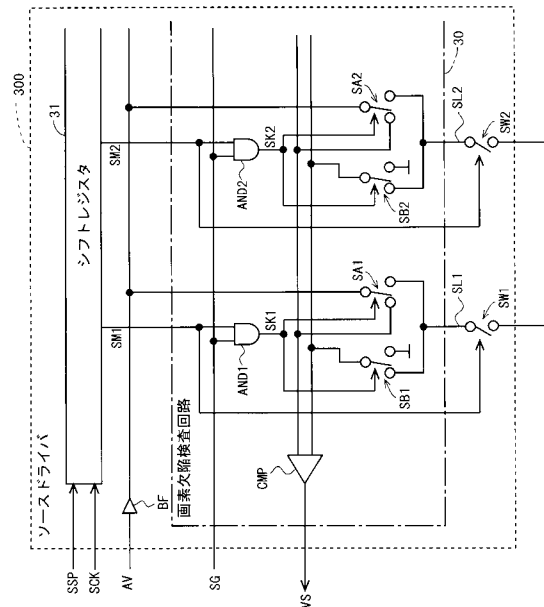
ＳＬ１～ＳＬｎ…映像信号線

ＳＷ１～ＳＷｎ…駆動用映像信号制御スイッチ

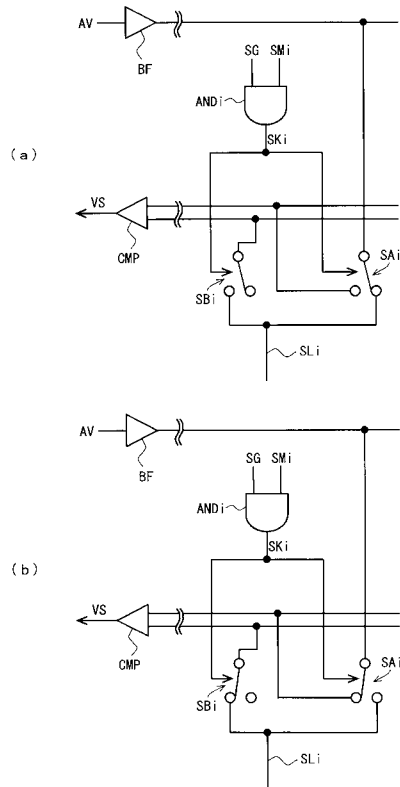
【図１】



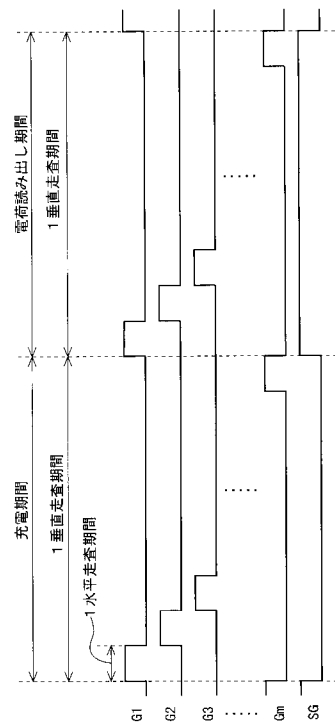
【図２】



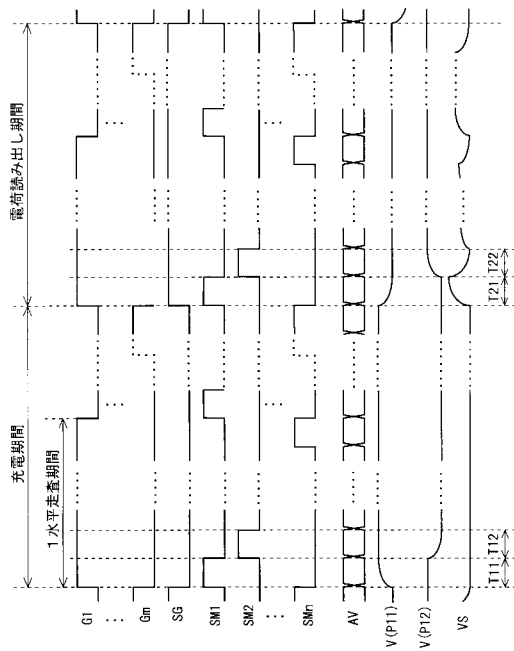
【図 3】



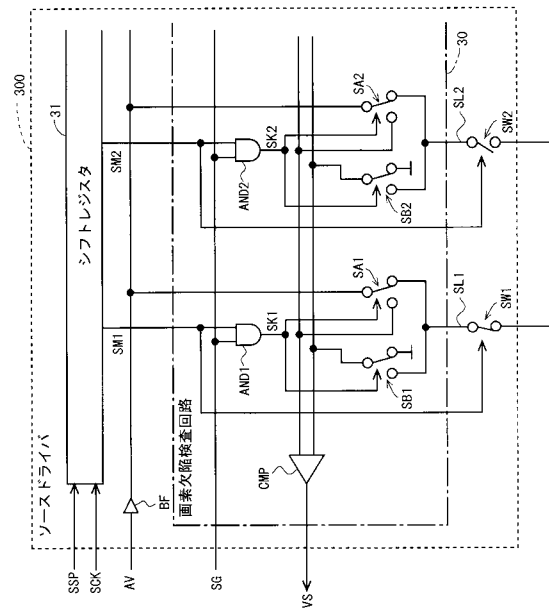
【図 4】



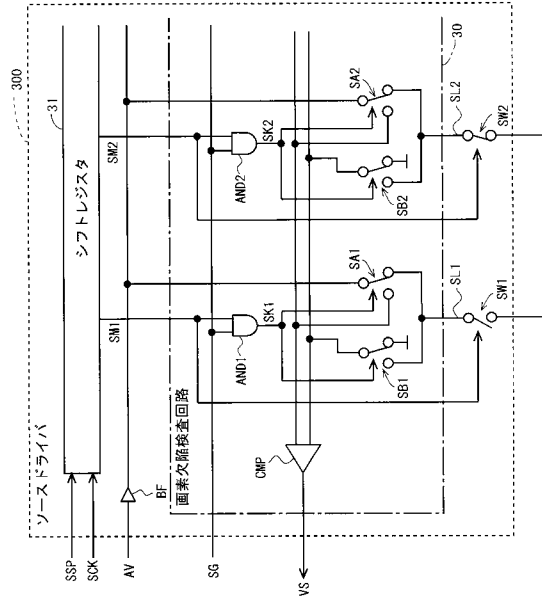
【図 5】



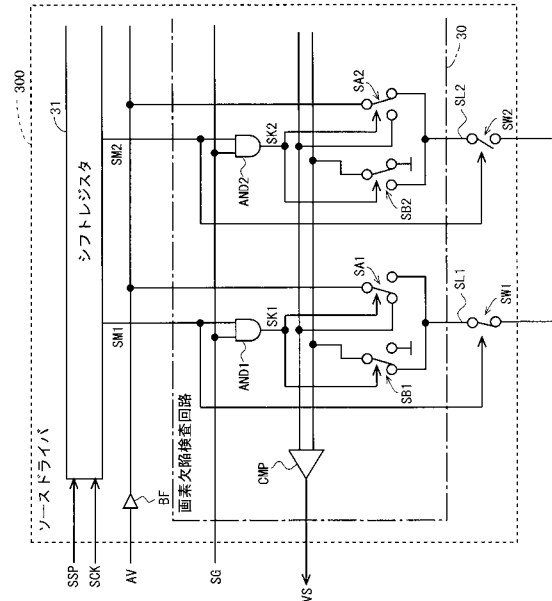
【図 6】



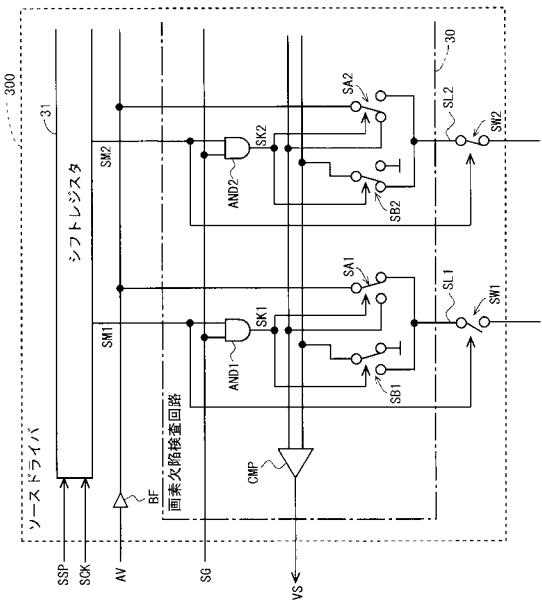
【図 7】



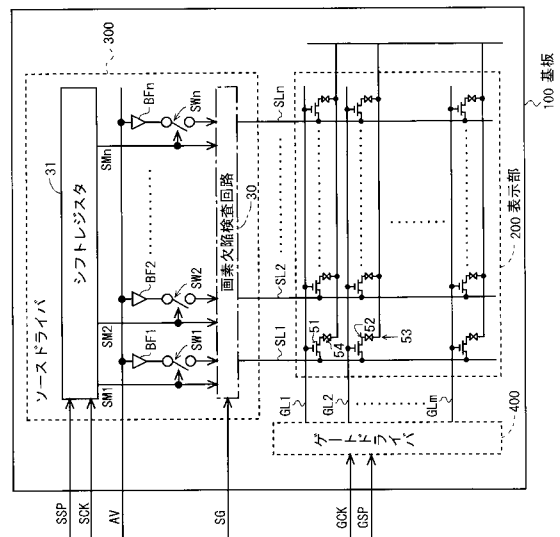
【図 8】



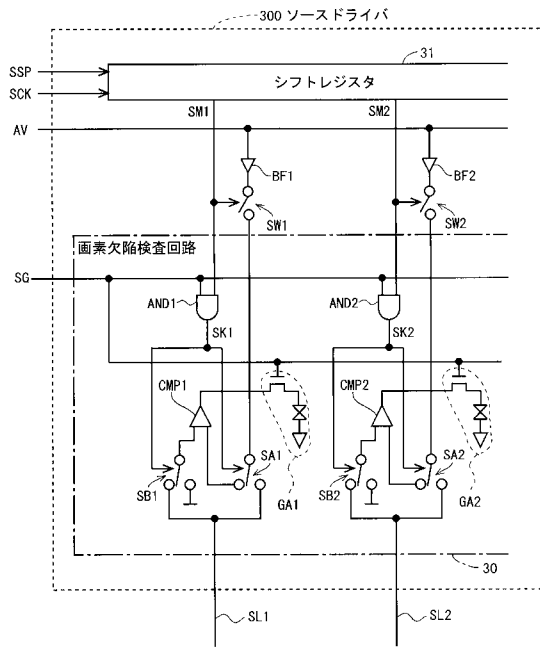
【図 9】



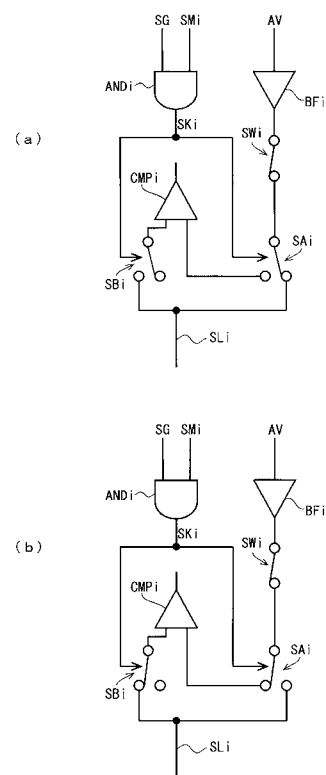
【図 10】



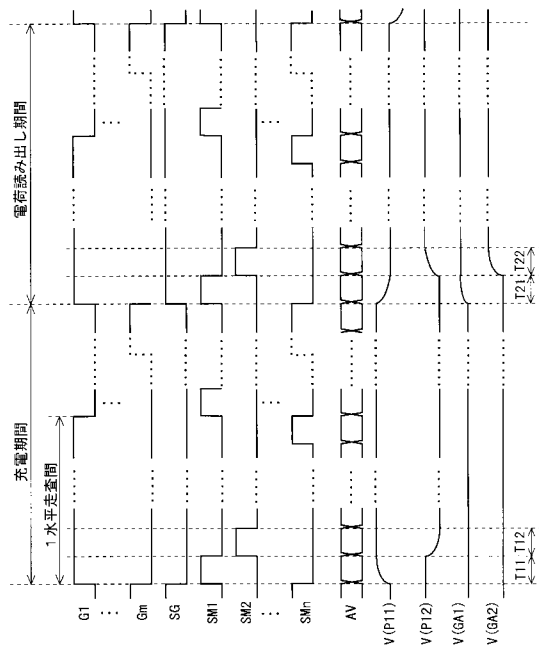
【図 1 1】



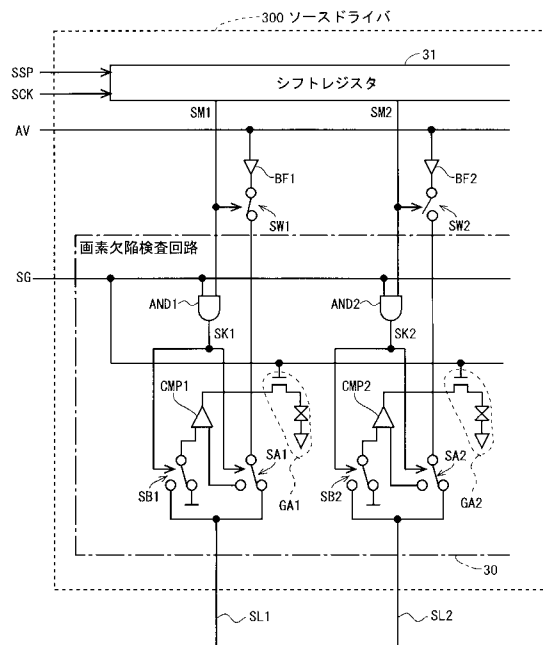
【図 1 2】



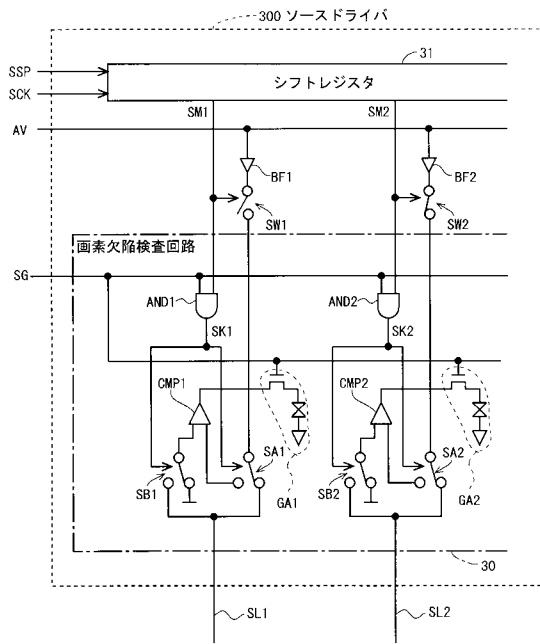
【図 1 3】



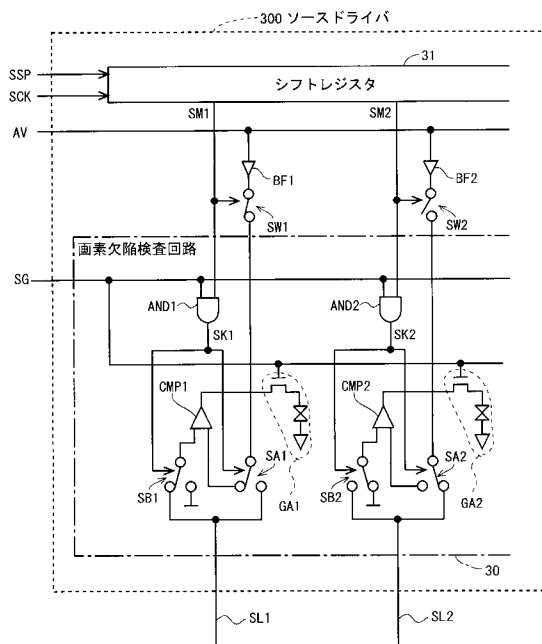
【図 1 4】



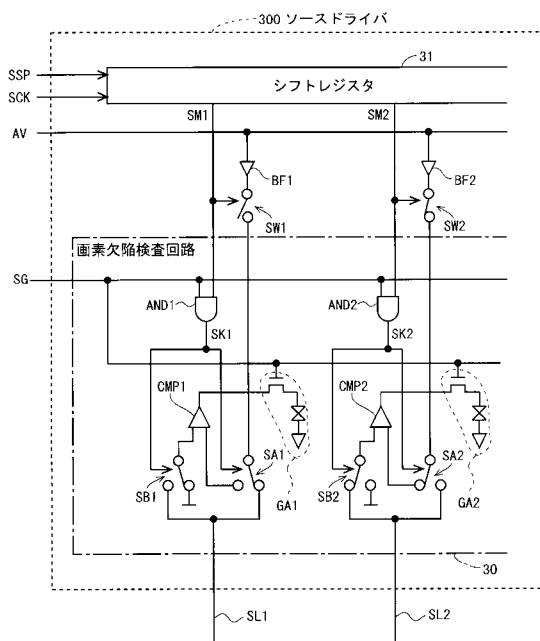
【図 15】



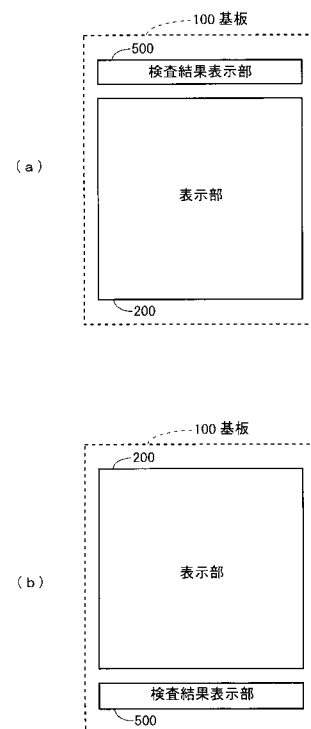
【図 16】



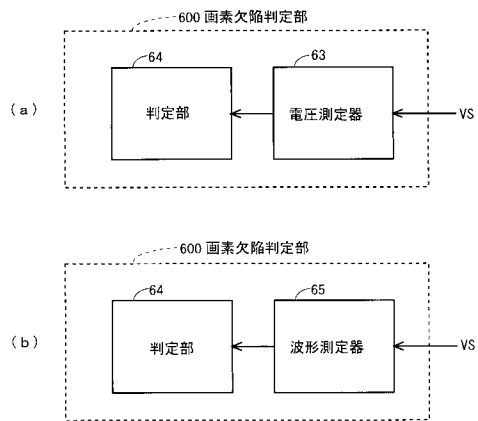
【図 17】



【図 18】



【図 19】



フロントページの続き

(56)参考文献 特開平9 - 203759 (JP, A)
特開平6 - 43490 (JP, A)
特開平6 - 250225 (JP, A)
特開2003 - 233055 (JP, A)
特開昭55 - 17190 (JP, A)
特開昭62 - 9393 (JP, A)
特開平1 - 227193 (JP, A)
特開平5 - 5866 (JP, A)
特開平6 - 148584 (JP, A)
特開平8 - 122728 (JP, A)
特開平9 - 15645 (JP, A)
特開平9 - 265063 (JP, A)
特開2002 - 174655 (JP, A)
特開2003 - 43945 (JP, A)
特開2004 - 246097 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/20 - 3/38
G09F 9/00
G01R 31/00

专利名称(译)	显示装置及其检测方法		
公开(公告)号	JP4761773B2	公开(公告)日	2011-08-31
申请号	JP2005001345	申请日	2005-01-06
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	宫下敏彦		
发明人	宫下 敏彦		
IPC分类号	G09G3/36 G09G3/20 G01R31/00		
FI分类号	G09G3/36 G09G3/20.623.R G09G3/20.670.Q G01R31/00 G02F1/13.101 G02F1/1345 G02F1/1368 G09F9/00.352 G09G3/20.624.B		
F-TERM分类号	2G036/AA25 2G036/BA33 2G036/CA10 2H088/FA12 2H088/FA13 2H088/HA08 2H088/MA20 2H092/GA40 2H092/GA59 2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB61 2H092/JB77 2H092/KA05 2H092/MA56 2H092/NA11 2H092/NA29 2H192/AA24 2H192/DA12 2H192/FB02 2H192/HB04 2H192/HB13 2H192/HB23 5C006/AF43 5C006/AF53 5C006/BB16 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BF14 5C006/BF25 5C006/BF26 5C006/BF50 5C006/EB01 5C006/EC06 5C080/AA10 5C080/BB05 5C080/DD15 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5G435/AA19 5G435/BB12 5G435/KK05 5G435/KK10		
代理人(译)	岛田彰		
审查员(译)	小川博		
其他公开文献	JP2006189608A		
外部链接	Espacenet		

摘要(译)

一种液晶显示装置，其能够获得良好的检验精确度，同时抑制对于像素缺陷检查成本增加的。的源极驱动器300中，由检测到的电荷读取累积在电压和从模拟缓冲器BF输出的驱动视频信号的像素电容到包括在像素形成部的像素电容的充电并且差分电压输出缓冲器CMP用于从电压输出差分电压。此外，通过开关SA1切换到SAN，它切换视频信号线SL1～SLn中和差分电压输出缓冲器CMP之间的驱动视频信号的发送目的地。当像素缺陷检查中，首先，顺序地包括在形成显示单元的一部分的所有像素的像素电容充电。充电后，依次读出在包括在形成显示单元的一部分，上述电压差的基础上的所有像素的像素电容器中累积的电荷，以确定像素缺陷的存在或不存在。 .The

【図 1】

