

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4759906号
(P4759906)

(45) 発行日 平成23年8月31日(2011.8.31)

(24) 登録日 平成23年6月17日(2011.6.17)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
G09G 3/20 (2006.01)G09G 3/36
G09G 3/20 612G
G09G 3/20 623A
G09G 3/20 624C
G09G 3/20 670D

請求項の数 11 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2002-360190 (P2002-360190)
(22) 出願日 平成14年12月12日(2002.12.12)
(65) 公開番号 特開2004-191697 (P2004-191697A)
(43) 公開日 平成16年7月8日(2004.7.8)
審査請求日 平成17年10月14日(2005.10.14)(73) 特許権者 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100120640
弁理士 森 幸一
(74) 代理人 100118290
弁理士 吉井 正明
(74) 代理人 100094363
弁理士 山本 孝久
(72) 発明者 山田 泉樹
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(72) 発明者 市川 弘明
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその制御方法、ならびに携帯端末

(57) 【特許請求の範囲】

【請求項1】

透明絶縁基板上に画素がマトリクス状に配置されてなる表示部と、

前記表示部の各画素に対して表示信号を供給するとともに、電源ON/OFF時には前記表示信号に代えて当該表示信号の極性反転の基準となるコモン電位を選択して供給する切り替え手段と、

前記透明絶縁基板上に前記表示部と共に形成され、前記コモン電位を生成する電位生成手段と、

前記透明絶縁基板外に設けられ、前記電位生成手段から出力される前記コモン電位にDCオフセットを付与して前記画素の対向電極側に各画素共通に与える電位調整手段と、

前記透明絶縁基板上に前記表示部と共に搭載され、電源ON/OFF時には前記電位調整手段の出力電位を前記コモン電位とほぼ同電位に制御する電位制御手段と

を備えた液晶表示装置。

【請求項2】

前記切り替え手段は、電源ON時において前記透明絶縁基板の外部から与えられる表示リセットコントロール信号がアクティブ状態のときおよびアクティブ状態から非アクティブ状態に移行してから所定の期間前記コモン電位を選択し、

前記電位制御手段は、前記表示リセットコントロール信号がアクティブ状態から非アクティブ状態に移行するタイミングで前記電位調整手段の出力電位を前記コモン電位とほぼ同電位にする

請求項 1 記載の液晶表示装置。

【請求項 3】

前記表示リセットコントロール信号がアクティブ状態のときに前記電位調整手段への電源供給を遮断する手段をさらに備える

請求項 2 記載の液晶表示装置。

【請求項 4】

前記切り替え手段は、電源 ON / OFF 時には前記電位生成手段から出力される前記コモン電位を選択する

請求項 1 記載の液晶表示装置。

【請求項 5】

前記電位生成手段から出力される前記コモン電位は、前記電位調整手段で前記 DC オフセットを付与して前記画素の液晶セルの対向電極に与える電位または保持容量の対向電極側の電極に与える電位と同電位である

請求項 4 記載の液晶表示装置。

【請求項 6】

前記電位生成手段から出力される前記コモン電位は一定周期で極性が反転する

請求項 5 記載の液晶表示装置。

【請求項 7】

画素がマトリクス状に配置されてなる表示部と、前記表示部の各画素に対して表示信号を供給するとともに、電源 ON / OFF 時には前記表示信号に代えて当該表示信号の極性反転の基準となるコモン電位を選択して供給する切り替え手段と、前記コモン電位を生成する電位生成手段とを同一の透明絶縁基板上に形成し、

前記電位生成手段から出力される前記コモン電位に DC オフセットを付与して前記画素の対向電極側に各画素共通に与える電位調整手段を前記透明絶縁基板外に設けてなる液晶表示装置の制御に当たって、

電源 ON に際して、先ず電源投入後に与えられるリセット信号によって前記透明絶縁基板上の回路の状態を初期化し、その後一定期間前記表示部の各画素に対して前記切り替え手段によって前記コモン電位を書き込むとともに、電位制御手段によって前記電位調整手段の出力電位を前記コモン電位とほぼ同電位に制御し、

電源 OFF に際して、電源遮断に先立って、一定期間前記表示部の各画素に対して前記切り替え手段によって前記コモン電位を書き込むとともに、前記電位制御手段によって前記電位調整手段の出力電位を前記コモン電位とほぼ同電位に制御する

液晶表示装置の制御方法。

【請求項 8】

電源 ON 時において、前記透明絶縁基板の外部から与えられる表示リセットコントロール信号がアクティブ状態のときおよびアクティブ状態から非アクティブ状態に移行してから所定期間前記切り替え手段によって前記コモン電位を選択するとともに、前記表示リセットコントロール信号がアクティブ状態から非アクティブ状態に移行するタイミングで前記電位制御手段によって前記電位調整手段の出力電位を前記コモン電位とほぼ同電位にする

請求項 7 記載の液晶表示装置の制御方法。

【請求項 9】

透明絶縁基板上に画素がマトリクス状に配置されてなる表示部と、

前記表示部の各画素に対して表示信号を供給するとともに、電源 ON / OFF 時には前記表示信号に代えて当該表示信号の極性反転の基準となるコモン電位を選択して供給する切り替え手段と、

前記透明絶縁基板上に前記表示部と共に形成され、前記画素の対向電極側に各画素共通に与えるコモン電位を生成する電位生成手段と、

前記透明絶縁基板外に設けられ、前記コモン電位に DC オフセットを付与して前記画素の対向電極側に各画素共通に与える電位調整手段と、

10

20

30

40

50

前記透明絶縁基板上に前記表示部と共に搭載され、電源ON/OFF時には前記電位調整手段の出力電位を前記コモン電位とほぼ同電位に制御する電位制御手段とを備えた液晶表示装置を画面表示部として搭載した携帯端末。

【請求項10】

前記切り替え手段は、電源ON時において前記透明絶縁基板の外部から与えられる表示リセットコントロール信号がアクティブ状態のときおよびアクティブ状態から非アクティブ状態に移行してから所定の期間前記コモン電位を選択し、

前記電位制御手段は、前記表示リセットコントロール信号がアクティブ状態から非アクティブ状態に移行するタイミングで前記電位調整手段の出力電位を前記コモン電位とほぼ同電位にする

10

請求項9記載の携帯端末。

【請求項11】

スタンバイモードを有する携帯端末において、

スタンバイモードに入るとき/解除するとき、前記切り替え手段は前記表示部の各画素に対して前記コモン電位を供給し、前記電位制御手段は前記電位調整手段の出力電位を前記コモン電位とほぼ同電位に制御する

請求項9記載の携帯端末。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は、液晶表示装置およびその制御方法、ならびに携帯端末に関し、特に画素がマトリクス状に配置されてなる表示部と共にその周辺の駆動回路が同じ透明絶縁基板上に一体的に形成されたいわゆる駆動回路一体型液晶表示装置およびその電源ON/OFF時の制御方法、ならびに当該液晶表示装置を画面表示部として搭載した携帯端末に関する。

【0002】

【従来の技術】

液晶表示装置では、電源ON（投入）や電源OFF（遮断）時に表示画面が乱れる場合がある。この表示画面の乱れ、特に電源OFF時の残像を防止するために、従来は、電源スイッチがOFFされると、表示画面を白色表示に切り換えてから電源をOFFすることにより、電源OFF時における表示画面の残像を速やかに消去するようにしている（例えば、特許公報1参照）。また、電源OFF時に先ず黒画面を表示させ、その後最終的に電源をOFFすることにより、表示画面に不規則な残像現象が生じるのを防止するようにもしている（例えば、特許公報2参照）。

30

【0003】

【特許文献1】

特開2000-163025号公報

【特許文献2】

特開2001-249320号公報

【0004】

40

これらの従来技術では、電源OFF時に表示画面を白表示または黒表示にするために、画素がマトリクス状に配置されてなる表示パネルに対してその外部より白データ、または黒データを入力するとともに、画素の液晶容量の対向電極に画素間で共通に与えるVCOM電位および保持容量の対向電極側の電極に共通に与えるCS電位を低レベルにするドライバを、外部基板上もしくは外部駆動IC上に搭載するようにしていた。以下に、これら従来技術に係る液晶表示装置の概要について、その構成を模式的に示した図6を用いて説明する。

【0005】

図6において、ガラス基板101上には、多数の画素がマトリクス状に配置されてなる表示部102が形成され、さらにその下側には表示部102の各画素に表示データを書き込

50

む水平ドライバ１０３が形成されている。なお、図示していないが、表示部１０２の横には垂直ドライバが配置されることになる。このガラス基板１０１に対して、フレキシブルケーブル（基板）１０４を介して外部基板１０５が電氣的に接続されている。

【０００６】

外部基板１０５には、タイミングジェネレータ（ＴＧ）１０６、ＶＣＯＭドライバ１０７、ＣＳドライバ１０８等が搭載されている。タイミングジェネレータ１０６は、セット側グラフィックコントローラから与えられるマスタークロックＭＣＫ、垂直同期信号Ｖｓｙｎｃ、水平同期信号Ｈｓｙｎｃ等の基準信号に基づいて各種のタイミング信号を発生し、フレキシブルケーブル１０４を介して水平ドライバ１０３や垂直ドライバに供給するとともに、電源ＯＮ／ＯＦＦ時には白データ（または、黒データ）を発生して水平ドライバ１０３に供給する。

10

【０００７】

ＶＣＯＭドライバ１０７は、タイミングジェネレータ１０６から与えられるタイミング信号に同期してＶＣＯＭ電位を発生し、フレキシブルケーブル１０４を介して画素の液晶容量の対向電極に対して全画素共通に印加する。ＣＳドライバ１０８は、タイミングジェネレータ１０６から与えられるタイミング信号に同期してＣＳ電位を発生し、フレキシブルケーブル１０４を介して画素の保持容量の対向電極側端子に対して全画素共通に印加する。ＶＣＯＭドライバ１０７およびＣＳドライバ１０８は、電源ＯＮ／ＯＦＦ時にはＶＣＯＭ電位およびＣＳ電位を低レベルに設定する。

20

【０００８】

【発明が解決しようとする課題】

上述したように、従来技術に係る液晶表示装置では、電源ＯＮ／ＯＦＦ時の画像の乱れを防止するに当たって、セットとの間に白データ（または、黒データ）を出力するための回路と、ＶＣＯＭ電位およびＣＳ電位を低レベルにするための回路とを外部基板１０５（もしくは、外部駆動ＩＣ）上に搭載していた。したがって、表示システムとしては、ガラス基板１０１の他に外部基板１０５を設けるとともに、当該外部基板１５上にタイミングジェネレータ１０６、ＶＣＯＭドライバ１０７、ＣＳドライバ１０８等を作り込む工程が必要になるため、システム全体の小型化および低コスト化の妨げになっていた。

【０００９】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、システム全体の小型化および低コスト化を可能とした上で、電源ＯＮ時に画像の乱れなく表示開始できるとともに、電源ＯＦＦ時に残像なしで表示を消すことが可能な液晶表示装置およびその制御方法、ならびに当該液晶表示装置を画面表示部として搭載した携帯端末を提供することにある。

30

【００１０】

【課題を解決するための手段】

本発明による液晶表示装置は、透明絶縁基板上に画素がマトリクス状に配置されてなる表示部と、前記表示部の各画素に対して表示信号を供給するとともに、電源ＯＮ／ＯＦＦ時には前記表示信号に代えて当該表示信号の極性反転の基準となるコモン電位を選択して供給する切り替え手段と、前記透明絶縁基板上に前記表示部と共に形成され、前記コモン電位を生成する電位生成手段と、前記透明絶縁基板外に設けられ、前記電位生成手段から出力される前記コモン電位にＤＣオフセットを付与して前記画素の対向電極側に各画素共通に与える電位調整手段と、前記透明絶縁基板上に前記表示部と共に搭載され、電源ＯＮ／ＯＦＦ時には前記電位調整手段の出力電位を前記コモン電位とほぼ同電位に制御する電位制御手段とを備えている。かかる構成の液晶表示装置は、ＰＤＡ(Personal Digital Assistants)や携帯電話機に代表される携帯端末に、その画面表示部として搭載されて用いられる。

40

【００１１】

上記構成の液晶表示装置またはこれを画面表示部として搭載した携帯端末において、電源ＯＮに際して、先ず電源投入後に与えられるリセット信号によって透明絶縁基板上の回

50

路の状態を初期化し、その後一定期間表示部の各画素に対して前記切り替え手段によって前記コモン電位を書き込むとともに、電位制御手段によって前記電位調整手段の出力電位を前記コモン電位とほぼ同電位に制御して画素の対向電極側に与える。これにより、電源投入後一定期間に亘ってノーマリホワイト型では白表示（ノーマリブラック型では黒表示）が行われる。その結果、電源ON時に画像の乱れなく画表示を開始できる。また、電源OFFに際して、電源遮断に先立って、一定期間表示部の各画素に対して前記切り替え手段によって前記コモン電位を書き込むとともに、前記電位制御手段によって前記電位調整手段の出力電位を前記コモン電位とほぼ同電位に制御して画素の対向電極側に与える。これにより、電源遮断前に一定期間に亘って白表示（または、黒表示）が行われる。その結果、電源OFF時に残像をなくすることができる。

10

【0012】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0013】

図1は、本発明の一実施形態に係る液晶表示装置の構成例を示すブロック図である。図1において、透明絶縁基板、例えばガラス基板11上には、画素がマトリクス状に配置されてなる表示部（画素部）12が形成されている。ガラス基板11は、もう一枚のガラス基板と所定の間隙を持って対向配置され、両基板間に液晶材料を封止することで表示パネル（LCDパネル）を構成している。

【0014】

表示部12における各画素の構成の一例を図2に示す。マトリクス状に配置された画素50の各々は、画素トランジスタであるTFT(Thin Film Transistor; 薄膜トランジスタ)51と、このTFT51のドレイン電極に画素電極が接続された液晶セル52と、TFT51のドレイン電極に一方の電極が接続された保持容量53とを有する構成となっている。ここで、液晶セル52は、画素電極とこれに対向して形成される対向電極との間で発生する液晶容量を意味する。

20

【0015】

この画素構造において、TFT51はゲート電極がゲート線（走査線）54に接続され、ソース電極がデータ線（信号線）55に接続されている。液晶セル52は対向電極がVCOM線56に対して各画素共通に接続されている。そして、液晶セル52の対向電極には、VCOM線56を介してコモン電圧VCOM（VCOM電位）が各画素共通に与えられる。保持容量53は他方の電極（対向電極側の端子）がCS線57に対して各画素共通に接続されている。

30

【0016】

ここで、1H（Hは水平期間）反転駆動または1F（Fはフィールド期間）反転駆動を行う場合は、各画素に書き込まれる表示信号は、VCOM電位を基準として極性反転を行うことになる。また、VCOM電位の極性を一定周期、例えば1H周期または1F周期で反転させるコモン反転駆動（以下、「VCOM反転駆動」と記す）を1H反転駆動または1F反転駆動と併用する場合には、CS線57に与えられるCS電位の極性もVCOM電位に同期して反転する。ただし、本実施形態に係る液晶表示装置は、VCOM反転駆動に限られるものではない。なお、VCOM電位とCS電位とはほぼ同振幅（電位）でかつ同位相であり、本明細書においては、便宜上、これらをコモン電位と総称するものとする。

40

【0017】

再び図1において、表示部12と同じガラス基板11上には、例えば、表示部12の左側にインターフェース（IF）回路13、タイミングジェネレータ（TG）14および基準電圧ドライバ15が、表示部12の上側に水平ドライバ16が、表示部12の右側に垂直ドライバ17が、表示部12の下側に電位生成手段であるCSドライバ18およびVCOMドライバ19、さらには電位制御回路20がそれぞれ搭載されている。これらの回路は、表示部12の画素トランジスタと共に、低温ポリシリコンあるいはCG(Continuous Grain; 連続粒界結晶)シリコンを用いて作製される。

50

【 0 0 1 8 】

上記構成の液晶表示装置において、ガラス基板 1 1 に対して、低電圧振幅（例えば、3 . 3 V 振幅）のマスタークロック M C K、水平同期パルス H s y n c、垂直同期パルス V s y n c、R（赤）G（緑）B（青）パラレル入力の表示データ D a t a、表示リセットコントロールパルス P C I およびロジックリセットパルス R E S E T などがフレキシブルケーブル（基板）2 1 を介して外部から入力され、インターフェース回路 1 3 において高電圧振幅（例えば、6 . 0 V）にレベルシフト（レベル変換）される。ここで、表示リセットコントロールパルス P C I は、後述する表示リセット動作を制御するための信号であり、低レベル状態がアクティブ状態となる。ロジックリセットパルス R E S E T は、ガラス基板 1 1 上に形成された駆動回路内のフリップフロップなどのロジック回路をリセット（初期化）するための信号である。

10

【 0 0 1 9 】

レベルシフトされたマスタークロック M C K、水平同期パルス H s y n c および垂直同期パルス V s y n c は、タイミングジェネレータ 1 4 に供給される。タイミングジェネレータ 1 4 は、マスタークロック M C K、水平同期パルス H s y n c および垂直同期パルス V s y n c に基づいて基準電圧ドライバ 1 5、水平ドライバ 1 6 および垂直ドライバ 1 7 の駆動に必要な各種のタイミングパルスを生成する。レベルシフトされた表示データ D a t a は、水平ドライバ 1 6 に供給される。レベルシフトされた表示リセットコントロールパルス P C I は、水平ドライバ 1 6、C S ドライバ 1 8、V C O M ドライバ 1 9 および電位制御回路 2 0 にそれぞれ供給される。

20

【 0 0 2 0 】

水平ドライバ 1 6 は、例えば、水平シフトレジスタ 1 6 1、データサンプリングラッチ回路 1 6 2、D A（デジタル - アナログ）変換回路（D A C）1 6 3 および S i g / C S 出力切り替え回路 1 6 4 を有する構成となっている。水平シフトレジスタ 1 6 1 は、タイミングジェネレータ 1 4 から供給される水平スタートパルス H S T に応答してシフト動作を開始し、同じくタイミングジェネレータ 1 4 から供給される水平クロックパルス H C K に同期して 1 水平期間に順次転送していくサンプリングパルスを生成する。

【 0 0 2 1 】

データサンプリングラッチ回路 1 6 2 は、水平シフトレジスタ 1 6 1 で生成されたサンプリングパルスに同期して、インターフェース回路 1 3 から出力される表示データ D a t a を 1 水平期間で順次サンプリングしラッチする。このラッチされた 1 ライン分のデジタルデータはさらに、水平ブランキング期間にラインメモリ（図示せず）に移される。そして、この 1 ライン分のデジタルデータは、D A 変換回路 1 6 3 でアナログ表示信号に変換される。D A 変換回路 1 6 3 は、例えば、基準電圧ドライバ 1 5 から与えられる階調数分の基準電圧の中から、デジタルデータに対応した基準電圧を選択してアナログ表示信号として出力する基準電圧選択型 D A 変換回路の構成となっている。

30

【 0 0 2 2 】

D A 変換回路 1 6 3 から出力される 1 ライン分のアナログ表示信号 S i g は、S i g / C S 出力切り替え回路 1 6 4 に与えられる。S i g / C S 出力切り替え回路 1 6 4 にはさらに、C S ドライバ 1 8 で生成される C S 電位が与えられる。S i g / C S 出力切り替え回路 1 6 4 は、インターフェース回路 1 3 から出力される表示リセットコントロールパルス P C I が低レベルの期間および高レベルに遷移したタイミングから所定の期間（例えば、数垂直期間）では C S 電位を選択して出力し、それ以外の表示リセットコントロールパルス P C I が高レベルの期間ではアナログ表示信号 S i g を選択して出力する。S i g / C S 出力切り替え回路 1 6 4 から出力されるアナログ表示信号 S i g または C S 電位は、表示部 1 2 の水平方向画素数 n に対応して配線されたデータ線 5 5 - 1 ~ 5 5 - n に出力される。

40

【 0 0 2 3 】

垂直ドライバ 1 7 は、垂直シフトレジスタおよびゲートバッファによって構成される。この垂直ドライバ 1 7 において、垂直シフトレジスタは、タイミングジェネレータ 1 4 から

50

供給される垂直スタートパルス VST に応答してシフト動作を開始し、同じくタイミングジェネレータ 14 から供給される垂直クロックパルス VCK に同期して 1 垂直期間に順次転送していく走査パルスを生成する。この生成された走査パルスは、表示部 12 の垂直方向画素数 m に対応して配線されたゲート線 54 - 1 ~ 54 - m にゲートバッファを通して順次出力される。

【0024】

この垂直ドライバ 17 による垂直走査により、走査パルスがゲート線 54 - 1 ~ 54 - m に順次出力されると、表示部 12 の各画素が行（ライン）単位で順に選択される。そして、この選択された 1 ライン分の画素に対して、 Sig/CS 出力切り替え回路 164 から出力される 1 ライン分のアナログ表示信号 Sig がデータ線 55 - 1 ~ 55 - n を経由して一斉に書き込まれる。このライン単位の書き込み動作が繰り返されることにより、1 画面分の画表示が行われる。

10

【0025】

CS ドライバ 18 は、先述した CS 電位を生成し、図 2 の CS 線 57 を介して保持容量 53 の他方の電極に対して各画素共通に与えるとともに、 Sig/CS 出力切り替え回路 164 に供給する。 CS ドライバ 18 は、インターフェース回路 13 から出力される表示リセットコントロールパルス PCI が低レベルのときは、 CS 電位を所定の電位（例えば、0 V）に設定し、 $VCOM$ 反転駆動の場合には、表示リセットコントロールパルス PCI が低レベルから高レベルに遷移するタイミングで、 CS 電位を所定の電位から交流反転に切り換える。この交流反転では、表示信号の振幅を例えば 0 - 3.3 V とすると、 CS 電位は低レベルを 0 V（グラウンドレベル）、高レベルを 3.3 V として $VCOM$ 電位に同期して反転動作を繰り返す。

20

【0026】

$VCOM$ ドライバ 19 は、先述した $VCOM$ 電位を生成するとともに、インターフェース回路 13 から出力される表示リセットコントロールパルス PCI が低レベルのときは、当該 $VCOM$ 電位を低レベル（0 V）に設定する。 $VCOM$ ドライバ 19 から出力される $VCOM$ 電位は、フレキシブルケーブル 21 を介して一度ガラス基板 11 の外部に出力される。この基板外に出力された $VCOM$ 電位は $VCOM$ 調整回路 22 を経由した後、フレキシブルケーブル 21 を介して再びガラス基板 11 内に入力され、図 2 の $VCOM$ 線 56 を介して液晶セル 52 の対向電極に対して各画素共通に与えられる。

30

【0027】

ここで、 $VCOM$ 電位と CS 電位とは、ほぼ同振幅（電位）でかつ同位相の交流電圧である。ただし、実際には、図 2 において、データ線 54 から TFT 51 を通して液晶セル 52 の画素電極に信号を書き込む際に、寄生容量などに起因して TFT 51 で電圧降下が生じることから、 $VCOM$ 電位として、その電圧降下分だけあらかじめ DC シフトした交流電圧を用いる必要がある。この $VCOM$ 電位の DC シフトを $VCOM$ 調整回路 22 が担う。

【0028】

$VCOM$ 調整回路 22 は、一例として、 $VCOM$ 電位を入力とするコンデンサ C と、このコンデンサ C の出力端に一端が接続された抵抗 R と、コンデンサ C の出力端とグラウンドとの間に接続された可変抵抗 VR とから構成され、液晶セル 52 の対向電極に与える $VCOM$ 電位の DC レベルを調整する、即ち $VCOM$ 電位に対して DC オフセットを付与する作用をなす。DC オフセット分については、可変抵抗 VR によって任意に調整可能である。この $VCOM$ 調整回路 22 には、ガラス基板 11 上に形成され、抵抗 R の他端とパネル内部の電源 VCC との間に接続されたスイッチ SW を介して電源が選択的に供給されるようになっている。スイッチ SW は、インターフェース回路 13 から出力される表示リセットコントロールパルス PCI が低レベルのときに OFF（開）状態になり、高レベルのとき ON（閉）状態になる。

40

【0029】

電位制御回路 20 は、インターフェース回路 13 から出力される表示リセットコントロ

50

ールパルス P C I が低レベルのときには、V C O M 調整回路 2 2 の出力電位、即ち V C O M 調整回路 2 2 で D C オフセットが付与された V C O M 電位を強制的に低レベル (0 V) にするとともに、表示リセットコントロールパルス P C I が低レベルから高レベルに遷移したときにはその遷移タイミングで V C O M 調整回路 2 2 の出力電位を強制的に当該 V C O M 調整回路 2 2 での D C オフセット分に相当する電位にする。

【 0 0 3 0 】

次に、上記構成の液晶表示装置において、電源 O N / O F F 時の回路動作について説明する。

【 0 0 3 1 】

電源 O N の際に、外部から与えられる表示リセットコントロールパルス P C I が低レベル状態 (アクティブ状態) にあると、C S ドライバ 1 8 が C S 電位を所定の電位、例えば低レベル (0 V) に設定するとともに、電位制御回路 2 0 が V C O M 調整回路 2 2 の出力電位、即ち当該 V C O M 調整回路 2 2 で D C オフセットが付与された V C O M 電位を強制的に低レベル (0 V) にする一方、S i g / C S 出力切り替え回路 1 6 4 が C S ドライバ 1 8 から供給される低レベルの C S 電位を選択してデータ線 5 5 - 1 ~ 5 5 - n に出力することで、表示リセット動作を行うようにする。このとき、ガラス基板 1 1 上のスイッチ S W が O F F 状態になるため、V C O M 調整回路 2 2 への電源供給が遮断される。

【 0 0 3 2 】

この表示リセット動作により、垂直ドライバ 1 7 による垂直走査によって選択された行の各画素については、図 2 において、C S 電位 (本例では、0 V) が T F T 5 1 を介して液晶セル 5 2 および保持容量 5 3 の画素電極側に印加されると同時に、対向電極側には V C O M 線 5 6 および C S 線 5 7 を介して C S 電位および V C O M 電位 (共に 0 V) がそれぞれ印加される。このとき、液晶セル 5 2 の両電極が同電位となるため、液晶セル 5 2 には電界が印加されない。液晶セル 5 2 に電界が印加されないため、液晶分子の配列が変化しないため、ノーマリホワイト型では白表示、ノーマリブラック型では黒表示が行われる。

【 0 0 3 3 】

また、表示リセットコントロールパルス P C I の低レベル状態から高レベル状態 (非アクティブ状態) へ遷移するタイミングから所定の期間 (例えば、数垂直期間) では、S i g / C S 出力切り替え回路 1 6 4 は引き続き、C S ドライバ 1 8 から供給される C S 電位を選択してデータ線 5 5 - 1 ~ 5 5 - n に出力する。V C O M 反転駆動の場合、データ線 5 5 - 1 ~ 5 5 - n には所定の電位の C S 電位ではなく交流反転の C S 電位が供給され、当該 C S 電位が液晶セル 5 2 および保持容量 5 3 の画素電極側に印加されることになる。

【 0 0 3 4 】

このとき、スイッチ S W が O N 状態になるため、V C O M 調整回路 2 2 への電源供給が開始される。しかし、V C O M 調整回路 2 2 では、コンデンサ C に C R の時定数によって充電が行われ、その充電に時間を要することになるため、V C O M ドライバ 1 9 から出力される V C O M 電位に対して即座に所望の D C オフセットを付与することができない。そのために、電位制御回路 2 0 は、表示リセットコントロールパルス P C I の低レベルから高レベルへの遷移タイミングで、V C O M 調整回路 2 2 の出力電位を強制的に当該 V C O M 調整回路 2 2 での D C オフセット分に相当する電位にする。

【 0 0 3 5 】

この電位制御回路 2 0 による V C O M 調整回路 2 2 の出力電位の制御により、当該 V C O M 調整回路 2 2 にコンデンサ C が存在したとしても、その充電を瞬時に行うことができるため、液晶セル 5 2 の画素電極に交流反転の C S 電位が印加されるのと同時に、V C O M ドライバ 1 9 から出力される V C O M 電位に対して所望の D C オフセットが付与され、液晶セル 5 2 および保持容量 5 3 の対向電極側に印加される。

【 0 0 3 6 】

このとき、C S 電位と V C O M 電位とがほぼ同振幅、同位相であることから、液晶セル 5 2 の両電極が同電位となり、液晶セル 5 2 には電界が印加されないため、表示リセットコントロールパルス P C I が低レベルの表示リセット期間に引き続いて、表示リセットコン

10

20

30

40

50

トロールパルス P C I の高レベルへの遷移タイミングから当該表示リセット期間でのリセット動作とは別の動作によって再びノーマリホワイト型では白表示、ノーマリブラック型では黒表示が行われる。

【 0 0 3 7 】

また、表示リセットコントロールパルス P C I の高レベルへの遷移タイミングで電位制御回路 2 0 が V C O M 調整回路 2 2 の出力電位を、当該 V C O M 調整回路 2 2 での D C オフセット分に相当する電位に設定する期間としては、コンデンサ C の充電が完了するのに要する時間、例えば 1 垂直期間程度の時間が設定される。このように、V C O M 調整回路 2 2 の出力電位を電位制御回路 2 0 によって制御する、具体的には電位制御回路 2 0 から V C O M 調整回路 2 2 の出力ラインに V C O M 調整回路 2 2 での D C オフセット分に相当する電位を与えることにより、コンデンサ C の充電が瞬時に行われることになる。

10

【 0 0 3 8 】

そして、コンデンサ C の充電が完了した後は、V C O M 調整回路 2 2 によって本来の D C オフセットの付与が行われる。その結果、表示リセットコントロールパルス P C I が低レベルの表示リセット期間に引き続いて、表示リセットコントロールパルス P C I の高レベルへの遷移タイミングから所定の期間に亘ってノーマリホワイト型では白表示、ノーマリブラック型では黒表示が行われる。所定の期間が経過すると、S i g / C S 出力切り替え回路 1 6 4 は C S 電位に代えて表示信号を選択してデータ線 5 5 - 1 ~ 5 5 - n に出力する。これにより、表示信号に応じた実際の画表示が開始される。

【 0 0 3 9 】

20

上述したように、本実施形態に係る液晶表示装置では、表示部 1 2 と同一のパネル（ガラス基板 1 1 ）上に、水平ドライバ 1 6 および垂直ドライバ 1 7 に加えて、インターフェース回路 1 3、タイミングジェネレータ 1 4、基準電圧ドライバ 1 5、C S ドライバ 1 8、V C O M ドライバ 1 9 および電位制御回路 2 0 などの周辺の駆動回路を搭載したことにより、全駆動回路一体型の表示パネルを構成でき、外部に別の基板や I C、トランジスタ回路を設ける必要がないため、システム全体の小型化および低コスト化が可能になる。

【 0 0 4 0 】

また、外部から与えられる表示リセットコントロールパルス P C I がアクティブ状態となる表示リセット期間では、画素に所定の電位を書き込むと同時に、C S 電位および V C O M 電位を画素電位と同電位に設定し、当該同電位を対向電極側に与えることで、ノーマリホワイト型では白表示、ノーマリブラック型では黒表示を行うことができるため、システム全体の小型化および低コスト化を可能とした上で、電源 O N 時の画像の乱れを防止することができる。

30

【 0 0 4 1 】

特に、表示リセットコントロールパルス P C I が低レベルから高レベルに遷移したタイミング、即ち表示リセット期間が終了したタイミングで、V C O M 調整回路 2 2 の出力電位を当該 V C O M 調整回路 2 2 での D C オフセット分に相当する電位に制御し、表示リセット期間に引き続いて所定の期間に亘ってノーマリホワイト型では白表示、ノーマリブラック型では黒表示を継続することで、V C O M 調整回路 2 2 にコンデンサ C が存在したとしても、当該コンデンサ C を瞬時に充電し、D C オフセットが付与された V C O M 電位を液晶セル 5 2 および保持容量 5 3 の対向電極側に印加することができるため、コンデンサ C の充電期間に起因する画像の乱れについても確実に防止できる。

40

【 0 0 4 2 】

一方、電源 O F F 時においては、表示リセットコントロールパルス P C I が低レベルになることで、C S ドライバ 1 8 が C S 電位を所定の電位、例えば低レベルに設定し、S i g / C S 出力切り替え回路 1 6 4 が C S 電位を選択してデータ線 5 5 - 1 ~ 5 5 - n に出力する一方、V C O M 調整回路 2 2 のスイッチ S W が O F F 状態となることで、実データに基づく画表示動作の状態から表示リセット動作の状態に移行する。

【 0 0 4 3 】

この表示リセット動作において、スイッチ S W が O F F することで、V C O M 調整回路 2

50

2 への電源供給が完全に遮断されるとともに、VCOM調整回路22の出力電位が可変抵抗VRを介してグラウンドレベルに引っ張られることになる。これにより、電源OFF時に例えば表示リセットコントロールパルスPCIのレベルが不安定な状態にあったとしても、その影響を受けることなくVCOM調整回路22の出力電位を確実にグラウンドレベルに維持することができる。

【0044】

すなわち、表示リセット動作により、垂直ドライバ17による垂直走査によって選択された行の各画素については、低レベルのCS電位が液晶セル52および保持容量53の画素電極側に印加される一方、保持容量53の対向電極側の電極にCS電位が、液晶セル52の対向電極にVCOM調整回路22の出力電位、即ちCS電位と同電位（グラウンドレベル）のVCOM電位がそれぞれ印加される。これにより、液晶セル52の両電極が同電位となるため、液晶セル52には電界が印加されず、ノーマリホワイト型では白表示、ノーマリブラック型では黒表示が行われる。その後、電源VDD、VSS、VCCが最終的に遮断される。

10

【0045】

上述したように、液晶表示装置において、電源OFFに際して、先ず一定期間表示リセット動作を行って電源遮断前に数垂直期間（数フィールド期間）に亘ってノーマリホワイト型では白表示、ノーマリブラック型では黒表示を行い、その後電源を遮断することにより、電源OFF時に残像なしで画表示を消すことができる。

【0046】

20

次に、上記構成の本実施形態に係る液晶表示装置において、電源ON/OFF時の画像の乱れを防止するために、表示リセット動作を行う際の制御方法について説明する。

【0047】

先ず、電源ON時の表示リセット動作について、図3のタイミングチャートを用いて説明する。電源ONに際して、先ず電源VSS（例えば、-3.3V）および電源VDD（例えば、6.0V）を投入し、次いで電源VCC（例えば、3.3V）を投入する。電源VCCが90%程度立ち上がってから一定期間T11が経過すると、水平同期パルスHsync、データイネーブルパルスDENB、マスタークロックMCK、垂直同期パルスVsync、表示データData、パネルロジックリセットパルスRESETおよび表示リセットコントロールパルスPCIがフレキシブルケーブル21を介して外部から入力され始める。

30

【0048】

その後、一定期間T12が経過すると、パネルロジックリセットパルスRESETが低レベルから高レベルへ遷移する。これにより、ガラス基板11上におけるフリップフロップ等のロジック回路の初期状態が確定（初期化）する。このパネルロジックリセットパルスRESETの遷移タイミングから一定期間T13の間、表示リセットコントロールパルスPCIは低レベルの状態を継続する。

【0049】

この期間T13では、CSドライバ18がCS電位を所定の電位、例えば低レベルに設定するとともに、電位制御回路20がVCOM電位を強制的に低レベルに制御する一方、Sig/CS出力切り替え回路164がCS電位を選択してデータ線55-1~55-nに出力する。これにより、表示リセット動作が行われる。すなわち、CS電位（本例では、0V）が液晶セル52および保持容量53の画素電極側に印加されると同時に、対向電極側にはCS電位およびVCOM電位（共に0V）がそれぞれ印加される。このとき、液晶セル52の両電極が同電位となり、液晶セル52には電界が印加されないため、ノーマリホワイト型では白表示、ノーマリブラック型では黒表示が行われる。

40

【0050】

期間T13が経過し、表示リセットコントロールパルスPCIが低レベルから高レベルに遷移すると、その遷移タイミングから所定の期間（例えば、数垂直期間）T14では、Sig/CS出力切り替え回路164は引き続き、CSドライバ18から供給されるCS電

50

位を選択してデータ線 55 - 1 ~ 55 - n に出力する。このとき、VCOM 反転駆動の場合、データ線 55 - 1 ~ 55 - n には交流反転の CS 電位が供給され、当該 CS 電位が液晶セル 52 および保持容量 53 の画素電極側に印加される。

【0051】

また、表示リセットコントロールパルス PCI の低レベルから高レベルへの遷移タイミングでは同時に、電位制御回路 20 によって VCOM 調整回路 22 の出力電位が当該 VCOM 調整回路 22 での DC オフセット分に相当する電位に制御される。この制御により、当該電位調整回路 22 のコンデンサ C が充電の過渡期であっても、VCOM 調整回路 22 の出力電位がコンデンサ C の充電が完了したのと同じ電位状態になるため、液晶セル 52 および保持容量 53 の画素電極側に交流反転の CS 電位が印加されるのと同時に、VCOM 10 ドライバ 19 から出力される VCOM 電位に対して所望の DC オフセットが付与された状態で液晶セル 52 の対向電極に印加される。

【0052】

このとき、CS 電位と VCOM 電位とがほぼ同振幅、同位相であることから、液晶セル 52 の両電極が同電位となり、液晶セル 52 には電界が印加されないため、表示リセットコントロールパルス PCI が低レベルの表示リセット期間に引き続いて、表示リセットコントロールパルス PCI の高レベルへの遷移タイミングから再び期間 T14 の間ノーマリホワイト型では白表示、ノーマリブラック型では黒表示が行われる。

【0053】

表示リセット動作による白表示（又は、黒表示）から、それに引き続いて行われる白表示（又は、黒表示）への移行は、実際の回路動作上では、垂直同期パルス Vsync に同期して行われることになる。そして、白表示（又は、黒表示）の期間 T14 が経過すると、Sig / CS 出力切り替え回路 164 は、CS 電位に代えて表示信号を選択してデータ線 55 - 1 ~ 55 - n に出力する。これにより、表示データ Data に応じた実際の画表示 20 が開始される。

【0054】

このように、液晶表示装置において、電源 ON に際して、先ず電源を投入し、続いてパネル上の駆動回路の状態を初期化し、その後一定期間 T13 に亘って表示リセット動作によって白表示（または、黒表示）を行うことにより、電源 ON 時に画像の乱れなく画表示を開始することができる。特に、表示リセット期間 T13 に引き続いて CS 電位を選択して画素電極側に与えるとともに、電位制御回路 20 によって VCOM 調整回路 22 の出力電位を当該 VCOM 調整回路 22 での DC オフセット分に相当する電位に制御し、白表示（または、黒表示）を行うことにより、VCOM 調整回路 22 のコンデンサ C の充電に時間 30 がかかることに起因する画像の乱れについても確実に防止できる。

【0055】

続いて、電源 OFF 時の表示リセット動作について、図 4 のタイミングチャートを用いて説明する。電源 OFF に際して、先ず、表示リセットコントロールパルス PCI が低レベルになる。これにより、CS ドライバ 18 が CS 電位を低レベルに設定するとともに、Sig / CS 出力切り替え回路 164 が CS 電位を選択してデータ線 55 - 1 ~ 55 - n に出力することで表示リセット動作が行われる。すなわち、電源 ON 時と同様の動作原理による表示リセット動作により、数垂直期間に亘って白表示（または、黒表示）が行われる。この実データの表示動作の状態から表示リセット動作の状態への移行は、実際の回路動作上では、垂直同期パルス Vsync に同期して行われることになる。 40

【0056】

また、表示リセットコントロールパルス PCI が低レベルのときに同時に、ガラス基板 11 上のスイッチ SW が OFF 状態となる。これにより、VCOM 調整回路 22 への電源供給が完全に遮断されるとともに、VCOM 調整回路 22 の出力電位がグランドレベルに引っ張られるため、電源 OFF 時に例えば表示リセットコントロールパルス PCI のレベルが不安定な状態にあったとしても、VCOM 調整回路 22 の出力電位を確実にグランドレベルに維持することができる。したがって、表示リセット動作によって確実に白表示（また 50

は、黒表示)を行うことができる。

【0057】

この表示リセット期間T21が経過すると、システムリセットパルスRSTが低レベルとなる。その後、期間T22が経過すると、電源VDD、VSSが遮断され、さらに期間T23が経過すると、水平同期パルスHsync、データイネーブルパルスDENB、マスタークロックMCK、垂直同期パルスVsync、表示データData、パネルロジックリセットパルスRESETおよび表示リセットコントロールパルスPCIが消滅する。その後、期間T24が経過すると、最終的に電源VCCが遮断される。

【0058】

このように、液晶表示装置において、電源OFFに際して、先ず一定期間表示リセット動作を行って電源遮断前に数垂直期間(数フィールド期間)に亘って白表示(または、黒表示)を行い、その後に電源を遮断することにより、電源OFF時に残像を発生させることなく、画表示を消すことができる。

10

【0059】

なお、本制御例においては、電源ON/OFF時の画像の乱れを防止する場合を例に挙げて説明したが、電源ON/OFF時の制御に限られるものではない。一例として、液晶表示装置が省電力化を目的としたスタンバイモードを持つ場合において、スタンバイモードに入るときは電源ON時と同様の制御を行い、スタンバイモードから復帰するときは電源OFF時と同様の制御を行うことにより、スタンバイモードに入るとき/復帰するときの画像の乱れを防止することができる。

20

【0060】

なお、上記実施形態では、表示リセットコントロールパルスPCIが与えられたときに、Sig/CS出力切り替え回路164が表示信号に代えてCS電位を選択してデータ線55-1~55-nに出力するとしたが、VCOM電位もCS電位と同じ電位に設定されるため、VCOM電位を選択してデータ線55-1~55-nに出力する構成を採っても同様の作用効果を得ることができる。

【0061】

さらに、CS電位またはVCOM電位を選択する構成ではなく、所定の電位を選択する一方、CS電位およびVCOM電位を同電位に設定する構成を採ることも可能である。また、データ線55-1~55-nを通して画素に書き込む電位(画素電位)としては、0V(グラウンドレベル)に限られるものではなく、CS電位およびVCOM電位を画素電位と同電位に設定する条件を満足すれば、液晶セル52には電圧が印加されないため、ノーマリホワイト型では白表示、ノーマリブラック型では黒表示を行うことができる。ただし、画素電位を0Vとした方が、データ線55-1~55-nを通して画素に書き込む際に電力を消費しなくて済むため、低消費電力化の観点からすると有利である。

30

【0062】

以上説明した液晶表示装置は、携帯電話機やPDAに代表される小型・軽量の携帯端末の画面表示部として用いて好適なものである。

【0063】

図6は、本発明に係る携帯端末、例えばPDAの構成の概略を示す外觀図である。

40

【0064】

本例に係るPDAは、例えば、装置本体61に対して蓋体62が開閉自在に設けられた折り畳み式の構成となっている。装置本体61の上面には、キーボードなどの各種のキーが配置されてなる操作部63が配置されている。一方、蓋体62には、画面表示部64が配置されている。この画面表示部64として、先述した実施形態に係る液晶表示装置が用いられる。

【0065】

当該実施形態に係る液晶表示装置は、先述したように、システム全体の小型化および低コスト化を可能とした上で、電源ON/OFF時の画像の乱れを防止することが可能であるため、当該液晶表示装置を画面表示部64として搭載することで、PDAの小型化に大き

50

く寄与できるとともに、画面表示部 6 4 の電源 ON / OFF 時の画像の乱れを確実に防止できる。

【 0 0 6 6 】

また、この種の P D A に代表される携帯端末には、省電力化を図るためにスタンバイモードが備えられているのが一般的である。このスタンバイモードに入るとき / 復帰するときにも、先述したように、電源 ON / OFF 時と同様に表示リセット動作を行わせることで、スタンバイモードに入るとき / 復帰するときの画像の乱れについても確実に防止することができる。

【 0 0 6 7 】

なお、ここでは、P D A に適用した場合を例に採って説明したが、この適用例に限られるものではなく、本発明に係る液晶表示装置は、特に携帯電話機など小型・軽量の携帯端末全般に用いて好適なものである。

【 0 0 6 8 】

【発明の効果】

以上説明したように、本発明によれば、表示部と同一の透明絶縁基板上に周辺の駆動回路を搭載したことにより、全駆動回路一体型の表示パネルを構成でき、外部に別の基板や I C、トランジスタ回路を設ける必要がないため、システム全体の小型化および低コスト化が可能になる。また、電源 ON / OFF 時は画素に表示信号の極性反転の基準となるコモン電位を書き込むと同時に、当該コモン電位と同電位を対向電極側に与えることで、ノーマリホワイト型では白表示、ノーマリブラック型では黒表示を行うことができるため、システム全体の小型化および低コスト化を可能とした上で、電源 ON / OFF 時の画像の乱れを防止することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係る液晶表示装置の構成例を示すブロック図である。

【図 2】画素の構成の一例を示す回路図である。

【図 3】電源 ON 時の表示リセット動作の説明に供するタイミングチャートである。

【図 4】電源 OFF 時の表示リセット動作の説明に供するタイミングチャートである。

【図 5】本発明に係る P D A の構成の概略を示す外観図である。

【図 6】従来例に係る液晶表示装置の構成の一例を示すブロック図である。

【符号の説明】

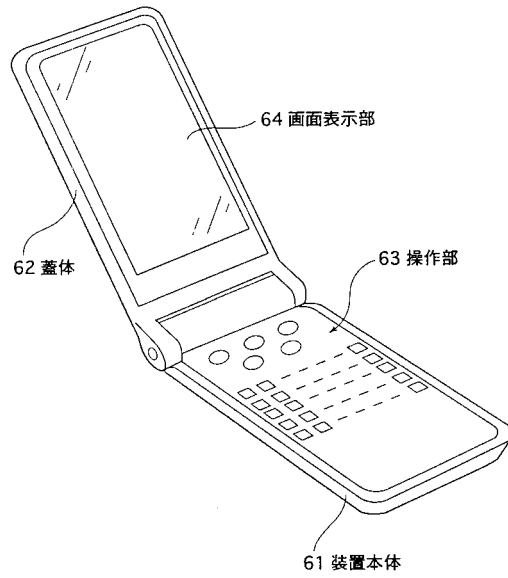
1 1 ... ガラス基板、1 2 ... 表示部、1 3 ... インターフェース (I F) 回路、1 4 ... タイミングジェネレータ (T G)、1 6 ... 水平ドライバ、1 7 ... 垂直ドライバ、1 8 ... C S ドライバ、1 9 ... V C O M ドライバ、2 0 ... 電位制御回路、2 2 ... V C O M 調整回路、5 0 ... 画素、5 1 ... T F T (画素トランジスタ)、5 2 ... 液晶セル、5 3 ... 保持容量、1 6 4 ... S i g / C S 出力切り替え回路

10

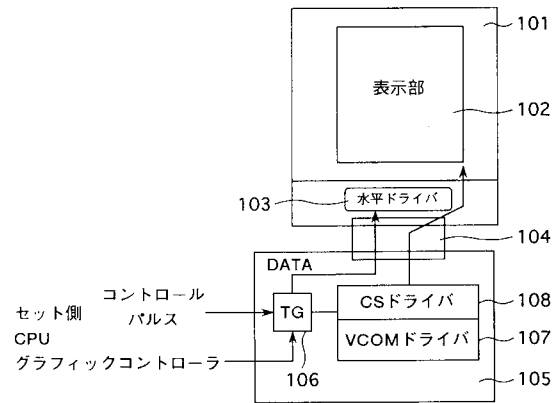
20

30

【図 5】



【図 6】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 8 0 G
G 0 9 G 3/20 6 8 0 T

(72)発明者 木田 芳利
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(72)発明者 仲島 義晴
東京都品川区北品川6丁目7番35号 ソニー株式会社内
(72)発明者 後藤 尚志
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 小川 浩史

(56)参考文献 特許第4269582(JP, B2)
特許第3741079(JP, B2)
特開平2-272490(JP, A)
特開2000-163025(JP, A)
特開2001-42288(JP, A)
特開2001-209355(JP, A)
特開2001-249320(JP, A)
特開平7-191302(JP, A)
特開2002-41003(JP, A)
特開平7-261716(JP, A)

(58)調査した分野(Int.Cl., DB名)
G09G 3/20-3/38

专利名称(译)	液晶显示装置及其控制方法，便携式终端		
公开(公告)号	JP4759906B2	公开(公告)日	2011-08-31
申请号	JP2002360190	申请日	2002-12-12
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山田泉樹 市川弘明 木田芳利 仲島義晴 後藤尚志		
发明人	山田 泉樹 市川 弘明 木田 芳利 仲島 義晴 後藤 尚志		
IPC分类号	G09G3/36 G09G3/20 G02F1/1345 G02F1/133		
FI分类号	G09G3/36 G09G3/20.612.G G09G3/20.623.A G09G3/20.624.C G09G3/20.670.D G09G3/20.680.G G09G3/20.680.T G02F1/133.520 G02F1/1345		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/NA25 2H092/PA01 2H092/PA06 2H092/RA10 2H093/NA16 2H093/NA80 2H093/NC03 2H093/NC09 2H093/NC16 2H093/NC18 2H093/NC22 2H093/NC34 2H093/NC49 2H093/ND42 2H093/ND54 2H093/NE01 2H093/NE07 2H093/NG01 2H193/ZA04 2H193/ZE31 2H193/ZE32 2H193/ZE37 2H193/ZE38 2H193/ZF03 2H193/ZF59 2H193/ZP01 5C006/AC25 5C006/AF46 5C006/AF67 5C006/BB16 5C006/BC11 5C006/BC20 5C006/BF42 5C006/FA34 5C080/AA10 5C080/BB05 5C080/DD30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07		
代理人(译)	森浩一 吉井正明 山本隆久		
审查员(译)	小川博		
其他公开文献	JP2004191697A		
外部链接	Espacenet		

摘要(译)

要解决的问题：当面板外部存在外部基板或外部驱动IC时，为了防止整个系统的小型化和成本降低。 解决方案：除了水平驱动器16和垂直驱动器17，接口电路13，定时发生器14，参考电压驱动器15，CS驱动器18，VCOM驱动器19和电位设置安装诸如电路20的外围驱动电路，并且当从外部给出显示复位控制脉冲PCI时，在向像素写入预定电位的同时，CS电位和VCOM电位被设置为与像素电位相同的电位。通过对电极侧提供相同的电位，以常白类型执行白色显示，并且以常黑类型执行黑色显示，以防止当电源接通/断开时图像的干扰。 点域1

