

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4644772号
(P4644772)

(45) 発行日 平成23年3月2日(2011.3.2)

(24) 登録日 平成22年12月17日(2010.12.17)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 611A
H04N 5/66 (2006.01)	G09G 3/20 612R
	G09G 3/20 621M
	請求項の数 2 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2002-592103 (P2002-592103)	(73) 特許権者	510134581
(86) (22) 出願日	平成14年5月17日 (2002.5.17)		奇美電子股▲ふん▼有限公司
(65) 公表番号	特表2004-533011 (P2004-533011A)		台湾苗栗縣竹南鎮科學路160號 新竹
(43) 公表日	平成16年10月28日 (2004.10.28)		科學工業園區
(86) 国際出願番号	PCT/IB2002/001795	(74) 代理人	100147485
(87) 国際公開番号	W02002/095723		弁理士 杉村 憲司
(87) 国際公開日	平成14年11月28日 (2002.11.28)	(72) 発明者	マーティン ジェイ エドワーズ
審査請求日	平成17年5月16日 (2005.5.16)		オランダ国 5656 アーアー アイン
(31) 優先権主張番号	0112395.9		ドーフェン プロフ ホルストラーン 6
(32) 優先日	平成13年5月22日 (2001.5.22)	(72) 発明者	イアン エム ハンター
(33) 優先権主張国	英国 (GB)		オランダ国 5656 アーアー アイン
前置審査		(72) 発明者	マーク ティー ジョンソン
			オランダ国 5656 アーアー アイン
			ドーフェン プロフ ホルストラーン 6
			最終頁に続く

(54) 【発明の名称】 処理素子のアレイを用いた表示デバイス及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

表示デバイスの解像度を規定する画素のアレイと、処理素子のアレイとを具え、前記各処理素子が、前記画素のアレイのうちの各画素または所定数の画素からなる画素群のそれぞれに関連付けられている表示デバイスにおいて、

前記各処理素子が、

複数の前記画素または前記画素群に関係する入力表示データを受信する入力モジュールと、

前記受信した入力表示データを処理して、当該処理素子に関連付けられている前記画素用あるいは当該処理素子に関連付けられている前記画素群の各画素用の個別の画素データを定めるプロセッサと、

前記関連付けられている前記画素または前記画素群の各画素を、当該画素用に定めた前記個別の画素データで駆動する画素ドライバと、

各処理素子に関連付けられている前記画素または前記画素群の画素アドレスを画素アレイ内座標の形式で受信して記憶するメモリと、
を具えている表示デバイスであって、

前記各処理素子の前記入力モジュールは、所定のオブジェクトが表示される全ての画素の画素アドレスと、該オブジェクトの輝度レベル及び色のうちの少なくとも一方を含む入力表示データを受信するように構成されており、

前記各処理素子の前記プロセッサが、

前記オブジェクトの形状及び座標位置を指定する規則が提供されており、当該画素アレイ内座標に位置する前記オブジェクトの形状内の各画素の画素アドレスを、前記表示するための前記オブジェクトを指定する画素アドレスとして処理して、

当該表示するための前記オブジェクトを指定する画素アドレスと、当該処理素子に関連付けられている前記画素または前記画素群の画素アドレスとを比較し、

当該処理素子に関連する前記画素または前記画素群の画素アドレスが、前記表示するためのオブジェクトを指定する画素アドレスに対応している場合に、当該処理素子に関連付けられている前記画素用、あるいは当該処理素子に関連付けられている前記画素群の各画素用の個別の画素データを、前記表示するための前記オブジェクトを指定する表示設定値として定めるように構成されていることを特徴とする、表示デバイス。

10

【請求項 2】

表示デバイスの解像度を規定する画素のアレイと、処理素子のアレイとを具えた表示デバイスを駆動する方法において、

前記各処理素子が、前記画素のアレイのうちの各画素または所定数の画素からなる画素群のそれぞれに関連付けられており、

前記各処理素子の処理手順が、

複数の前記画素または前記画素群に係る入力表示データを受信するステップと、

前記受信した入力表示データを処理して、当該処理素子に関連付けられている前記画素用、あるいは当該処理素子に関連付けられている前記画素群の各画素用の個別の画素データを定めるステップと、

20

前記関連付けられている前記画素または前記画素群の各画素を、当該画素用に個別に定めた画素データで駆動するステップと、

を具えている表示デバイスの駆動方法であって、

前記各処理素子が、各処理素子に関連付けられている前記画素または前記画素群の画素アドレスを画素アレイ内座標の形式で受信して記憶するメモリを備えており、

前記各処理素子の前記入力モジュールによって、所定のオブジェクトが表示される全ての画素の画素アドレスと、該オブジェクトの輝度レベル及び色のうちの少なくとも一方を含む入力表示データを受信するステップと、

前記各処理素子の前記プロセッサによって、

前記オブジェクトの形状及び座標位置を指定する規則が提供されており、当該画素アレイ座標位置におかれる前記オブジェクトの形状内の各画素の画素アドレスを、前記表示するための前記オブジェクトを指定する画素アドレスとして処理して、

30

当該表示するための前記オブジェクトを指定する画素アドレスと、当該処理素子に関連付けられている前記画素または前記画素群の画素アドレスとを比較し、

当該処理素子に関連する前記画素または前記画素群の画素アドレスが、前記表示するためのオブジェクトを指定する画素アドレスに対応している場合に、当該処理素子に関連付けられている前記画素用、あるいは当該処理素子に関連付けられている前記画素群の各画素用の個別の画素データを、前記表示するための前記オブジェクトを指定する表示設定値として定めるステップと、

を含むことを特徴とする、表示デバイスの駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の画素を具えた表示デバイス、及びこうした表示デバイスの駆動方法あるいはアドレス指定方法に関するものである。

【背景技術】

【0002】

既知の表示デバイスは、液晶、プラズマ、ポリマー発光ダイオード、有機発光ダイオード、電界放出、スイッチングミラー、電気泳動、エレクトロクロミック、マイクロメカニカル表示デバイスを含む。こうしたデバイスは、画素のアレイを具えている。こうした表

50

示デバイスは動作中に、個々の表示設定値（例えば輝度レベル（これはグレースケール・レベルと称することも多い）及び/または色）を含む表示データ（例えば映像）で、画素毎にアドレス指定または駆動する。

【0003】

表示データは、表示すべきフレーム毎にリフレッシュ（更新）される。結果的なデータレートは、ディスプレイの画素数、及びフレームを供給する周波数に依存する。現在では、100MHzの範囲のデータレートが一般的である。

【0004】

慣例の方法では、一行の画素を同時に駆動して、この行内の各列の画素に異なるデータを供給することによって、各画素に当該画素の設定値を与えている。

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

より大型でより高解像度の表示デバイスが開発されると共に、より高いデータレートが要求される。しかし、より高いデータレートは多くの問題をもたらす。1つの問題は、表示デバイスを駆動するのに必要なデータレートが、表示デバイスに表示データを供給あるいは転送するリンクまたはアプリケーションの帯域能力よりも高くなり得る、ということである。データレートが増加することの他の問題は、供給する必要のある各画素の設定値が、電力を消費するデータ遷移を表現するものとなるので、駆動回路あるいはアドレス指定回路がより大きな電力を消費する、ということである。さらに他の問題は、画素数の増加と共に、各画素を個別にアドレス指定するための時間が増加する、ということである。

20

【課題を解決するための手段】

【0006】

本発明は、画素毎に個別の表示設定値を含む表示データ（例えば映像）を表示デバイスに供給する必要性を回避する表示デバイス及び駆動方法を提供することによって、上述した問題を軽減するものである。

【0007】

本発明の第1の要点は、複数の画素、及び複数の処理素子を具えた表示デバイスを提供し、各処理素子は1つ以上の画素に関連する。この処理素子は、圧縮した入力表示データを受信して、このデータを処理して非圧縮のデータを供給し、そしてデータに関連する画素を、それぞれの画素について定めた表示設定値で駆動すべく適応させる。

30

【0008】

本発明の第2の要点は、本発明の第1の要点で上述した種類の表示デバイスを駆動する方法を提供する。

【0009】

前記処理素子は、入力表示データの画素レベルでの処理を実行する。

【0010】

従って、処理素子毎の圧縮データは、表示デバイスの多数の画素に関する入力を詳述するように作成することができる、というのは、これらの処理素子は、入力データを解釈して、この入力データと、各処理素子に関連する個別の画素との関係を特定することができるからである。

40

【0011】

前記圧縮データは、表示デバイスの解像度よりも低解像度の画像で構成することができる。この構成では、より低解像度の画像にもとづいて、各処理素子に表示設定値を割り当てる。このための知識を、隣接する処理素子と通信することによって得るか、あるいは、前記処理素子に供給する入力データに、このための情報を含めることができる。そして前記処理素子は、関連するすべての画素について表示設定値を定めることによって、入力画像データを伸張して、より高解像度のディスプレイに適合させ、この表示設定値を定める動作は、当該処理素子に割り当てられた表示設定値、及び当該処理素子に隣接する処理素子に割り当てられた表示設定値で当該処理素子はその値を知っているものにもとづいて、

50

各画素についての値を補間することによって行う。このことは、より低解像度に圧縮した入力データから、より高解像度の非圧縮の画像を表示することを可能にする。

【0012】

あるいはまた、前記処理素子が、当該処理素子に関連する画素の画素位置の知識を有し、そしてこの情報を用いて、複数の処理素子が受信した共通の入力データに応じて、関連する1つ以上の画素を駆動する必要があるか否かを定めることができる。特に、前記処理素子は、1つの素子にも複数の素子にも関連付けることができ、そして前記処理素子には、当該処理素子に関連する1つまたは複数の画素の位置または画素アドレスを指定するデータか、さもなければその特定を可能にするデータを供給することができる。そして前記圧縮入力データは、1つ以上の表示すべきオブジェクト（対象物）あるいは特徴の指定、及びこれらのオブジェクトあるいは特徴を表示するために必要な画素を指定するデータ（あるいは、前記処理装置が表示すべきオブジェクトあるいは特徴を導出できるようなデータ）を含むことができる。このデータは、オブジェクトあるいは特徴を表示するのに必要なすべての画素で表示すべき表示設定値の指定も含むことができる。この表示設定値は、グレースケール・レベル、絶対輝度、色設定値、等を含むことができる。前記処理素子は、オブジェクトあるいは特徴を表示するのに必要な画素の画素アドレスを、当該処理素子に関連する画素の画素アドレスと比較して、これらの画素アドレスが一致する画素について、これらの画素を前記指定された表示設定値で駆動する。換言すれば、前記処理素子は、各画素が表示する必要がある内容を定める。この方法は、共通入力をディスプレイ全体に並列的に供給することを可能にして、潜在的に、必要な入力データレートを大幅に低減する。あるいはまた、ディスプレイを2つ以上の処理素子の群（即ち各群に関連する画素）に分割して、各群に独自の共通入力を供給することができる。

10

20

【0013】

画素アドレスについての好適なオプションは、画素のアレイの行及び列で表わした画素の座標位置で画素アドレスを規定することであり、即ち画素の座標位置を例えば（x，y）座標で表わす。上記のように画素を識別すると、表示すべきオブジェクトあるいは特徴の指定は、種々の画素の座標位置の形式にすることが有利になり得る。前記処理素子は、これらの座標を、表示すべき形状及びこれらの形状を表示する位置に変換する規則を用いて、これらの座標位置を分析することができる。他の可能性は、例えばアスキー（ASCII）文字のような所定形状、及びこれらの文字をディスプレイ上に表示する位置を指示

30

【0014】

本発明の上述した要点及び他の要点は、以下に説明する実施例より明らかになる。

【実施例1】

【0015】

【特許文献1】米国特許US 5,130,829 以下、本発明の実施例について図面を参照して説明する。図1に、互いに逆側にある2枚のガラス板（ガラスプレート）2、4を具えた液晶表示デバイス1を図式的に示す（一定寸法比ではない）。ガラス板2は、その内側の表面上にアクティブマトリクス層6を有し、これについては以下でより詳細に説明し、そしてアクティブマトリクス層6上に液晶配向層8を堆積させる。反対側のガラス板4は、その内側の表面上に共通電極10を有し、そして共通電極10上に液晶配向層12を堆積させる。2枚のガラス板2、4のそれぞれの液晶配向層8、12の間に、液晶層14を配置する。液晶表示デバイス1の構造及び配向は、以下に、本実施例の画素駆動方法に関連付けて説明するアクティブマトリクスの詳細事項以外は、米国特許US 5,130,829に開示された液晶表示デバイスと同様であり、この米国特許は参考文献として本明細書に含める。さらに、本実施例では、液晶デバイス1はモノクロ（白黒）表示デバイスである。

40

【0016】

本実施例をわかりやすくするために、図2に、アクティブマトリクス層6の一部を詳細に示す（一定寸法比ではない）。アクティブマトリクス層6は、画素のアレイで構成される。通常、こうしたアレイは何千もの画素を含むが、本実施例では簡単のため、画素のア

50

レイのうち、図2に示す4×4画素のサンプル部分の画素21～36について説明する。

【0017】

あらゆる表示デバイスにおいて、画素の厳密な特性はデバイスの種類に依存する。本実施例では、各画素21～36は、アクティブマトリクス層6の当該画素に係るすべての要素を具えているものと考えべきであり、即ち、各画素は慣例のように、特に、薄膜フィルムトランジスタ及び画素電極を具えている。しかし一部の表示デバイスでは、画素毎に2つ以上の薄膜フィルムトランジスタが存在し得る。また、本発明の一部の実施例では、以下に説明する処理素子が薄膜フィルムトランジスタの機能を代わりに実行する場合には、薄膜フィルムトランジスタを省略することができる。

【0018】

また、アクティブマトリクス層6の一部として、処理素子41～48のアレイを図2に示す。各処理素子41～48は、図2に点線で表わす接続線によって、(列方向に)隣接する2つの画素の各々に結合する。処理素子41～48に入力データを送達するために、複数の行アドレス線61、62及び列アドレス線65～68を設ける。慣例の表示デバイスでは、画素行毎に1本の行アドレス線を設けて、そして画素列毎に1本の列アドレス線を設けて、各画素が1本の行アドレス線及び1本の列アドレス線に接続されるようにする。しかし、アクティブマトリクス層6では、図2に示すように、処理素子41～48の行毎に1本の行アドレス線61、62を設け、そして処理素子41～48の列毎に1本の列アドレス線65～68を設けて、(各画素21～36ではなく)各処理素子41～48が、1本の行アドレス線及び1本の列アドレス線に接続されるようにする。

【0019】

動作中には、各処理素子41～48入力データを受信して、各処理素子はこれらの入力データから、当該処理素子に結合した2つの画素の各々を駆動すべきレベルを定めて、これについては以下でより詳細に説明する。結果的に、外部データ源から表示デバイス1にデータを供給しなければならないデータレート(データ転送速度)が半分になって、必要な行アドレス線の本数も同様に半分になる。

【0020】

ここで例として、処理装置41の機能及び動作について説明するが、以下の説明は処理素子41～48の各々に当てはまる。図3に、処理素子41の機能モジュールを図式的に表わしたブロック図を示す。処理素子41は入力モジュール51を具えて、入力モジュール51は、行アドレス線61上の信号と列アドレス線65上の信号の組合わせによって供給されるデータを受信する。処理素子41はさらに、プロセッサ52を具えている。動作中には、プロセッサ52が、処理素子41に結合した2つの画素、即ち画素21及び22の各々を駆動すべきレベルを定める。処理素子41は画素ドライバ(駆動装置)53も具えて、画素ドライバ53は動作中に、前記定めた駆動信号を画素21及び22に対して出力する。

【0021】

図4は、本実施例において処理素子41が実行する処理ステップを示すフローチャートである。ステップs2では、処理素子41の入力51が、表示デバイス1に結合した表示ドライバから入力表示データを受信する。この入力表示データは、処理素子41そのものの表示設定値である(本実施例のモノクロディスプレイでは、グレースケールの設定値のみから成る)。これに加えて、この入力表示データは、処理素子41に列方向に隣接する処理素子、即ち処理素子42用の表示設定値を含む。この入力表示データは、処理素子41に関連する画素21、22に共に関係するものであり、処理素子41はこのデータを用いて、これらの各画素に供給すべき表示設定値を定める。

【0022】

ステップs4では、処理素子41のプロセッサ52が、処理素子41そのものについての値と、隣接する処理素子42についての値との間を補間することによって、画素21、22についての個別の表示設定値を決定する。この補間プロセスには、適切な補間プロセスのいずれをも用いることができる。本実施例では、処理素子41に隣接する画素、即ち

10

20

30

40

50

画素 2 1 用に定めた駆動レベルは、処理素子 4 1 用の設定値に等しいグレースケール・レベル、即ち輝度レベルであり、他の画素、即ち画素 2 2 用に補間した駆動レベルは、処理素子 4 1 用の設定値と、隣接する処理素子 4 2 用の設定値との平均値に等しい値である。

【 0 0 2 3 】

ステップ s 6 では、処理素子 4 1 が、画素ドライバ 5 3 によって画素 2 1 及び 2 2 を、ステップ s 4 中に定めた設定値で駆動する。

【 0 0 2 4 】

本実施例では、2つの画素を、入力データの1つの項目に応じた個別の設定値で駆動する。従って、表示される画像は、圧縮した入力データから表示した非圧縮画像として考えることができる。この入力データは、表示デバイス1の画素数よりも少ない画素の形式とすることができ、この場合には、上述したプロセスは、画像を、「より少数画素のフォーマット」から「より多数画素のフォーマット」（即ち、より高解像度）に伸張するプロセスと考えることができ、例えばビデオ・グラフィックス・アレイ（VGA）解像度の画像を、エクステンデッド・グラフィックス・アレイ（XGA）解像度のディスプレイ上に表示するようなものである。

【 0 0 2 5 】

他の可能性は、表示デバイス1上に存在する画素数と同数相当のデータが元々存在して、データレートあるいは帯域が限定されたリンク上で表示デバイス1に伝送する前に、このデータを圧縮する場合である。この場合には、このデータを、表示デバイス1が圧縮データを伸張するために用いる補間アルゴリズムに整合する形式に圧縮する。

【実施例 2】

【 0 0 2 6 】

上述した構成は比較的簡単であり、ここでは、一方向のみの補間を実行する。より巧みな構成は、より大幅なデータレートの節約をもたらす。図5に、1つの実施例を図式的に示し（一定寸法比ではない）、図5は、他の画素及び処理素子のアレイを示す。本実施例では、処理素子71～79を、図に示すような行及び列のアレイに配置する。各処理素子は、図に示すように、処理素子の周囲に対称に配置した4つの画素[71a～d]～[79a～d]に線（図示せず）で結合する。これに加えて、隣接する処理素子間に専用の接続線（図示せず）を設け、これについては以下で詳細に説明する。

【 0 0 2 7 】

本実施例では、各処理素子71～79が受信した入力表示データは、処理素子71～79のうちの特定の処理素子用の設定値（またはレベル）のみから成る。各処理素子71～79は別個に、上述した専用接続線上で隣接する処理素子と直接通信することによって、隣接する処理素子のそれぞれの設定値を取得する。

【 0 0 2 8 】

ここでも、種々の補間アルゴリズムを採用することができる。1つの可能なアルゴリズムは次の通りである。

【 0 0 2 9 】

処理素子75、76、79、及び78が受信したデータの設定値に、それぞれW、X、Y、及びZのラベルを付けるものとすれば、次の画素用に補間した表示値は次式の通りである。

$$\text{画素 7 5 c} = (6W + X + Z) / 8$$

$$\text{画素 7 6 d} = (6X + W + Y) / 8$$

$$\text{画素 7 9 a} = (6Y + X + Z) / 8$$

$$\text{画素 7 8 b} = (6Z + W + Y) / 8$$

【 0 0 3 0 】

これらの式は、重み付けした補間をもたらす、ここでは所定の画素を、主にこの画素に関連する処理素子の設定値によって決まるレベルで駆動するが、この駆動レベルは、各行方向、及び各列方向において、この処理素子に最寄の処理素子の設定値をある程度考慮に入れるべく調整する。アルゴリズム全体は、上記の原理、及び処理素子のアレイ全体に適

10

20

30

40

50

用する重み係数で構成する。

【 0 0 3 1 】

このアルゴリズムは、アレイの端部の画素に適応すべく調整する。アレイの図 5 に示す部分が、アレイ全体の右下隅の部分であり、処理素子 7 3、7 6、7 9、7 8 及び 7 7 がすべてアレイの端部にある場合には、次の画素用に補間した表示値は次式のようなになる。

$$\text{画素 7 6 } c = (3 X + Y) / 4$$

$$\text{画素 7 9 } b = (3 Y + X) / 4$$

$$\text{画素 7 9 } c = Y、$$

等である。

【 0 0 3 2 】

【特許文献 2】米国特許 US 5,545,291

【非特許文献 1】R.G. Stewart 著：“Flexible Displays with Fully Integrated Electronics”, Conference Record of the 20th IDRC, 2000年9月, ISSN 1083-1312 ここで、以上の実施例の処理素子 4 1 ~ 4 8、及び 7 1 ~ 7 6 についてさらに詳細に説明する。これらの処理素子は小規模な電子回路であり、p - Si 技術を含む適切な多層 / 半導体の製造技術形態のいずれをも用いて用意することができる。同様に、適切な、あるいは好都合な、プロセッサ部分の層の構成及び幾何学的レイアウト（配置）のいずれをも用いることができ、特に、表示デバイスの他の（慣例の）構成部品の製造に用いられるいずれの材料及び層を考慮に入れることができる。しかし、以上の実施例では、前記処理素子を、“NanoBlock (TM) IC and Fluidic Self Assembly” (F S A) として知られているプロセスによって提供される CMOS トランジスタから形成し、このプロセスは、米国特許 US 5,545,291、及び R.G. Stewart 著：“Flexible Displays with Fully Integrated Electronics”, Conference Record of the 20th IDRC, 2000年9月, ISSN 1083-1312 の 415 ~ 418 ページに記載されており、両文献とも参考文献として本明細書に含める。この方法は特に、通常の表示画素と同規模の非常に小さい構成要素の生産に適しているので、有利である。

【 0 0 3 3 】

例として、図 6 に、図 5 のアレイの処理素子 7 5 及びこれに関連する画素 7 5 a ~ 7 5 d に適したレイアウトを示す（一定寸法比ではない）。処理素子 7 5、及び画素 7 5 a ~ 7 5 d の薄膜フィルムトランジスタは、上述した F S A プロセスによって形成する。（あるいはまた、処理素子が薄膜フィルムトランジスタに相当する機能を提供する場合には、薄膜フィルムトランジスタを省略することができる。）画素 7 5 a ~ 7 5 d の表示形状は、これらの画素の画素電極の形状によって規定される。処理素子 7 5 とそれぞれの画素 7 5 a ~ 7 5 d との間に、画素接触子 8 1 ~ 8 4 を設ける。

【 0 0 3 4 】

図 5 のアレイにおいて、処理素子 7 5 から、これに隣接する各処理素子へのデータ線対を設け、即ち、データ線 9 1 及び 9 2 を処理素子 7 2 に接続して、データ線 9 3 及び 9 4 を処理素子 7 6 に接続して、データ線 9 5 及び 9 6 を処理素子 7 8 に接続して、データ線 9 5 及び 9 6 を処理素子 7 8 に接続して、データ線 9 7 及び 9 8 を処理素子 7 4 に接続する。前述したように、これらのデータ線は、処理素子が隣接する処理素子との通信を行って、これらの隣接する処理素子の入力表示設定値を定めることを可能にする。本実施例では、データ線 9 1 ~ 9 8（及びこれらに対応する、他の処理素子のデータ線）が各処理素子を効果的に包囲し、従って、こうした処理素子のアレイ用の列及び行アドレス線（図示せず）を、アクティブマトリクス層 6 の薄膜フィルムの多層構造の異なる層に設けることができる。図 2 に示す実施例の場合には、各処理素子に、隣接する処理素子についてのデータ設定値を直接供給するので、データ線 9 1 ~ 9 8 に相当するデータ線は採用せず、従って、行及び列アドレス線（図 2 に実線で表わす）、及び処理素子と画素との接続線（図 2 に点線で表わす）は、所望すれば、あるいはその方が好都合であれば、同一の薄膜フィルム層から形成することができる。

【 0 0 3 5 】

以上の実施例では、処理素子が不透明であり、従って、透過型デバイスにおける表示領

10

20

30

40

50

域としては利用不可能である。従って、図4及び図5に示す構成は、透過型表示デバイスに特に適した例である、というのは、例えば、画素75a～75dの形状及びレイアウトが、不透明な処理素子75の周囲の利用可能な表示領域を有効に使用しているからである。

【0036】

反射型表示デバイスの場合には、さらなる可能性は、画素を、処理素子の真上に設けることであり、例えば図6の構成の場合には、処理素子75の領域上にさらなる画素を設けることができる。こうした場合には、補間アルゴリズムを適応させる1つの好都合な方法は、処理素子の上にある画素を、この処理素子の設定値に等しく設定することである。

【0037】

以上の実施例では、表示デバイス1がモノクロディスプレイであり、即ち、個々の画素の設定値に必要な変数は、オン/オフか、あるいはグレースケール・ディスプレイの場合には、グレースケールレベルまたは輝度レベルかのいずれかである。しかし、表示デバイスの他の実施例はカラーディスプレイとすることができ、この場合には、個々の画素の表示設定値は、表示すべき色の指定も含む。

【0038】

補間アルゴリズムは、何らかの適切な方法で、色を変数として取り込むべく適応させることができる。1つの簡単な可能性は、所定の処理素子に関連するすべての画素を、この処理素子の表示設定値に指定された色で駆動することである。例えば、図2に示す構成の場合には、画素21及び22を共に処理素子41用の入力データに指定された色で駆動する。このアルゴリズムの利点は、実現が簡単であるということである。欠点は、画素22は、画素21と画素23の輝度を「混合」したものになるが、このことが、表示画像の色特性には当てはまらない、ということである。

【0039】

より複雑なアルゴリズムは、色の「混合」も提供することができる。1つの可能性は、色チャート上の座標によって色を指定する際に、処理素子41及び42に対して指定されたそれぞれの色座標を、(図2の構成の)画素22に適用することである。図5の構成について上述した例のような重み付け補間アルゴリズムの場合には、こうした色座標に対しても、重み付け補間アルゴリズムを適用することができる。

【0040】

さらに他の可能性は、補間の色設定値を定める目的で、処理素子毎に、ルックアップ・テーブル(早見表)を記憶してこれを使用することである。例えば、再び図2の構成を参照して説明すれば、処理素子41が、画素22を駆動する色を、処理素子41用に指定した色と処理素子42用に指定した色とを組合わせた関数として指定するルックアップテーブルを有する。

【0041】

上述した実施例より、当業者が利用可能な設計のオプションが多数存在することは明らかであり、例えば次のようなものである。

(i) 処理素子の製造プロセス

(ii) 各処理素子に関連する画素の数及び幾何学的配置

(iii) 処理素子上に画素を配置するか否か

(iv) 処理素子が、(補間プロセスに必要な)隣接する処理素子のデータ設定値の知識を取得する方法

(v) 輝度及び/または色に関する補間アルゴリズムの形態

【0042】

なお重要なこととして、以上の実施例に含まれる設計オプションから選択した、これらの特定の設計オプションは好適なものに過ぎず、他の実施例では、各設計オプションのうち整合するものを任意に組み合わせた他の選択も実行可能である。

【0043】

上述した実施例は「補間」の実施例と言える、というのは、これらすべての実施例にお

10

20

30

40

50

いて、特定の画素表示設定値を定めるために補間が関係しているからである。ここで、「位置」の実施例と称するのにふさわしい、さらなる範囲の実施例について説明する。

【0044】

まとめて言えば、各処理素子が1つ以上の特定画素に関連する。各処理素子は、処理素子または画素のアレイ内の、この処理素子の位置、あるいはこの処理素子に関連する画素の位置がわかっている。ここでも、上述した実施例のように、処理素子を、入力データを分析して個々の画素の設定値を定めるために用いる。しかし、位置の実施例では、入力表示データは、すべての（あるいは少なくとも複数の）処理素子に適用可能な一般化した形式である。これらの処理素子は、一般化した入力データを分析して、この一般化した入力データに含まれる画像情報の表示を行うために、当該処理素子に関連する画素を駆動する必要があるか否かを判定する。

10

【0045】

前記一般化した入力データは、多様なフォーマット、あるいは多様なフォーマットの組み合わせのいずれのものとなり得る。1つの可能性は、ディスプレイの画素を画素アレイの(x, y)座標で識別することである。長方形101を表示する際の例を図7aに図式的に示す。入力データは、この長方形の四隅の位置を指定した4組の画素アレイの(x, y)座標、(表示デバイスがグレースケールの能力を提供する場合には)この長方形の輝度設定値、及び(表示デバイスがカラー表示デバイスである場合には)この長方形の色の形式で提供される。このデータは、表示デバイスのすべての処理素子に入力される。処理素子には、指定した画素アレイの(x, y)座標を結合する方法を決定するために用いる規則を設ける。例えば、この規則は、3組の座標が与えられた際には三角形を形成すべきであり、4組の座標が与えられた際には長方形を形成すべきである、等である。あるいはまた、入力データにさらなる符号を含めることができ、この符号は座標を結合すべき方法を示し、例えば所定の曲線によって結合するか、あるいは直線によって結合するかである。各処理素子は、当該素子に関連する画素の位置を、この長方形を表示するために駆動する必要がある画素の位置と比較し、これに続いて、駆動する必要があれば駆動する。

20

【0046】

入力データのフォーマットについての他の可能性は、例えば図7bに図式的に示す文字"x"102のように、所定の文字を指定することである。入力データは、画素アレイ内の文字"x"の位置(即ち、文字"x"の所定部分の位置、あるいは文字"x"の標準化した包絡線(エンベロープ))、文字"x"の大きさ、及びここでも、(表示デバイスがグレースケールの能力を提供する場合には)輝度設定値、及び(表示デバイスがカラー表示デバイスである場合には)長方形の色を指定する一組の座標の形式で供給する。

30

【0047】

処理素子において、前の2つの段落に記載した処理を実行することによって、表示デバイスを画素毎に別個のデータで外部的に駆動する必要性を解消することができる。その代わりに、共通の入力データをすべての処理素子に供給して、データ入力プロセスを大幅に簡略化して、必要な帯域幅を大幅に低減することができる。

【0048】

図8に、特定の、位置の実施例のアクティブマトリクス層6の画素アレイの、4x4画素の部分121~136を図式的に示し(一定寸法比ではない)、これについて以下に説明する。本実施例の液晶デバイスの詳細は、特に断わりのない限り、前述の補間の実施例に関して説明した液晶ディスプレイ1と同様である。ここでも、処理素子141~148のアレイを設ける。各処理素子141~148は、点線で表わす接続線によって2つの画素に結合されている。以上で説明したように、本実施例では、処理素子141~148の特性は、すべての処理素子に共通入力データを供給することを可能にする。図8に示すように、単一のデータ入力線161を設けて、すべての処理素子141~148に並列に接続する。

40

【0049】

ここで例として、処理素子141の機能及び動作について説明するが、以下の説明は処

50

処理素子 1 4 1 ~ 1 4 8 の各々に当てはまる。図 9 は、処理素子 1 4 1 の機能モジュールを図式的に示すブロック図である。処理素子 1 4 1 は、データ入力線 1 6 1 上に供給される入力信号を受信する入力モジュール 1 5 1 を具えている。処理素子 1 4 1 は位置メモリ 1 5 8 も具え、位置メモリ 1 5 8 は、画素 1 2 1 及び 1 2 2 の (x , y) 座標を識別する位置データを記憶する。(あるいはまた、位置データは、処理素子 1 4 1 そのもののアレイ内の位置を識別して、画素 1 2 1 及び 1 2 2 の (x , y) 座標の特定を可能にするものとしてすることができる。) 処理素子 1 4 1 はさらにプロセッサ 1 5 2 を具えて、プロセッサ 1 5 2 は比較器 (コンパレータ) 1 5 5 を具えている。動作中には、プロセッサ 1 5 2 は、上述した、処理素子 1 4 1 に結合した 2 つの画素、即ち画素 1 2 1 及び 1 2 2 の各々を駆動するレベルの決定を実行する。処理素子 1 4 1 は、画素ドライバ (駆動装置) 1 5 3 も具えている。

10

【 0 0 5 0 】

本実施例において、処理素子 1 4 1 が実行する処理ステップは、前述した実施例について図 4 のフローチャートに概要を示したものに相当する。図 4 に示すように、ステップ 2 では、処理素子 1 4 1 の入力 1 5 1 が、表示デバイス 1 に結合した表示ドライバから表示データを受信する。本実施例では、入力表示データは、表示すべき 1 つ以上の画像オブジェクト (対象物) を指定するデータから成る。画像オブジェクトは、(x , y) 座標、及び図 7 a 及び図 7 b を参照して上記説明した他のパラメータで指定する。大きい画像、あるいは複雑な画像を指定するために、例えば、要求される形状を構成する複数のポリゴン (多角形) で画像を指定することができる。あるいはまた、あるいはこれに加えて、アスキー (A S C I I) 文字のような文字セットを位置ベクトルと共に指定することができる。実際に、例えばコンピュータ・グラフィックス / ビデオカードで使用するような、画像を規定する慣例の適切な方法のいずれも用いることができる。従って、この入力表示データは、画像オブジェクトを表示するのに必要な複数の画素に関する。

20

【 0 0 5 1 】

ステップ 4 では、処理素子 1 4 1 のプロセッサ 1 5 2 が、受信した画像の指定に従って、比較器 1 5 5 を用いて、駆動する必要がある画素の座標を、画素 1 2 1 及び 1 2 2 の画素座標と比較することによって、画素 1 2 1 及び 1 2 2 用の個別の表示設定値を定める。

【 0 0 5 2 】

ステップ 6 では、処理素子 1 4 1 が、上記比較プロセスの結果から必要に応じて、画素 1 2 1 及び / または画素 1 2 2 を、画素表示設定値で駆動し、即ち、入力画像データに指定された輝度及び / または色のレベルで駆動する。

30

【 0 0 5 3 】

本実施例の入力データは圧縮したデータを表現する、というのは、非常に多数の画素をカバーする画像オブジェクトを、簡単に、各画素の設定値を個別に指定する必要なしに規定することができるからである。結果として、例えば 1024 x 768 画素の表示デバイスについては、100MHz のデータレートの代わりに、2,3kHz という低いデータレートを適用することができる。

【 0 0 5 4 】

本実施例では、すべての処理素子 1 4 1 ~ 1 4 8 を並列に、単一のデータ入力線 1 6 1 に接続する。しかし、多数の代案が可能である。図 1 0 に、処理素子 1 4 1 ~ 1 4 8 の接続構成の代案を図式的に示す (この図では、明確にするために、画素を省略している)。ここでも単一のデータ線 1 6 1 を設けるが、ここではこの接続線は、処理素子 1 4 1 ~ 1 4 8 を、直列接続された 2 つの連鎖に分割して、(各直列連鎖の端部にある処理素子以外の) 各処理素子が、前述した入力接続に加えて出力接続を有する。このことは、各処理素子 1 4 1 ~ 1 4 8 内に情報を一時蓄積 (バッファ) することを可能にして、大面積のディスプレイにおいて、バッファなしで長い線でデータを伝送することに比べて、信号の劣化を低減する可能性をもたらす。

40

【 0 0 5 5 】

図 1 1 に、処理素子 1 4 1 ~ 1 4 8 への接続線の他の代案の構成を図式的に示す。この

50

構成では、画素アレイ全体についての入力画像データは最初に、単一のデータ入力線 1 6 1 に供給されるが、次にプリプロセッサ 1 7 0 に入力される。このプリプロセッサは独立した 2 つの出力を有し、一方を 1 列目の処理素子 1 4 1、1 4 3、1 4 5、1 4 7 に接続し、他方を 2 列目の処理素子 1 4 2、1 4 4、1 4 6、1 4 8 に接続する。プリプロセッサ 1 7 0 は入力データを分析して、処理素子の各列に関連する画素アレイの領域内に表示すべきオブジェクトを指定した入力データのみを、処理素子の当該列に転送する。より複雑な、あるいはより大型の他のアレイでは、プリプロセッサからの出力の数を必要に応じて選択する。他の可能性は、供給される入力データが、画素アレイの異なる領域に応じて既に分割されており、この場合には、これら別個の入力を、対応する各処理素子群に直接供給する。

10

【 0 0 5 6 】

図 1 2 に、処理素子 1 4 1 ~ 1 4 8 への接続線の他の代案の構成を図式的に示す。この構成では、入力画像データを 2 つの構成部分にして供給する。第 1 部分は表示設定値（例えば輝度及び / または色）を指定する。このデータは、各処理素子 1 4 1 ~ 1 4 8 に並列に接続した表示設定値入力線 1 8 0 経由で処理素子に入力される。入力データの第 2 部分は、前記表示設定値の表示を行うべき画素を指定する位置データである。この位置データは、位置入力線 1 8 2 経由で処理素子に入力し、位置入力線 1 8 2 も、各処理素子 1 4 1 ~ 1 4 8 に並列に接続されている。この接続構成については、各処理素子の機能モジュールの構成は、プロセッサ 1 5 2 が比較器 1 5 5 を具えておらず、また位置メモリ 1 5 8 を次のように変更すること以外は、図 9 を参照して前述した構成と同様である。位置メモリ 1 5 8 を位置処理モジュールで置き換えて、位置処理モジュールは関連する画素の位置を記憶するだけでなく、図 1 2 に示す位置入力線 1 8 2 用の入力としても作用する。位置処理モジュールはさらに、表示を行う必要のある画素の位置と、処理素子に関連する画素の位置とを比較を実行する比較器を具えている。処理素子に関連する 1 つ以上の画素が、画像の画素位置に相当する場合には、関係する画素の識別子をプロセッサ 1 5 2 に転送して、プロセッサ 1 5 2 は基本入力 1 5 1 で受信したデータ設定値を付け加えて、これを画素ドライバ 1 5 3 に転送し、画素ドライバ 1 5 3 は関係する画素を駆動する。

20

【 0 0 5 7 】

上述した位置の実施例では、画素の位置を (x , y) 座標で指定する。しかし個々の画素は、他の代わりに方式を用いて、指定あるいは識別することができる。例えば、各画素は単に一意の番号あるいは他の符号によって識別することができ、すなわち描く画素が一意の画素アドレスを有する。この画素アドレスは、画素の位置に従って割り当てる必要はない。そして入力データは、表示に必要な画素の画素アドレスを指定する。画素アドレスを画素の位置に関連付けて、数値的な順序に体系的に割り当てる場合には、表示を行うべき連続的な画素の組の終端の画素を単に指定することによって、入力データを、圧縮可能な際にはさらに圧縮することができる。

30

【 0 0 5 8 】

上述した位置の実施例のすべてが、比較的単純な幾何学的構成を示す。しかし、ずっと複雑な構成を採用できることは明らかである。例えば、各処理素子に関連する画素数を 3 以上にして、例えば各処理素子に 4 画素を関連付けて、図 5 及び図 6 に示す補間の実施例と同様のレイアウトに構成することができる。前述した補間の実施例の場合と同様に、反射型表示デバイスの場合には、さらなる画素を処理素子上に配置することができる。

40

【 0 0 5 9 】

他の可能性は、各処理素子に、この処理素子に関連する画素を 1 つだけ持たせることである。この場合には、反射型表示デバイスでは、各画素をそれぞれの処理素子上に配置することができる。

【 0 0 6 0 】

図 7 ~ 図 1 2 を参照して上述した特定の詳細事項以外の、位置の実施例における表示デバイス 1 の処理素子及び他の素子の、製造の詳細事項及び他の詳細事項は、図 2 ~ 図 6 を参照して上述した補間の実施例における詳細事項と同様である。

50

【 0 0 6 1 】

上述した補間の実施例及び位置の実施例のすべてが、液晶表示デバイスにおいて本発明を実現するが、これらの実施例は例示的なものに過ぎず、本発明は代替りの方法として、処理素子を画素に関連付けることが可能な表示デバイスの他のあらゆる形態で実現することができ、これらの表示デバイスは例えば、プラズマ、ポリマー発光ダイオード、有機発光ダイオード、電界放出、スイッチングミラー、電気泳動、エレクトロクロミック、及びマイクロメカニカル表示デバイスを含む。

【 図面の簡単な説明 】

【 0 0 6 2 】

【 図 1 】 液晶表示デバイスを図式的に示す図である。

10

【 図 2 】 図 1 の表示デバイスのアクティブマトリクス層の、処理素子及び画素のアレイの一部を図式的に示す図である。

【 図 3 】 処理素子の機能モジュールを図式的に示すブロック図である。

【 図 4 】 図 4 の処理素子が実行する処理ステップを示すフローチャートである。

【 図 5 】 図 1 の表示デバイスのアクティブマトリクス層の処理素子及び画素のアレイの代案の一部を図式的に示す図である。

【 図 6 】 処理素子及びこれに関連する画素のレイアウトを示す図である。（一定寸法比ではない。）

【 図 7 a 】 画素座標によって規定した、表示する長方形を示す図である。

【 図 7 b 】 画素座標によって位置を規定した、表示する所定文字を示す図である。

20

【 図 8 】 図 1 の表示デバイスのアクティブマトリクス層の処理素子及び画素のアレイの他の代案の一部を図式的に示す図である。

【 図 9 】 他の処理素子の機能モジュールを図式的に示す図である。

【 図 1 0 】 処理素子の接続構成を図式的に示す図である。

【 図 1 1 】 処理素子の接続構成の代案を示す図である。

【 図 1 2 】 処理素子の接続構成の他の代案を示す図である。

【 符号の説明 】

【 0 0 6 3 】

- 1 液晶表示デバイス
- 2 ガラス板
- 4 ガラス板
- 6 アクティブマトリクス層
- 8 液晶配向層
- 1 0 共通電極
- 1 2 液晶配向層
- 1 4 液晶層
- 2 1 ~ 3 6 画素
- 4 1 ~ 4 8 処理素子
- 5 1 入力モジュール
- 5 2 プロセッサ
- 5 3 画素ドライバ
- 6 1、6 2 行アドレス線
- 6 5 ~ 6 8 列アドレス線
- 7 1 ~ 7 9 処理素子
- 8 1 ~ 8 4 画素接触子
- 9 1 ~ 9 8 データ線
- 1 0 1 長方形
- 1 0 2 文字 " x "
- 1 2 1 ~ 1 3 6 画素
- 1 4 1 ~ 1 4 8 処理素子

30

40

50

- 1 5 1 入力モジュール
- 1 5 2 プロセッサ
- 1 5 3 画素ドライバ
- 1 5 5 比較器
- 1 5 8 位置メモリ
- 1 6 1 接続線 (データ入力線)
- 1 7 0 プリプロセッサ
- 1 8 0 表示設定値入力線
- 1 8 2 位置入力線

【 図 1 】

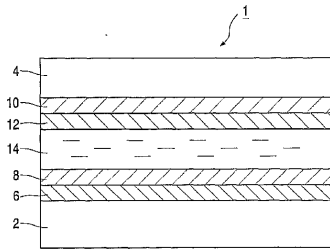


FIG. 1

【 図 3 】

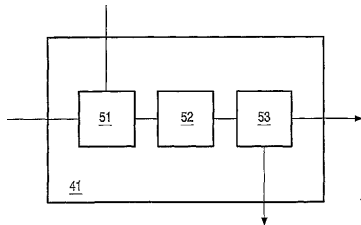


FIG. 3

【 図 2 】

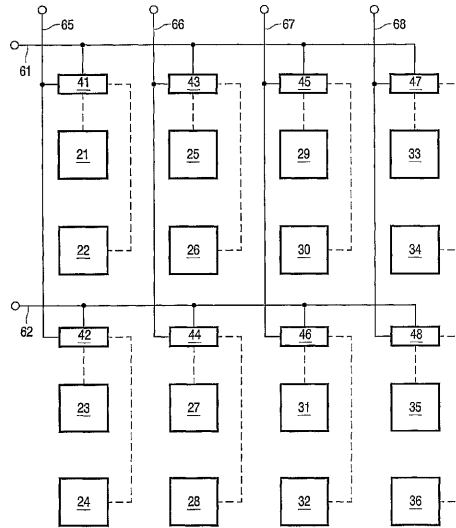


FIG. 2

【 図 4 】

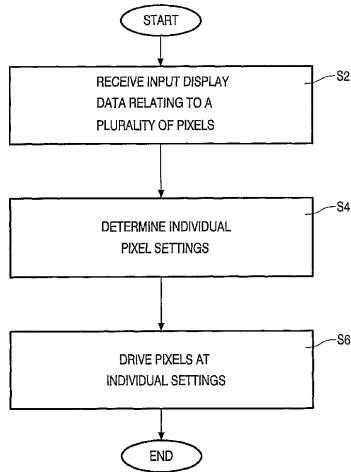


FIG. 4

【 図 5 】

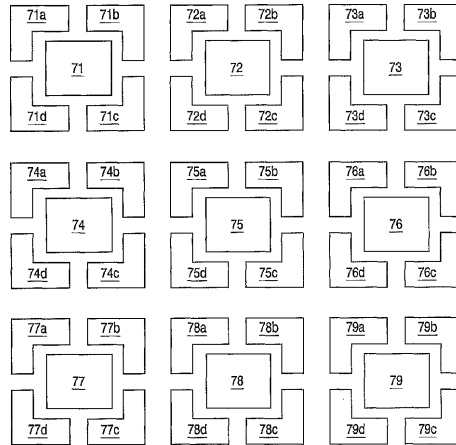


FIG. 5

【 図 6 】

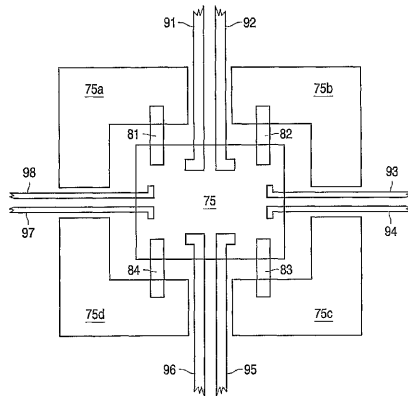


FIG. 6

【 図 7 a 】

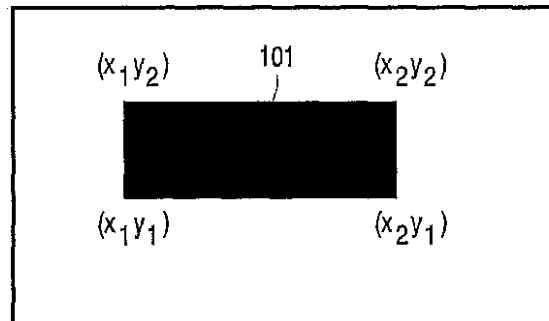


FIG. 7a

【 7 b 】

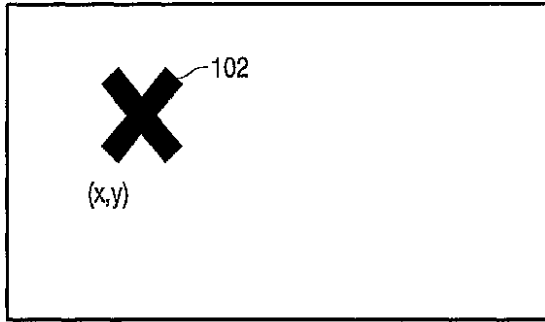


FIG. 7b

【 8 】

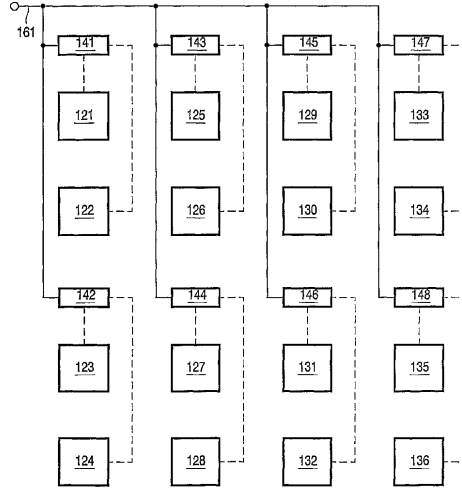


FIG. 8

【 9 】

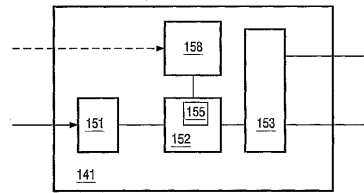


FIG. 9

【 1 0 】

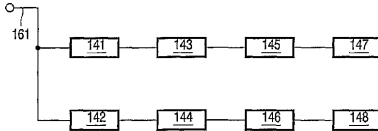


FIG. 10

【 1 1 】

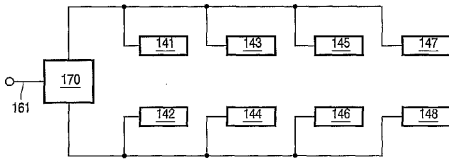


FIG. 11

【 1 2 】

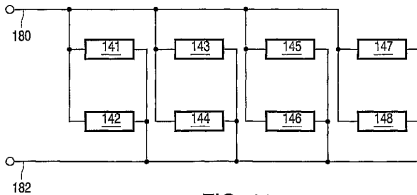


FIG. 12

フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 B
G 0 9 G 3/20 6 3 2 C
G 0 9 G 3/20 6 3 3 P
G 0 9 G 3/20 6 8 0 G
H 0 4 N 5/66 B

(72)発明者 ナイジェル ディー ヤング
オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

審査官 武田 悟

(56)参考文献 特開平 7 - 1 4 6 6 7 1 (J P , A)
特開平 1 1 - 2 9 8 8 6 2 (J P , A)
特開 2 0 0 0 - 2 7 6 1 1 2 (J P , A)
特開 2 0 0 3 - 3 0 8 5 2 8 (J P , A)
特開 2 0 0 2 - 2 1 5 1 1 4 (J P , A)

(58)調査した分野(Int.Cl. , D B名)
G09G 3/00 - 3/38
G02F 1/133
H04N 5/66

专利名称(译)	使用处理元件阵列的显示装置及其驱动方法		
公开(公告)号	JP4644772B2	公开(公告)日	2011-03-02
申请号	JP2002592103	申请日	2002-05-17
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
当前申请(专利权)人(译)	奇美电子股▲ふん▼有限公司		
[标]发明人	マーティンジェイエドワーズ イアンエムハンター マークティージョンソン ナイジェルディーヤング		
发明人	マーティン ジェイ エドワーズ イアン エム ハンター マーク ティー ジョンソン ナイジェル ディー ヤング		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H04N5/66		
CPC分类号	G09G3/20 G09G3/2003 G09G3/2085 G09G3/2088 G09G3/36 G09G2300/0426 G09G2300/08 G09G2340/02 G09G2340/0407		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.612.R G09G3/20.621.M G09G3/20.624.B G09G3/20.632.C G09G3/20.633.P G09G3/20.680.G H04N5/66.B		
代理人(译)	杉村健二		
审查员(译)	武田 悟		
优先权	2001012395 2001-05-22 GB		
其他公开文献	JP2004533011A		
外部链接	Espacenet		

摘要(译)

一种显示装置，以避免需要提供的显示数据，包括针对每个像素单独的显示设置值（例如，视频），例如，显示设备，诸如液晶显示装置（1），及其驱动方法提供。解的显示装置包括像素阵列（21~36,71a~79D, 121~136），并且包括处理元件的阵列（41~48,71~79,141~148），每个处理元件与每个像素或像素组相关联。处理元件（41至48,71至79,141至148）执行以像素级压缩的输入显示数据的处理。处理元件（41-48,71-79,141-148）解压缩这些输入数据并为每个相关像素定义各个像素设置值。然后，处理元件（41~48,71~79,141~148）驱动像素（21~36,71a~79D, 121~136）的单独的设定点。处理元件可以从分配给该处理元件的输入数据和一个或多个相邻处理元件内插像素设置。可替代地，处理元件，具有与处理元件相关联的像素的位置的知识，使用该信息，响应于在其上接收多个处理元件的公共输入数据，与处理元件相关联的可以确定是否需要驱动一个或多个像素。

The

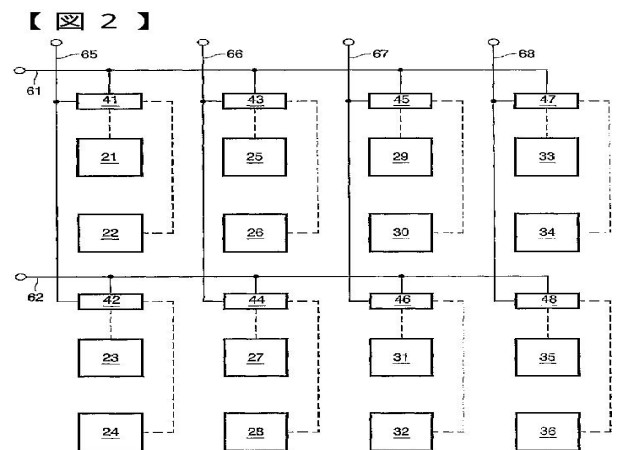


FIG. 2