

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4419917号
(P4419917)

(45) 発行日 平成22年2月24日 (2010. 2. 24)

(24) 登録日 平成21年12月11日 (2009. 12. 11)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 623F

G09G 3/20 641P

G09G 3/20 650M

G09G 3/20 611E

請求項の数 9 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2005-176375 (P2005-176375)
 (22) 出願日 平成17年6月16日 (2005. 6. 16)
 (65) 公開番号 特開2006-350009 (P2006-350009A)
 (43) 公開日 平成18年12月28日 (2006. 12. 28)
 審査請求日 平成18年6月27日 (2006. 6. 27)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100122884
 弁理士 角田 芳末
 (74) 代理人 100133824
 弁理士 伊藤 仁恭
 (72) 発明者 富田 英夫
 東京都品川区北品川6丁目7番35号ソニー株式会社内
 審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 表示装置、液晶表示装置、データ処理方法及びプログラム

(57) 【特許請求の範囲】

【請求項 1】

画素データを処理するデジタル信号処理回路と、信号処理後の画素データを表示デバイス駆動用のアナログ信号に変換するデジタル／アナログ変換回路とを有する表示装置であって、

前記デジタル／アナログ変換回路の前段位置に、

1画面につき1値の誤差データを、垂直同期信号に同期したタイミングで対応する画面の全画素データに加算する誤差データ加算回路

を有することを特徴とする表示装置。

【請求項 2】

請求項 1 に記載の表示装置において、

前記誤差データは、連続する偶数個の画面毎にデータ値が切り替わり、切り替え単位毎に絶対値は同じまま符号の正負が入れ替わる

ことを特徴とする表示装置。

【請求項 3】

請求項 1 に記載の表示装置において、

前記誤差データの切り替わり周期と振幅は、フリッカによる画質の低下が許容される範囲内で決定する

ことを特徴とする表示装置。

【請求項 4】

10

20

請求項 1 に記載の表示装置において、
前記誤差データ加算回路は、
画面単位で全画素データに対して共通に加算される誤差データを記憶した記憶媒体と、
垂直同期信号に同期したタイミングで読み出しアドレスを発生するアドレス発生部と、
前記アドレスに従って読み出された誤差データに対応する画面の全画素データに加算する加算器と

を有することを特徴とする表示装置。

【請求項 5】

請求項 1 に記載の表示装置において、
前記誤差データ加算回路は、
固定の誤差データを全画素データに加算する加算器と、
前記固定の誤差データを全画素データから減算する減算器と、
前記加算器の出力と前記減算器の出力とを入力し、切り替え信号に従いそのいずれか一方を出力するデータ選択器と、

垂直同期信号に同期したタイミングを分周して、前記データ選択器に与える切り替え信号を生成する分周器と

を有することを特徴とする表示装置。

【請求項 6】

請求項 1 に記載の表示装置において、
前記誤差データは、ある期間内の積分値がゼロに設定される
ことを特徴とする表示装置。

【請求項 7】

画素データを処理するデジタル信号処理回路と、信号処理後の画素データを液晶駆動用のアナログ信号に変換するデジタル/アナログ変換回路とを有する液晶表示装置であって、

前記デジタル/アナログ変換回路の前段位置に、

偶数画面用の誤差データの総和と奇数画面用の誤差データの総和が等しくなるように規定した 1 画面につき 1 値の誤差データを、垂直同期信号に同期したタイミングで対応する画面の全画素データに加算する誤差データ加算回路

を有することを特徴とする液晶表示装置。

【請求項 8】

画素データを処理するデジタル信号処理回路と、信号処理後の画素データを表示デバイス駆動用のアナログ信号に変換するデジタル/アナログ変換回路とを有する表示装置におけるデータ処理方法であって、

前記デジタル/アナログ変換回路の前段位置で、

1 画面につき 1 値の誤差データを、垂直同期信号に同期したタイミングで対応する画面の全画素データに加算する処理

を有することを特徴とするデータ処理方法。

【請求項 9】

入力される画素データを表示デバイス駆動用のアナログ信号に変換するデジタル/アナログ変換回路の前段位置において、

1 画面につき 1 値の誤差データを、垂直同期信号に同期したタイミングで対応する画面の全画素データに加算する処理

を表示装置に搭載されるコンピュータに実行させることを特徴とするプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

発明の一つの形態は、ビット幅の大きい画素データを扱う表示装置に関する。例えば液晶表示装置、有機 E L (Electro Luminescence) 表示装置、プラズマ表示装置、F E D (電界放出ディスプレイ) 装置、D L P (Digital

10

20

30

40

50

Light Processing) 装置その他の表示装置に適用し得る。

また、発明の一つの形態は、表示装置におけるデータ処理方法に関する。

また、発明の一つの形態は、表示装置に搭載されたコンピュータで実行されるプログラムに関する。

【背景技術】

【0002】

今日、表示デバイスに要求される表示性能は、ますます高解像度化し高画質化する傾向にある。これに伴い、デジタル信号系のビット幅も拡大の一途をたどっている。

例えば以前の表示デバイスでは、RGB信号各8ビットの計24ビットがビット幅として一般的であった。

10

しかし、最近の表示デバイスでは、RGB信号各12ビットの4相駆動方式を採用するものも現れている。この例の場合、ビット幅は $12 \times 4 \times 3 = 144$ ビットにも及ぶ。

【特許文献1】特開平3-291691号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

ところがビット幅が増加すると、デジタル信号系で発生するデジタルノイズも増加する。このデジタルノイズは、図1に示すように、D/A変換器や表示パネルといったアナログ信号系に飛び込み、原画像の忠実な再現を妨害する原因となる。

図2に、妨害例を示す。図2(A1)及び(B1)は、画面全体の階調値がほぼフラットな画像信号を表示デバイスに与える場合の表示例である。

20

【0004】

ここでは、図2(A2)及び(B2)に示すように、画面中央付近で画面の左側と右側とでデジタルデータが1LSBだけ変化する画像信号を考える。

デジタルデータの変化はわずかに1LSBであるので、画面上に図2(A1)に示すような帯状の妨害パターンは発生しないはずである。

【0005】

しかし、図2(A2)のデジタルデータ例では、デジタルデータが「9FFh」から「A00h」に変化する際に、12ビット中10ビットの変化を必要とする。従って、図2(A1)に示す帯状の妨害パターンは、このビット変化がノイズとしてアナログ信号系に飛び込んだためと考えられる。

30

【0006】

なお、図2(B2)のデジタルデータ例のように、デジタルデータが「A00h」から「A01h」に変化する際に、12ビット中1ビットしか変化しないようなデジタルデータの場合には、妨害パターンは発生しない。

因みに、図2(A2)に示すデジタルデータと図2(B2)に示すデジタルデータとの違いは1LSBである。このように、階調値はほぼ同じでも、デジタルデータ上のビット変化の多少に応じて妨害パターンが発生する場合と発生しない場合が分かれる。

【0007】

なお、ビット幅の増加を伴わずに表示品質の向上を図る技術に特許文献1がある。この技術手法は、画面全体にホワイトノイズを加減算することで疑似輪郭の発生を抑制し、表示品質を向上させる。なお、この技術手法は、ホワイトノイズを重畳するため、当然ながら表示画像のSN比は劣化する。

40

【課題を解決するための手段】

【0008】

発明者は以上の技術課題に着目し、以下の処理機能を有する表示装置を提案する。

なお、表示装置は、画素データを処理するデジタル信号処理回路と、信号処理後の画素データを表示デバイス駆動用のアナログ信号に変換するデジタル/アナログ変換回路とを有するものとする。

この場合に、デジタル/アナログ変換回路の前段位置に、1画面につき1値の誤差デ

50

ータを、垂直同期信号に同期したタイミングで対応する画面の全画素データに加算する誤差データ加算回路を配置する。

【発明の効果】

【0009】

この発明では、垂直同期信号に同期したタイミングで画面の全体に同一量の誤差データを加算する。誤差データの加算により、ビット幅が大きい場合でも、階調変化が比較的フラットな画像部分でのビット変化を小さくできる又は発生頻度を低下できる。

結果的に、ビット変化に伴うノイズによる妨害の発生を無くすることができる又は妨害頻度を低下することができる。

【0010】

10

なお、この発明では、画面全体で同一量の誤差データが加算されるため、ホワイトノイズを重畳する場合のようなS/N比の劣化は発生しない。もっとも、誤差データの重畳にともなう画面間での階調変化によってフリッカが生じるが、人間の視覚特性はフリッカに対して感度が低い。このため、ビット数幅の増加にともなう画質の向上効果を最大限まで発揮できる。

【発明を実施するための最良の形態】

【0011】

以下、発明に係る技術を搭載した液晶表示装置について形態例を説明する。

なお、本明細書で特に図示又は記載されない部分には、当該技術分野の周知又は公知技術を適用する。

20

また以下に説明する形態例は、発明の一つの形態例であって、これらに限定されるものではない。

【0012】

(A) 液晶表示装置への適用例

(a) 全体構成

図3に、液晶表示装置1の構成例を示す。この液晶表示装置は、直視型にもプロジェクタ型にも適用できる。

液晶表示装置1は、デジタル信号処理部3、誤差データ加算回路5、D/A変換回路7、LCDパネル9で構成される。

デジタル信号処理部3、D/A変換回路7、LCDパネル9には、既存の構成を採用する。

30

【0013】

このうち、デジタル信号処理部3は、入力信号を出力信号に適した形式に変換するデータ変換処理、ガンマ変換処理、コントラスト処理その他の前処理を実行する処理デバイスである。

この例の場合、デジタル信号処理部3は、8ビット以上のビット幅を有するデジタルデータを誤差データ加算回路5に出力する。

【0014】

D/A変換回路7は、誤差データを加算した画素データをアナログ信号に変換する処理デバイスである。

40

LCDパネル9は、ガラス基板上に形成した透明導電膜(画素電極)の上層に、配向膜、液晶、配向膜、透明導電膜(対向電極)、ガラス基板を順番に積層した構造の液晶シャッターと、その駆動回路と、光源とで構成される。

ダイナミック駆動方式の場合、駆動回路は、データ線駆動回路とゲート線駆動回路で構成する。これらは、ガラス基板上に半導体プロセスを用いて形成しても良いし、半導体集積回路基板上に形成しても良い。また、光源は、バックライト方式でもフロントライン方式でも良い。

【0015】

(b) 誤差データ加算回路の構成

誤差データ加算回路5は、1画面につき1値の誤差データを、垂直同期信号Vsyncに同

50

期したタイミングで対応する画面の全画素データに加算する処理デバイスである。

この形態例の場合、出力デバイスとしてLCDパネル9を用いるため、更に誤差データが満たすべき条件として以下の条件を追加する。すなわち、偶数画面用の誤差データの総和と奇数画面用の誤差データの総和が等しくなることを要求する。

これは、LCDパネル9が交流反転駆動であることによる。

【0016】

偶数画面と奇数画面とで誤差データの総和が一致しないと直流成分が発生し、この直流成分に起因して液晶に劣化が生じるためである。

この形態例では、4画面を誤差データの基本周期とする。図4に、誤差データの出力例を示す。図4の場合、誤差データは、+1、+1、-1、-1の順番で画面毎に出力される。図4の場合、偶数画面用の誤差データの総和は0で与えられ、奇数画面用の誤差データの総和も0で与えられる。

10

【0017】

なお、誤差データの切り替わり単位を与える画面は、フィールドでもフレームでも良い。

図5に、誤差データ加算回路5の構成例を示す。誤差データ加算回路5は、アドレスカウンタ11、誤差データメモリ13、加算器15で構成される。

アドレスカウンタ11は、垂直同期信号Vsyncの入力のたび、カウント値を1つ更新するカウンタである。図4に示すように4画面を誤差データの基本周期とする場合、アドレスカウンタ11は、0～3の4値を巡回的に発生する。

20

【0018】

アドレスカウンタ11で発生されたアドレスは、誤差データメモリ13に対する読み出しアドレスとして使用される。このアドレスカウンタ11は、特許請求の範囲におけるアドレス発生部に対応する。

誤差データメモリ13は、0～3の4つのアドレスに誤差データ+1、+1、-1、-1を対応付けて保存する記憶媒体である。例えば、ROMで構成する。もっとも、揮発性の半導体メモリその他の媒体でも良い。磁気記憶媒体、光学式記憶媒体その他でも良い。この誤差データメモリ13は、特許請求の範囲における記憶媒体に対応する。

【0019】

加算器15は、誤差データメモリ13から読み出された1つの誤差データを、1画面を構成する全ての画素データに対して共通に加算する演算子である。

30

1画面について、誤差データは1つである。この点で、ホワイトノイズを重畳する方法とは原理的に異なっている。

また、1画面を構成する全画素について同一量の誤差データを加算する。このため、画素間の相対的な階調関係には、原画像の情報がそのまま保持される。すなわち、SN比は劣化しない。

【0020】

(c) 処理動作例

誤差データ加算回路5の搭載により、ビット幅の増加時にも、階調変化が比較的フラットな画像部分でのビット変化を小さくできる又は発生頻度を低下できることを図6を用いて説明する。

40

図6(A1)は、画面全体の階調値がほぼフラットな画像信号を表示デバイスに与えた場合の表示例である。

【0021】

ここでは、図6(A2)に示すデジタルデータが、デジタル信号処理部3から誤差データ加算回路5に与えられる場合を考える。このデジタルデータは、従来装置で帯位の妨害パターンを発生させたデジタルデータと同じである。すなわち、画面左側のデジタルデータが「9FFh」、画面右側のデジタルデータが「A00h」で与えられるデータである。

【0022】

50

図6(B1)~図6(B4)は、このデジタルデータが4画面連続して入力される場合に、各画面のデジタルデータが誤差データの加算によりどのような値に変換されるかを示す。

まず、誤差データが「+1」のとき、D/A変換回路7に入力されるデジタルデータは、画面左側が「A00h」、画面右側が「A01h」となる。このとき、左右の画面のビット変化は「1」になる。

【0023】

また、誤差データが「-1」のとき、D/A変換回路7に入力されるデジタルデータは、画面左側が「9FEh」、画面右側が「9FFh」となる。このとき、左右の画面のビット変化はやはり「1」になる。

10

すなわち、どの画面の表示時にも、画面の左側と右側との境界部分で生じるビット変化は「1」に低減されている。なお、従来装置では、元データをそのままD/A変換回路に与えるためビット変化が「10」であった。

【0024】

このように、形態例で説明した液晶表示装置では、階調変化が比較的フラットな画像部分でのビット変化によるデジタルノイズの発生が抑制され、妨害パターンが発生せずに済む。

もっとも、デジタル信号処理部3から出力されるデジタルデータによっては、ビット変化が大きくなる場合もある。しかし、この場合でも、ビット変化が大きくなるのは従来方式の半分の期間で済み、画質を改善することができる。

20

図7(A2)に、このようなビット変化が発生するデジタルデータの例を示す。

【0025】

このデジタルデータは、画面左側のデジタルデータが「9FEh」、画面右側のデジタルデータが「9FFh」で与えられるデータである。

図7(B1)~図7(B4)は、このデジタルデータが4画面連続して入力される場合に、各画面のデジタルデータが誤差データの加算によりどのような値に変換されるかを示す。

まず、誤差データが「+1」のとき、D/A変換回路7に入力されるデジタルデータは、画面左側が「9FFh」、画面右側が「A00h」となる。このとき、左右の画面のビット変化は「10」になる。この変化量は、従来装置と同じである。

30

【0026】

一方、誤差データが「-1」のとき、D/A変換回路7に入力されるデジタルデータは、画面左側が「9FDh」、画面右側が「9FEh」となる。このとき、左右の画面のビット変化は「2」になる。この変化量は、従来装置に対して大幅に小さくなっている。

結局、2画面周期で、画面の左側と右側との境界部分で生じるビット変化は「10」又は「2」に変化する。

確かに、ビット変化が大きい画面もあり、この画面ではビット変化によるデジタルノイズが発生し、妨害パターンが発生する可能性がある。

【0027】

もっとも、妨害パターンが発生しても、続く2画面では妨害パターンは発生しない。この点で、従来装置と大きく異なる。

40

また、妨害パターンの発生頻度が半減される結果、人間の視覚特性上の画質は格段に向上される。

図7(A1)は、画質の改善された画像イメージである。

【0028】

(d)効果

デジタル信号処理部3とD/A変換回路7との間に誤差データ加算回路5を挿入し、偶数画面用の誤差データの総和と奇数画面用の誤差データの総和が等しくなるように規定した1画面につき1値の誤差データを、垂直同期信号に同期したタイミングで対応する画面の全画素データに加算することにより、階調変化が比較的フラットな画像部分でのピッ

50

ト変化を小さくできる又は発生頻度を低下して画質を大幅に改善することができる。

【 0 0 2 9 】

(B) 変形例 1

前述の形態例では、誤差データを「 + 1 」、「 + 1 」、「 - 1 」、「 - 1 」の順番で画面毎に出力する場合について説明した。

しかし、誤差データの振幅はフリッカによる画質の低下が許容される範囲でより大きい値を採用することができる。

図 8 に、誤差データの振幅を「 6 」とする場合の処理動作例を示す。

【 0 0 3 0 】

図 8 は、図 7 と同じデジタルデータの処理例である。すなわち、図 8 (A 2) に示すように、画面左側のデジタルデータが「 9 F E h 」、画面右側のデジタルデータが「 9 F F h 」の場合の処理例である。

図 8 (B 1) ~ 図 8 (B 4) は、このデジタルデータが 4 画面連続して入力される場合に、各画面のデジタルデータが誤差データの加算によりどのような値に変換されるかを示す。

【 0 0 3 1 】

この例では、誤差データとして「 + 6 」又は「 - 6 」が加算される。

誤差データが「 + 6 」のとき、D / A 変換回路 7 に入力されるデジタルデータは、画面左側が「 A 0 4 h 」、画面右側が「 A 0 5 h 」となる。このとき、左右の画面のビット変化は「 1 」になる。

一方、誤差データが「 - 6 」のとき、D / A 変換回路 7 に入力されるデジタルデータは、画面左側が「 9 F 9 h 」、画面右側が「 9 F A h 」となる。このとき、左右の画面のビット変化は「 2 」になる。

【 0 0 3 2 】

この例の場合、従来装置に対して大幅に小さくなっている。結果的に、図 8 (A 1) に示すように、画質は大幅に改善される。

なお、誤差データの振幅を「 6 」としても、図 6 (A 2) 対応するデジタルデータについての画質の改善効果に変化はない。

【 0 0 3 3 】

図 9 に、この場合の処理例を示す。すなわち、図 9 (A 2) に示すように、画面左側のデジタルデータが「 9 F F h 」、画面右側のデジタルデータが「 A 0 0 h 」の場合の処理例を示す。

図 9 (B 1) ~ 図 9 (B 4) は、このデジタルデータが 4 画面連続して入力される場合に、各画面のデジタルデータが誤差データの加算によりどのような値に変換されるかを示す。

【 0 0 3 4 】

ここでも、誤差データとして「 + 6 」又は「 - 6 」が加算される。

誤差データが「 + 6 」のとき、D / A 変換回路 7 に入力されるデジタルデータは、画面左側が「 A 0 5 h 」、画面右側が「 A 0 6 h 」となる。このとき、左右の画面のビット変化は「 1 」になる。

【 0 0 3 5 】

一方、誤差データが「 - 6 」のとき、D / A 変換回路 7 に入力されるデジタルデータは、画面左側が「 9 F A h 」、画面右側が「 9 F B h 」となる。このとき、左右の画面のビット変化は「 1 」になる。

以上のように、誤差データの振幅を大きくすることでビット変化を小さくすることができる。

【 0 0 3 6 】

(C) 変形例 2

前述の形態例では、誤差データ加算回路 5 として図 5 に示す回路構成で実現した。

しかし、誤差データ加算回路 5 は他の回路構成でも実現できる。

図 10 に、誤差データ加算回路 5 の他の構成例を示す。誤差データ加算回路 5 は、加算器 21、減算器 23、マルチプレクサ 25、2 分周回路 27 で構成される。

【0037】

加算器 21 は、予め設定した固定の誤差データ（例えば「+1」）をデジタルデータに加算する演算子である。

減算器 23 は、加算器 21 と同じ誤差データをデジタルデータから減算する演算子である。

マルチプレクサ 25 は、加算器 21 と減算器 23 から入力されるデジタルデータの一方を選択的に出力するデータ選択器である。

【0038】

2 分周回路 27 は、入力される垂直同期信号 Vsync を 2 分周して切り替え信号を生成し、これをマルチプレクサ 25 に与える回路である。すなわち、垂直同期信号 Vsync の 2 回に 1 回の割合で切り替え信号をマルチプレクサ 25 に与える回路である。

誤差データ加算回路 5 を、図 10 に示す構造としても、前述した形態例と同じ動作を実現することができる。

【0039】

(D) 他の形態例

(a) 前述の形態例では、誤差データの加算処理をハードウェア的に実現する場合について説明した。しかし、同処理は、プログラムによってソフトウェア的に実現しても良い。なお、同処理を実行するコンピュータは、液晶表示装置に搭載されているものとする。また、同コンピュータは、デジタル信号処理部 3 の処理もソフトウェア的に実現しても良い。

【0040】

図 11 に、処理手順例を示す。まず、コンピュータは、垂直同期信号 Vsync の入力が出されたか否かを判定する (S1)。

垂直同期信号 Vsync が検出された場合、コンピュータは、新たな画面の処理用に誤差データを更新する (S2)。

垂直同期信号 Vsync が検出されない場合、コンピュータは、現在設定されている誤差データを画素データに加算する (S3)。

【0041】

この後、一連の処理動作を繰り返し実行する。

すなわち、コンピュータは、垂直同期信号 Vsync に同期したタイミングで対応する画面の全画素データに誤差データを加算する処理を実行する。

ここで、誤差データの更新は、前述した形態例と同様、読み出しアドレスを用いて読み出す方法を採用しても良いし、カウント値の偶奇に応じて対応する誤差データを採用する手法を採用しても良い。

なお、このプログラムは、ネットワーク経由で配布しても良く、記憶媒体に格納して配布しても良い。配布用の記憶媒体は、磁気記憶媒体、光学式記憶媒体、半導体記憶媒体その他を含む。

【0042】

(b) 前述の形態例では、垂直同期信号 Vsync が 2 回入力される度に誤差データの値を切り替える場合について説明した。

しかし、この切り替え周期は、2 回に限らない。例えば、1 回でも、3 回でも、4 回でも良い。液晶表示装置の場合、垂直同期信号 Vsync が 2 の整数倍で与えられる回数だけ入力される度に値を切り替えることが望ましい。

【0043】

切り替え周期が「4」の場合、「+1」、「+1」、「+1」、「+1」、「-1」、「-1」、「-1」、「-1」の順番で誤差データが切り替えられる。ただし、分周周期は、フリッカが知覚されない条件の下で選択する。

また、交流反転駆動を実行しない表示装置を出力デバイスとする場合には、この切り替

10

20

30

40

50

え周期は 1 回でも 3 回でも良い。例えば、「+ 1」、「- 1」、「+ 1」、「- 1」の順番で画面毎に誤差データを切り替えても良い。

【0044】

(c) 前述の形態例では、誤差データの絶対値が全画面について同じである場合について説明した。すなわち、連続する偶数個の画面毎に誤差データ値が切り替わり、切り替え単位毎に絶対値は同じまま符号の正負が入れ替わる場合について説明した。

しかし、連続する偶数個の画面毎に誤差データの絶対値が変化しても良い。例えば「+ 1」、「+ 1」、「- 3」、「- 3」というように変化しても良い。

また、切り替え単位毎に絶対値が変化させても良い。例えば「+ 1」、「+ 3」、「- 1」、「- 3」というように変化させても良い。

10

いずれの場合も、偶数画面用の誤差データの総和と奇数画面用の誤差データの総和は等しい。このため、液晶は劣化させずに済む。

【0045】

(d) 前述の形態例では、液晶表示装置への応用例を説明した。しかし、発明は他の表示装置にも応用することができる。

例えば、有機 E L (Electro Luminescence) 表示装置、プラズマ表示装置、F E D (電界放出ディスプレイ) 装置、D L P (Digital Light Processing) 装置その他の表示装置に適用し得る。

【0046】

(e) 前述の形態例では、偶数画面の誤差データの総和と奇数画面の誤差データの総和とが等しくなるように各画面に適用する誤差データを決定した。

20

この条件は、液晶表示装置以外の表示装置にも有効であるが、偶数画面と奇数画面の制約がない他の表示装置では、ある期間内の積分値がゼロになるように誤差データを定めても良い。この場合、原画像の平均輝度を変更せずに済む。

もっとも、誤差データの積分値がゼロ以外になる場合を排除するものではない。

(f) 前述の形態例には、発明の趣旨の範囲内で様々な変形例が考えられる。また、本明細書の記載に基づいて創作される又は組み合わせられる各種の変形例及び応用例も考えられる。

【図面の簡単な説明】

【0047】

30

【図 1】デジタルノイズの飛び込みを説明する図である。

【図 2】ノイズの混入原理を説明する図である。

【図 3】液晶表示装置の構成例を示す図である。

【図 4】誤差データの基本周期例を説明する図である。

【図 5】誤差データ加算回路の構成例を示す図である。

【図 6】誤差データの加算によるビット変化の低減効果を説明する図である。

【図 7】誤差データの加算によるビット変化の低減効果を説明する図である。

【図 8】誤差データの振幅を大きくすることによるビット変化の低減効果を説明する図である。

【図 9】誤差データの振幅を大きくすることによるビット変化の低減効果を説明する図である。

40

【図 10】誤差データ加算回路の他の構成例を示す図である。

【図 11】誤差データの加算機能を実現するプログラム例を示す図である。

【符号の説明】

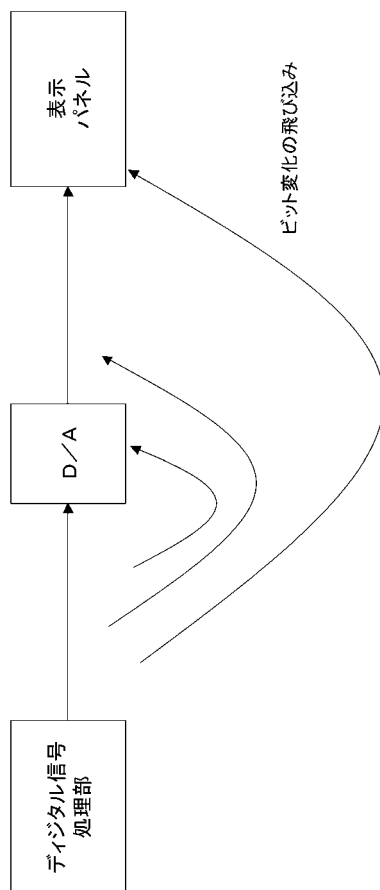
【0048】

- 1 液晶表示装置
- 3 デジタル信号処理部
- 5 誤差データ加算回路
- 7 D / A 変換回路
- 9 L C D パネル

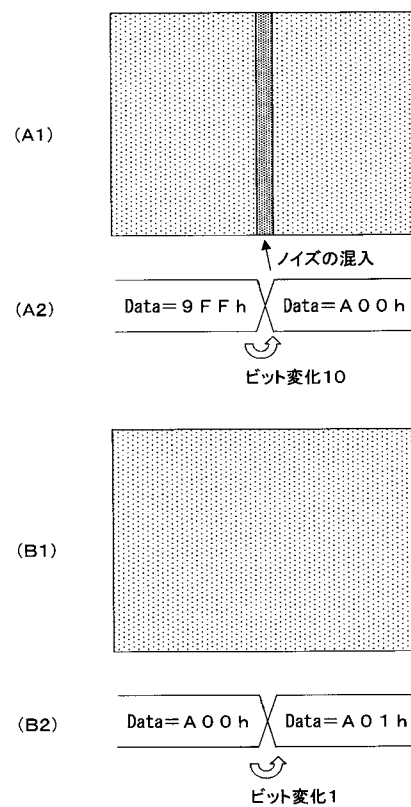
50

- 1 1 アドレスカウンタ
- 1 3 誤差データメモリ
- 1 5 加算器
- 2 1 加算器
- 2 3 減算器
- 2 5 マルチプレクサ
- 2 7 2分周回路

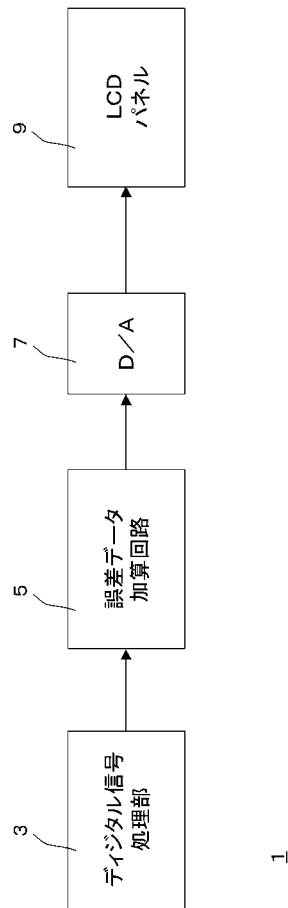
【図 1】



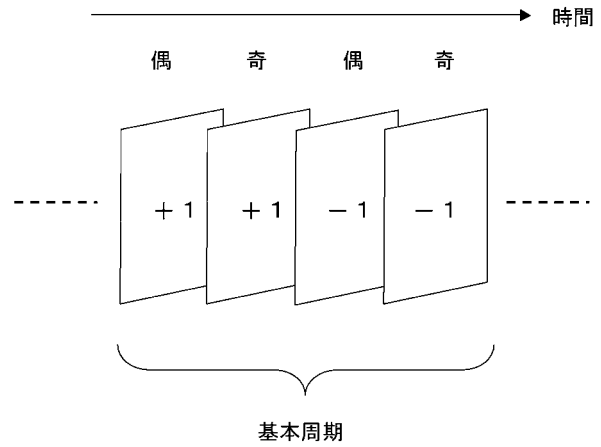
【図 2】



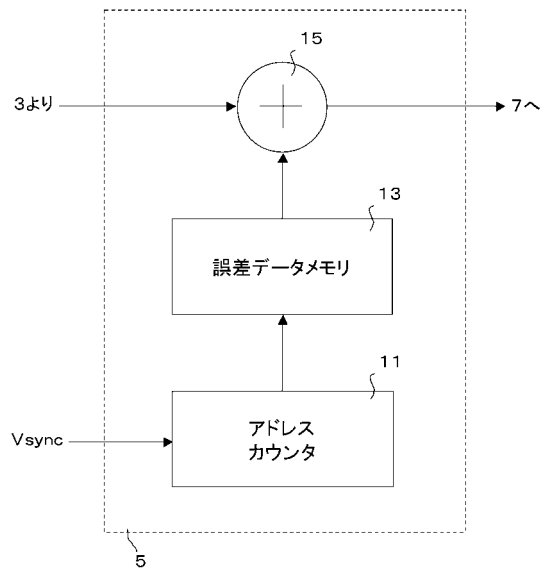
【図 3】



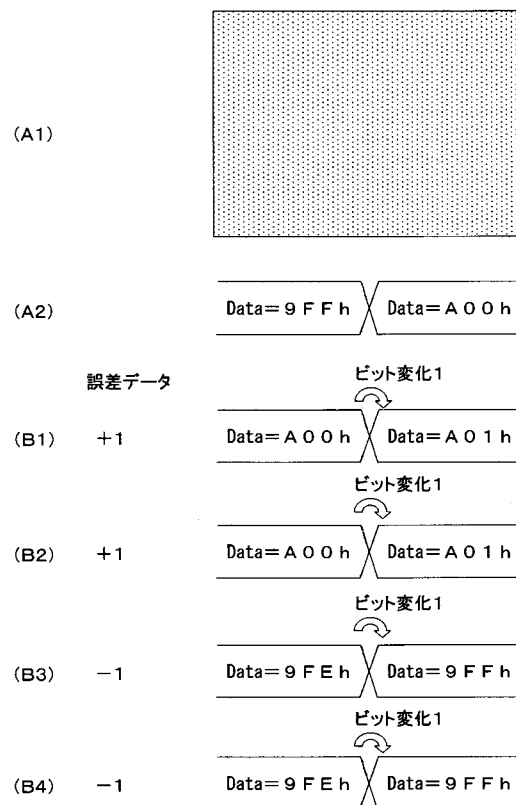
【図 4】



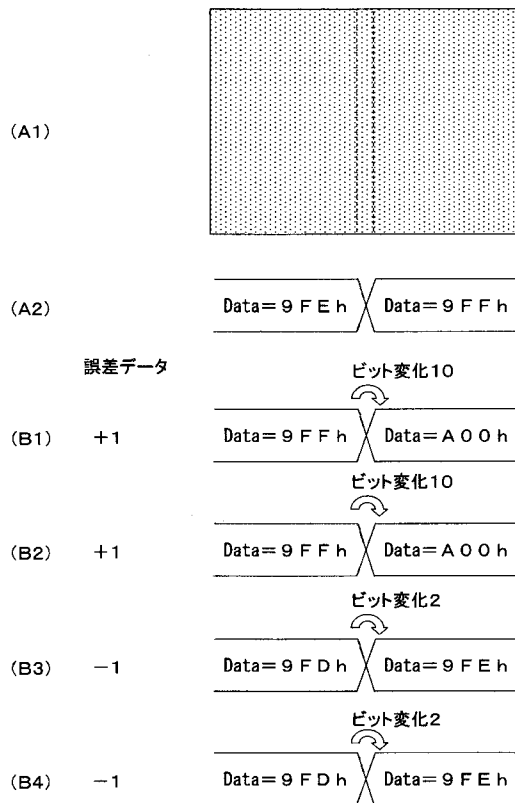
【図 5】



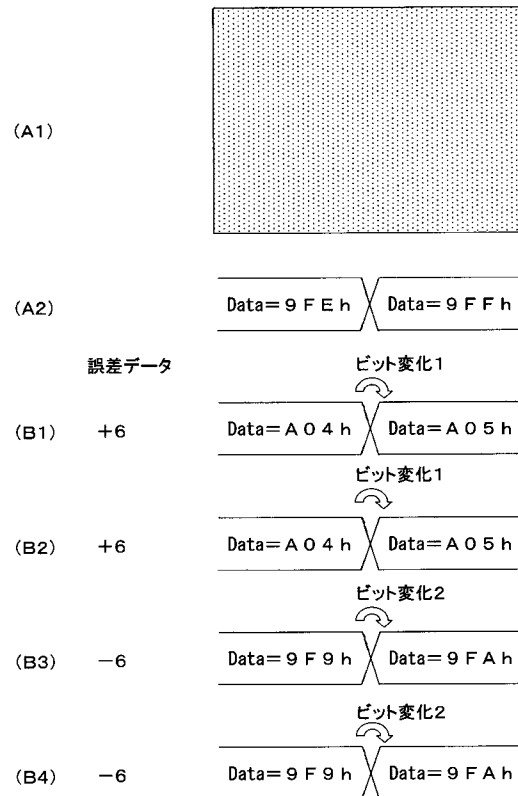
【図 6】



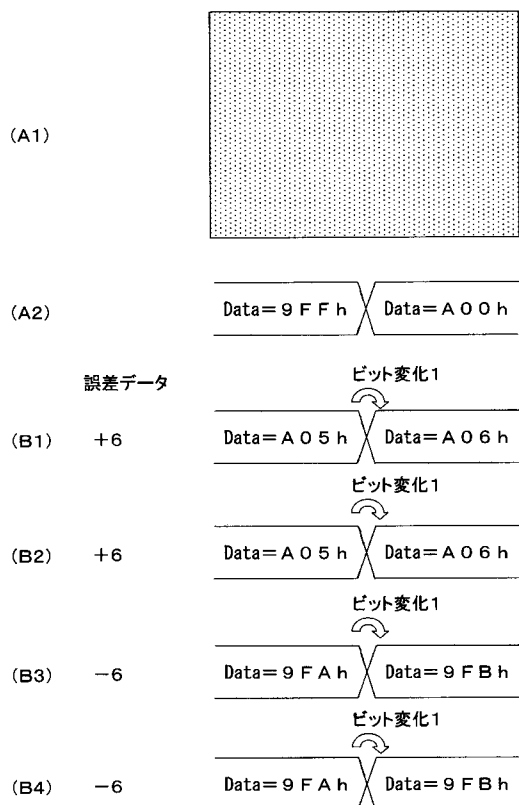
【図 7】



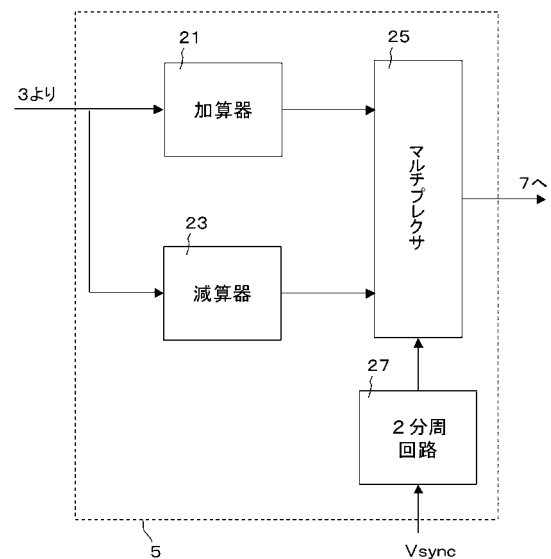
【図 8】



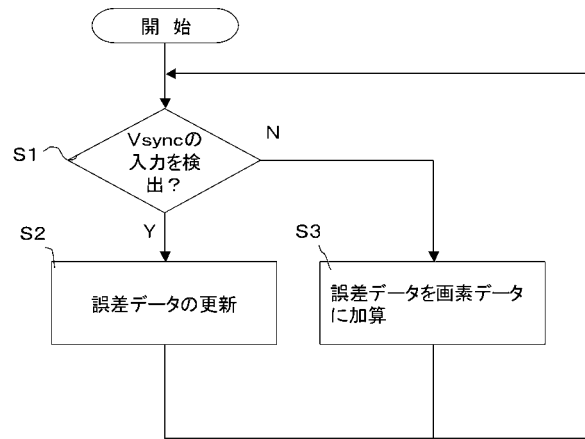
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 2 A
G 0 2 F 1/133 5 0 5

(56)参考文献 特開 2 0 0 0 - 1 5 2 1 2 9 (J P , A)
特開平 0 8 - 0 7 9 3 1 2 (J P , A)
特開平 0 9 - 2 5 8 6 8 9 (J P , A)
特開 2 0 0 2 - 1 0 8 2 8 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 5 / 4 0
G 0 2 F 1 / 1 3 3

专利名称(译)	显示装置，液晶显示装置，数据处理方法和程序		
公开(公告)号	JP4419917B2	公开(公告)日	2010-02-24
申请号	JP2005176375	申请日	2005-06-16
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	富田英夫		
发明人	富田 英夫		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/2059 G09G3/3611		
FI分类号	G09G3/36 G09G3/20.623.F G09G3/20.641.P G09G3/20.650.M G09G3/20.611.E G09G3/20.642.A G02F1/133.505		
F-TERM分类号	2H093/NA06 2H093/NC24 2H093/ND10 2H093/ND40 2H193/ZB42 5C006/AA22 5C006/AF44 5C006/AF46 5C006/AF71 5C006/AF81 5C006/AF82 5C006/AF84 5C006/BC16 5C006/BF22 5C006/BF23 5C006/BF24 5C006/BF28 5C006/FA22 5C006/FA23 5C006/FA29 5C006/FA31 5C006/FA33 5C006/FA38 5C006/FA56 5C080/AA05 5C080/AA06 5C080/AA10 5C080/AA17 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD12 5C080/EE29 5C080/GG02 5C080/JJ01 5C080/JJ02 5C080/JJ04 5C080/JJ07		
代理人(译)	伊藤 仁恭		
审查员(译)	中村直之		
其他公开文献	JP2006350009A		
外部链接	Espacenet		

摘要(译)

要解决的问题：由位改变引起的数字噪声跳入模拟信号系统，位宽增加，在屏幕上产生干涉图案。一种显示装置，具有用于处理像素数据的数字信号处理电路和用于将信号处理后的像素数据转换为用于驱动显示装置的模拟信号的数字/模拟转换电路，其中数字/模拟转换用于在与垂直同步信号同步的定时将每个屏幕的1值误差数据添加到相应屏幕的全像素数据的误差数据添加电路被布置在电路的前级位置。点域

