

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4378405号
(P4378405)

(45) 発行日 平成21年12月9日 (2009. 12. 9)

(24) 登録日 平成21年9月18日 (2009. 9. 18)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 622A

G09G 3/20 622E

G09G 3/20 622G

G09G 3/20 611Z

請求項の数 2 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2007-279670 (P2007-279670)
 (22) 出願日 平成19年10月26日 (2007. 10. 26)
 (65) 公開番号 特開2009-109598 (P2009-109598A)
 (43) 公開日 平成21年5月21日 (2009. 5. 21)
 審査請求日 平成20年10月16日 (2008. 10. 16)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (72) 発明者 渡部 利男
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

審査官 堀部 修平

最終頁に続く

(54) 【発明の名称】 走査信号線駆動回路および表示装置

(57) 【特許請求の範囲】

【請求項1】

M (Mは2以上の整数) 個のフリップフロップがカスケード接続された第1のシフトレジスタを備え、当該第1のシフトレジスタは、外部から入力される入力信号をクロック信号に同期して後段のフリップフロップに順次転送して、各フリップフロップのデータ出力端子から第1のシフトパルスを出力することにより、表示画面の走査信号線を駆動する走査信号線駆動回路において、

前記フリップフロップのうち、少なくとも1つのフリップフロップのデータ出力端子に、プルダウン抵抗が接続され、

さらに、M個のフリップフロップがカスケード接続された第2のシフトレジスタとM個の論理回路とを備え、

当該第2のシフトレジスタは、前記入力信号の反転信号を前記クロック信号に同期して後段のフリップフロップに順次転送して、各フリップフロップのデータ出力端子から第2のシフトパルスを出力し、

前記第2のシフトレジスタのフリップフロップのうち、少なくとも1つのフリップフロップのデータ出力端子に、プルアップ抵抗が接続され、

前記論理回路はそれぞれ、前記第1のシフトレジスタのN (Nは1以上M以下の整数) 段目のフリップフロップからの第1のシフトパルスと、前記第2のシフトレジスタのN段目のフリップフロップからの第2のシフトパルスの反転パルスとの論理和を、第3のシフトパルスとして出力し、

10

20

当該第3のシフトパルスにより、前記走査信号線を駆動することを特徴とする走査信号線駆動回路。

【請求項2】

請求項1に記載の走査信号線駆動回路を備える表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示画面の走査信号線に走査信号を与える走査信号線駆動回路、およびその走査信号線駆動回路を用いた表示装置に関するものである。

【背景技術】

10

【0002】

近年では、多くの電子機器や電気機器、無線機器等の電磁波発生源が身近に存在するようになった。これらの電磁波発生源からの電磁波は、周囲の電磁環境にさまざまな影響を及ぼすおそれがあり、また、電磁波発生源となる電子機器等自身も、他の電磁波発生源による電磁波から影響を受けるおそれがある。このため、電子機器等には、電磁波を機器の外部に出さず、かつ、周囲の電磁環境に対する耐性を持たせる必要がある。

【0003】

このような電子機器等の電磁波に対する評価の規格が制定されており、特に静電気放電をシミュレーションする規格として、IEC 61000-4-2がある。そして、IEC 61000-4-2規格に対応する試験は、ESDガンと呼ばれるパルス発生装置によって行われる。液晶ディスプレイ等の表示装置においても、上記のようにESDガンにより静電気放電をシミュレーションして試験を行い、表示に影響が無いかを確認している。

20

【0004】

また、電子機器等の電磁波に対する耐性を向上させる技術も提案されている（例えば、特許文献1）。

【0005】

図12は、特許文献1に記載の半導体チップ91の構成を示している。半導体チップ91の外周部には複数個の周縁部パッド92が設けられ、ワイヤ93により外部に接続されている。さらに、半導体チップ91の上記周縁パッド92以外のチップ面に、複数個の中央部パッド94が直線状且つ格子状に均一に設けられている。上記中央部パッド94相互間

30

【0006】

このような構成とすることにより、配線抵抗により発生する電圧降下を微小とすることができ、配線の電位傾度が低減されて電源ノイズによる誤動作等を防止することができる。

【特許文献1】特開2005-85829号公報（2005年3月31日公開）

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上記従来の構成では、Low側にレベル変動させるノイズに対する耐性は多少向上するものの、High側にレベル変動させるノイズを受けた場合に、誤動作を生じやすくなるという問題を生じる。特に、TF T液晶パネルなどの表示装置では、High側にレベル変動させるノイズにより意図しないゲートラインがオンすると、横輝線の発生といった表示不具合が生じるおそれがある。以下、具体的に説明する。

40

【0008】

図13は、従来の代表的なTF T液晶パネル101の構造を示す概略図である。TF T液晶パネル101は、ガラス基板102、ソースドライバ103およびゲートドライバ104を備えている。ガラス基板102にはTF T107が形成され、TF T107のドレインに、画素電極間に液晶を挟んだ画素108が接続されている。また、TF T107のソースには、ソースドライバ103の駆動出力がつながるソースライン105が接続され

50

ている。T F T 1 0 7 のゲートには、ゲートドライバ 1 0 4 の駆動出力につながるゲートライン 1 0 6 が接続されている。

【0009】

T F T 1 0 7 は、ゲートライン 1 0 6 の信号がゲートに与えられることによりオンし、ソースライン 1 0 5 の信号が画素 1 0 8 に与えられる。画素 1 0 8 に与えられた信号は、対向電極 1 0 9 間との間の電圧として画素 1 0 8 に蓄えられ、この電圧により画素 1 0 8 内の液晶の透過レベルが決まり、表示が行われる。

【0010】

図 1 4 は、ゲートドライバ 1 0 4 の構造を示す回路図である。ゲートドライバ 1 0 4 は、シフトレジスタ 1 1 0、レベルシフト回路 1 1 2、出力バッファ 1 1 3 および出力端子 1 1 4 を備えている。シフトレジスタ 1 1 0 は、7 個の D - F F (D - フリップフロップ) 1 1 1 で構成され、D - F F 1 1 1 の各出力 Q 1 ~ Q 7 からの信号は、レベルシフト回路 1 1 2 に入力され、信号レベルが変換される。レベルシフト回路 1 1 2 からの信号は、出力バッファ 1 1 2 を介して出力端子 1 1 3 からゲートライン 1 0 6 に出力される。

【0011】

シフトレジスタ 1 1 0 では、各 D - F F 1 1 1 が動作クロック C L K により動作し、入力 I N から入力された信号を、動作クロック C L K のタイミングで、Q 1 から Q 7 へ順次出力する。ゲートドライバ 1 0 4 は、1 出力が 1 本のゲートライン 1 0 6 に対応するように実装されており、T F T 液晶パネル 1 0 1 の表示を行うため、ゲートライン 1 0 6 を順次駆動する。

【0012】

シフトレジスタ 1 1 0 の出力 Q 1 から Q 7 は通常 L o w であるが、表示の開始を示すタイミングで入力 I N に H i g h パルスが入力され、順次 H i g h パルスをシフトさせる。シフトレジスタ 1 1 0 でシフトされた H i g h パルスは、ゲートライン 1 0 6 を順次 H i g h にし、T F T 1 0 7 をオンにすることにより、画面表示が行われる。

【0013】

ここで、ゲートドライバ 1 0 4 のような半導体集積回路は、その周辺に位置する電源端子パッドから電源が供給される。最近のプロセスの微細化やチップサイズの増加傾向により、特許文献 1 の背景技術にも記載されているように、電源端子パッドからチップ内の能動領域に対する電源配線の抵抗が無視できないほど大きくなり、電源ノイズによる誤動作の原因になっている。上記の配線抵抗の影響は電源だけでなく、信号配線においても同様である。

【0014】

具体的には、図 1 3 に示す T F T 液晶パネル 1 0 1 に対し、背景技術に記載した静電気放電をシミュレーションする試験を行った場合、表示画面に横輝線が現れる不良が発生する場合があった。表示不具合の原因を解析したところ、ゲートドライバ 1 0 4 において、D - F F 1 1 1 の出力と出力バッファ 1 1 3 の入力側で、H i g h 側にレベル変動させるノイズによるレベル変動が起こり、意図しないゲートライン 1 0 6 がオンするために、表示に横輝線が発生することが分かった。

【0015】

このように、シフトレジスタ 1 1 0 の各出力がノイズにより H i g h 側にレベル変動し、H i g h パルスを出力する本来のタイミング以外でゲートドライバ 1 0 4 の出力が H i g h の状態になった場合、本来表示を行わないゲートライン 1 0 6 をオンしてしまい、表示不具合が発生する。

【0016】

また、シフトレジスタ 1 1 0 の一部の D - F F 1 1 1 の出力が、ノイズにより H i g h 状態になり、次段の D - F F 1 1 1 の入力がこの H i g h レベルを読み込んでしまった場合、シフトレジスタ 1 1 0 は正常にシフトする H i g h パルスのほかに、ノイズにより発生した H i g h パルスもシフトするようになり、表示不具合が継続して起こってしまう。

【0017】

10

20

30

40

50

このように、H i g h側にレベル変動させるノイズに対しては、特許文献1に記載の構成のように、配線抵抗の電圧降下を低減することによって、ノイズ耐性を控除させることができない。

【0018】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、H i g h側にレベル変動させるノイズに対する耐性が高く、表示不具合の発生しにくい走査信号線駆動回路および表示装置を実現することにある。

【課題を解決するための手段】

【0019】

本発明に係る走査信号線駆動回路は、上記課題を解決するために、M（Mは2以上の整数）個のフリップフロップがカスケード接続された第1のシフトレジスタを備え、当該第1のシフトレジスタは、外部から入力される入力信号をクロック信号に同期して後段のフリップフロップに順次転送して、各フリップフロップのデータ出力端子から第1のシフトパルスを出力することにより、表示画面の走査信号線を駆動する走査信号線駆動回路において、前記フリップフロップのうち、少なくとも1つのフリップフロップのデータ出力端子に、プルダウン抵抗が接続されていることを特徴としている。

10

【0020】

上記の構成によれば、第1のシフトレジスタのM個のフリップフロップが、入力信号を順次転送することにより、走査信号線を駆動するための第1のシフトパルスを出力する。ここで、少なくとも1つのフリップフロップのデータ出力端子に、プルダウン抵抗が接続されており、外部からH i g h側にレベル変動させるノイズを受けた場合、プルダウン抵抗は、第1のシフトパルスのH i g h側へのレベル変動を打ち消すように機能する。これにより、意図しないタイミングで第1のシフトパルスがH i g hになり、本来表示を行わないゲートラインをオンしてしまうことによる表示不具合の発生を防止することができる。したがって、H i g h側にレベル変動させるノイズに対する耐性が高く、表示不具合の発生しにくい走査信号線駆動回路を実現できるという効果を奏する。

20

【0021】

本発明に係る走査信号線駆動回路では、さらに、M個のフリップフロップがカスケード接続された第2のシフトレジスタとM個の論理回路とを備え、当該第2のシフトレジスタは、前記入力信号の反転信号を前記クロック信号に同期して後段のフリップフロップに順次転送して、各フリップフロップのデータ出力端子から第2のシフトパルスを出し、前記第2のシフトレジスタのフリップフロップのうち、少なくとも1つのフリップフロップのデータ出力端子に、プルアップ抵抗が接続され、前記論理回路はそれぞれ、前記第1のシフトレジスタのN（Nは1以上M以下の整数）段目のフリップフロップからの第1のシフトパルスと、前記第2のシフトレジスタのN段目のフリップフロップからの第2のシフトパルスの反転パルスとの論理和を、第3のシフトパルスとして出力し、当該第3のシフトパルスにより、前記走査信号線を駆動することが好ましい。

30

【0022】

上記の構成によれば、第1のシフトレジスタに加えて、さらに第2のシフトレジスタが設けられる。第2のシフトレジスタを構成するフリップフロップは、第1のシフトレジスタとは反対に、入力信号の反転信号を順次転送して、第2のシフトパルスを出力する。ここで、第2のシフトレジスタの少なくとも1つのフリップフロップのデータ出力端子には、プルアップ抵抗が接続されており、外部からL o w側にレベル変動させるノイズを受けた場合、プルアップ抵抗は、第2のシフトパルスのL o w側へのレベル変動を打ち消すように機能する。

40

【0023】

さらに、第1のシフトレジスタおよび第2のシフトレジスタにおける同一段のフリップフロップからの第1のシフトパルスおよび第2のシフトパルスの反転パルスを、論理回路が論理和をとって、第3のシフトパルスとして出力し走査信号線を駆動する。これにより、L o w側にレベル変動させるノイズにより、第1のシフトレジスタのシフトが中断され

50

第1のシフトパルスが消滅しても、第2のシフトパルスの反転パルスが第3のシフトパルスとして出力される。ここで、第2のシフトパルスは、入力信号の反転信号をシフトすることにより出力されるので、第2のシフトパルスの反転パルスは、正常にシフトした場合の第1のシフトパルスと同一波形となる。したがって、外部からLow側にレベル変動させるノイズを受けて第1のシフトパルスが消滅した場合でも、第2のシフトパルスが消滅しなければ、第3のシフトパルスは、正常にシフトした場合の第1のシフトパルスと同一波形となる。

【0024】

上記のように、第2のシフトパルスはLow側にレベル変動させるノイズに対してレベル変動しにくいので、第3のシフトパルスは、High側にレベル変動させるノイズだけでなく、Low側にレベル変動させるノイズに対してもレベル変動しにくい。したがって、High側にレベル変動させるノイズとLow側にレベル変動させるノイズとの両方に対して耐性の高い走査信号線駆動回路を実現することができる。

【0025】

本発明に係る走査信号線駆動回路は、上記課題を解決するために、M（Mは2以上の整数）個のフリップフロップがカスケード接続された第1のシフトレジスタを備え、当該第1のシフトレジスタは、外部から入力される入力信号をクロック信号に同期して後段のフリップフロップに順次転送して、各フリップフロップのデータ出力端子から第1のシフトパルスを出力することにより、表示画面の走査信号線を駆動する走査信号線駆動回路において、

前記フリップフロップのうち、少なくとも1つのフリップフロップは、当該フリップフロップのデータ入力端子を構成する第1のトランスファーゲートと、第1のインバータと、第2のトランスファーゲートと、第2のインバータと、データ出力端子を構成する第1のバッファ回路とを備え、前記データ入力端子、第1のトランスファーゲート、第1のインバータ、第2のトランスファーゲート、第2のインバータおよび第1のバッファ回路がこの順に接続され、前記第1のインバータと前記第2のトランスファーゲートとの間の第1の接続点に、第1プルアップ抵抗が設けられ、前記第2のインバータと前記第1のバッファ回路との間の第2の接続点に、第1プルダウン抵抗が設けられていることを特徴としている。

【0026】

上記の構成によれば、第1のシフトレジスタのM個のフリップフロップが、入力信号を順次転送することにより、走査信号線を駆動するための第1のシフトパルスを出力する。ここで、少なくとも1つのフリップフロップは、第1のインバータと第2のトランスファーゲートとの間の第1の接続点に、第1プルアップ抵抗が設けられ、第2のインバータと第1のバッファ回路との間の第2の接続点に、第1プルダウン抵抗が設けられているので、フリップフロップ内部のHigh側にレベル変動させるノイズに対する耐性を高めることができる。したがって、第1のシフトパルスは、High側にレベル変動させるノイズを受けても、レベル変動しにくい。これにより、意図しないタイミングで第1のシフトパルスがHighになり、本来表示を行わないゲートラインをオンしてしまうことによる表示不具合の発生を防止することができる。したがって、High側にレベル変動させるノイズに対する耐性が高く、表示不具合の発生しにくい走査信号線駆動回路を実現できるという効果を奏する。

【0027】

本発明に係る走査信号線駆動回路では、前記第1のプルアップ抵抗は、前記第1の接続点に設けられる代わりに、前記第2のトランスファーゲートと前記第2のインバータとの間の第3の接続点に設けられ、前記第1のプルダウン抵抗は、前記第2の接続点に設けられる代わりに、前記第1のトランスファーゲートと前記第1のインバータとの間の第4の接続点に設けられてもよい。

【0028】

上記の構成によれば、第1のプルアップ抵抗は、第2のトランスファーゲートと第2の

10

20

30

40

50

インバータとの間の第3の接続点に設けられ、第1のプルダウン抵抗は、第1のトランスファergeートと第1のインバータとの間の第4の接続点に設けられているので、フリップフロップ内部のHigh側にレベル変動させるノイズに対する耐性を高めることができる。したがって、第1のシフトパルスは、High側にレベル変動させるノイズを受けてもレベル変動しにくい。

【0029】

本発明に係る走査信号線駆動回路では、前記第1のインバータは、ハイレベルの信号を出力する第1のトランジスタと、ローレベルの信号を出力する第2のトランジスタとから構成され、前記第2のインバータは、ハイレベルの信号を出力する第3のトランジスタと、ローレベルの信号を出力する第4のトランジスタとから構成され、前記第1プルアップ抵抗および第1プルダウン抵抗を設ける代わりに、前記第1のトランジスタの駆動能力を、前記第2のトランジスタの駆動能力よりも高く設定し、前記第4のトランジスタの駆動能力を、前記第3のトランジスタの駆動能力よりも高く設定してもよい。

10

【0030】

上記の構成によれば、第1のインバータのハイレベルの信号を出力する第1トランジスタの駆動能力が、ローレベルの信号を出力する第2のトランジスタに比べ高いので、第1のインバータと第2のトランスファergeートとの間の第1の接続点にプルアップ抵抗を設けた場合と同様の状態となる。また、第2のインバータのローレベルの信号を出力する第4のトランジスタの駆動能力が、ハイレベルの信号を出力する第3のトランジスタに比べ高いので、第2のインバータと第1のバッファ回路との間の第2の接続点にプルダウン抵抗を設けた場合と同様の状態となる。したがって、フリップフロップ内部のHigh側にレベル変動させるノイズに対する耐性を高めることができ、第1のシフトパルスを、High側にレベル変動させるノイズを受けてもレベル変動しにくい構成とすることができる。

20

【0031】

本発明に係る走査信号線駆動回路では、さらに、M個のフリップフロップがカスケード接続された第2のシフトレジスタとM個の論理回路とを備え、当該第2のシフトレジスタは、前記入力信号の反転信号を前記クロック信号に同期して後段のフリップフロップに順次転送して、各フリップフロップのデータ出力端子から第2のシフトパルスを出力し、前記第2のシフトレジスタのフリップフロップのうち、少なくとも1つのフリップフロップは、当該フリップフロップのデータ入力端子を構成する第3のトランスファergeートと、第3のインバータと、第4のトランスファergeートと、第4のインバータと、データ出力端子を構成する第2のバッファ回路とを備え、前記データ入力端子、第3のトランスファergeート、第3のインバータ、第4のトランスファergeート、第4のインバータおよび第2のバッファ回路がこの順に接続され、前記第3のインバータと前記第4のトランスファergeートとの間の第5の接続点に、第2プルダウン抵抗が設けられ、前記第4のインバータと前記第2のバッファ回路との間の第6の接続点に、第2プルアップ抵抗が設けられ、前記論理回路はそれぞれ、前記第1のシフトレジスタのN（Nは1以上M以下の整数）段目のフリップフロップからの第1のシフトパルスと、前記第2のシフトレジスタのN段目のフリップフロップからの第2のシフトパルスの反転パルスとの論理和を、第3のシフトパルスとして出力し、当該第3のシフトパルスにより、前記走査信号線を駆動することが好ましい。

30

40

【0032】

上記の構成によれば、第1のシフトレジスタに加えて、さらに第2のシフトレジスタが設けられる。第2のシフトレジスタを構成するフリップフロップは、第1のシフトレジスタとは反対に、入力信号の反転信号を順次転送して、第2のシフトパルスを出力する。ここで、第2のシフトレジスタの少なくとも1つのフリップフロップは、第3のインバータと第4のトランスファergeートとの間の第5の接続点に、第2プルダウン抵抗が設けられ、第4のインバータと第2のバッファ回路との間の第6の接続点に、第2プルアップ抵抗が設けられているので、フリップフロップ内部のLow側にレベル変動させるノイズに対

50

する耐性を高めることができる。したがって、第2のシフトパルスは、Low側にレベル変動させるノイズを受けても、レベル変動しにくい。

【0033】

さらに、第1のシフトレジスタおよび第2のシフトレジスタにおける同一段のフリップフロップからの第1のシフトパルスおよび第2のシフトパルスの反転パルスを、論理回路が論理和をとって、第3のシフトパルスとして出力し走査信号線を駆動する。これにより、Low側にレベル変動させるノイズにより、第1のシフトレジスタのシフトが中断され第1のシフトパルスが消滅しても、第2のシフトパルスの反転パルスが第3のシフトパルスとして出力される。ここで、第2のシフトパルスは、入力信号の反転信号をシフトすることにより出力されるので、第2のシフトパルスの反転パルスは、正常にシフトした場合の第1のシフトパルスと同一波形となる。したがって、外部からLow側にレベル変動させるノイズを受けて第1のシフトパルスが消滅した場合でも、第2のシフトパルスが消滅しなければ、第3のシフトパルスは、正常にシフトした場合の第1のシフトパルスと同一波形となる。

10

【0034】

上記のように、第2のシフトパルスはLow側にレベル変動させるノイズに対してレベル変動しにくいので、第3のシフトパルスは、High側にレベル変動させるノイズだけでなく、Low側にレベル変動させるノイズに対してもレベル変動しにくい。したがって、High側にレベル変動させるノイズとLow側にレベル変動させるノイズとの両方に対して耐性の高い走査信号線駆動回路を実現することができる。

20

【0035】

本発明に係る走査信号線駆動回路では、前記第2のプルダウン抵抗は、前記第5の接続点に設けられる代わりに、前記第4のトランスファークゲートと前記第4のインバータとの間の第7の接続点に設けられ、前記第2のプルアップ抵抗は、前記第6の接続点に設けられる代わりに、前記第3のトランスファークゲートと前記第3のインバータとの間の第8の接続点に設けられてもよい。

【0036】

上記の構成によれば、第2のプルダウン抵抗は、第4のトランスファークゲートと第4のインバータとの間の第7の接続点に設けられ、第2のプルアップ抵抗は、第3のトランスファークゲートと第3のインバータとの間の第8の接続点に設けられているので、フリップフロップ内部のLow側にレベル変動させるノイズに対する耐性を高めることができる。したがって、第2のシフトパルスは、Low側にレベル変動させるノイズを受けてもレベル変動しにくい。

30

【0037】

本発明に係る走査信号線駆動回路では、前記第3のインバータは、ハイレベルの信号を出力する第5のトランジスタと、ローレベルの信号を出力する第6のトランジスタとから構成され、前記第4のインバータは、ハイレベルの信号を出力する第7のトランジスタと、ローレベルの信号を出力する第8のトランジスタとから構成され、前記第2プルアップ抵抗および第2プルダウン抵抗を設ける代わりに、前記第6のトランジスタの駆動能力を、前記第5のトランジスタの駆動能力よりも高く設定し、前記第7のトランジスタの駆動能力を、前記第8のトランジスタの駆動能力よりも高く設定してもよい。

40

【0038】

上記の構成によれば、第3のインバータのローレベルの信号を出力する第6トランジスタの駆動能力が、ハイレベルの信号を出力する第5のトランジスタに比べ高いので、第3のインバータと第4のトランスファークゲートとの間の第5の接続点にプルダウン抵抗を設けた場合と同様の状態となる。また、第4のインバータのハイレベルの信号を出力する第7のトランジスタの駆動能力が、ローレベルの信号を出力する第8のトランジスタに比べ高いので、第4のインバータと第2のバッファ回路との間の第6の接続点にプルアップ抵抗を設けた場合と同様の状態となる。したがって、フリップフロップ内部のLow側にレベル変動させるノイズに対する耐性を高めることができ、第2のシフトパルスを、Low

50

側にレベル変動させるノイズを受けてもレベル変動しにくい構成とすることができる。

【0039】

本発明に係る走査信号線駆動回路では、上記課題を解決するために、M（Mは2以上の整数）個のフリップフロップがカスケード接続された少なくとも1つの第1のシフトレジスタと、M個のフリップフロップがカスケード接続された少なくとも1つの第2のシフトレジスタと、M個の多数決回路とを備え、前記第1のシフトレジスタの個数と前記第2シフトレジスタの個数との合計が3以上の奇数であり、前記第1のシフトレジスタは、外部から入力される入力信号をクロック信号に同期して後段のフリップフロップに順次転送して、各フリップフロップのデータ出力端子から第1のシフトパルスを出し、前記第1のシフトレジスタのフリップフロップのうち、少なくとも1つのフリップフロップのデータ出力端子に、プルダウン抵抗が接続され、前記第2のシフトレジスタは、前記入力信号の反転信号を前記クロック信号に同期して後段のフリップフロップに順次転送して、各フリップフロップのデータ出力端子から第2のシフトパルスを出し、前記第2のシフトレジスタのフリップフロップのうち、少なくとも1つのフリップフロップのデータ出力端子に、プルアップ抵抗が接続され、前記多数決回路の各々には、前記第1のシフトレジスタのN（Nは1以上M以下の整数）段目のフリップフロップからの第1のシフトパルスと、前記第2のシフトレジスタのN段目のフリップフロップからの第2のシフトパルスの反転パルスとが入力され、前記多数決回路は、入力されたパルスのうち数の多い方のパルスを選択して、選択結果を第3のシフトパルスとして出力し、当該第3のシフトパルスにより、表示画面の走査信号線を駆動することを特徴としている。

10

20

【0040】

上記の構成によれば、第1のシフトレジスタおよび第2のシフトレジスタが、合計3以上の奇数個設けられる。ここで、上記のように、第1のシフトレジスタは、プルダウン抵抗により、High側にレベル変動させるノイズに対する耐性が高く、第2のシフトレジスタは、プルアップ抵抗により、Low側にレベル変動させるノイズに対する耐性が高くなっている。

【0041】

さらに、第1のシフトレジスタおよび第2のシフトレジスタにおける同一段のフリップフロップからの第1のシフトパルスおよび第2のシフトパルスの反転パルスが、多数決回路に入力され、多数決回路は、入力されたパルスのうち数の多いほうのパルスを選択して第3のシフトパルスとして出力する。すべてのシフトレジスタが正常にシフト動作を行っている場合、第1のシフトパルスと第2のシフトパルスの反転パルスとは同一波形となる。ここで、外部からのHigh側にレベル変動させるノイズまたはLow側にレベル変動させるノイズにより、一部のシフトパルスに誤動作が生じ、入力パルスの一部が異なる波形となった場合でも、多数決回路が多いほうのパルスを選択するので、第3のシフトパルスの波形は正常時と変わらない。したがって、High側にレベル変動させるノイズとLow側にレベル変動させるノイズとの両方に対して耐性の高い走査信号線駆動回路を実現することができる。

30

【0042】

本発明に係る走査信号線駆動回路では、前記第1のシフトレジスタまたは前記第2のシフトレジスタが複数設けられる場合、複数の第1のシフトレジスタまたは第2のシフトレジスタ同士は近接して配置されず、電源配線およびGND配線を共通化していないことが好ましい。

40

【0043】

第1のシフトレジスタは、High側にレベル変動させるノイズに対する耐性は高い反面、Low側にレベル変動させるノイズに対する耐性は低くなっている。また、第2のシフトレジスタは、Low側にレベル変動させるノイズに対する耐性は高い反面、High側にレベル変動させるノイズに対する耐性は低くなっている。したがって、例えば、第1のシフトレジスタを第2のシフトレジスタより多く設けている場合、Low側にレベル変動させるノイズにより第1のシフトレジスタの全てに誤動作を生じてしまうと、多数決回

50

路からの第3のシフトパルスも誤った信号となってしまふ。

【0044】

これに対し、上記の構成によれば、第1のシフトレジスタまたは第2のシフトレジスタ同士は近接して配置されず、電源配線およびGND配線を共通化していないので、High側にレベル変動させるノイズ、またはLow側にレベル変動させるノイズにより、第1または第2のシフトレジスタの一方の全てに誤動作を生じるリスクを低減することができる。したがって、第3のシフトパルスへのノイズからの影響をさらに低減することができる。

【0045】

本発明に係る表示装置は、上記走査信号線駆動回路を備えている。

10

【0046】

上記の構成によれば、走査信号線駆動回路は、High側にレベル変動させるノイズ、またはHigh側にレベル変動させるノイズとLow側にレベル変動させるノイズとの両方に対する耐性が高いので、少なくともHigh側にレベル変動させるノイズに対する耐性が高く、表示不具合の発生しにくい表示装置を実現することができるという効果を奏する。

【発明の効果】

【0047】

本発明に係る走査信号線駆動回路は、以上のように、前記フリップフロップのうち、少なくとも1つのフリップフロップのデータ出力端子に、プルダウン抵抗が接続されているので、High側にレベル変動させるノイズに対する耐性が高く、表示不具合の発生しにくい走査信号線駆動回路を実現できるという効果を奏する。

20

【発明を実施するための最良の形態】

【0048】

〔実施形態1〕

本発明の第1の実施形態について図1および図2に基づいて説明すると以下の通りである。

【0049】

図2は、本実施形態に係るTFT液晶パネル1の構成を示す概略図である。TFT液晶パネル1は、ガラス基板2、ソースドライバ3およびゲートドライバ4を備えている。ガラス基板2には、ソースライン5およびゲートライン6が設けられ、ソースライン5およびゲートライン6の各交点に、TFT7および画素8が設けられ、画素8の一端は対向電極9に接続されている。ここで、TFT液晶パネル1のガラス基板2、ソースドライバ3、ソースライン5、ゲートライン6、TFT7、画素8および対向電極9は、図13に示すTFT液晶パネル101のガラス基板102、ソースドライバ103、ソースライン105、ゲートライン106、TFT107、画素108および対向電極109とそれぞれ略同一であるので、細部の説明は省略する。

30

【0050】

本実施形態においては、TFT液晶パネル1の電磁波ノイズに対する耐性を強化するため、ゲートドライバ4を以下のように構成している。

40

【0051】

図1は、ゲートドライバ4の構成を示す回路図である。ゲートドライバ4は、シフトレジスタ10d、7個のレベルシフト回路12、7個の出力バッファ13および7個の出力端子14を備え、シフトレジスタ10dは、カスケード接続された7個のDFF11を備えている。DFF11、レベルシフト回路12、出力バッファ13および出力端子14は、図14に示すDFF111、レベルシフト回路112、出力バッファ113および出力端子114と略同一である。なお、レベルシフト回路12や出力バッファ13の個数は7個に限らず、走査するゲートラインの本数に応じて適宜設定される。

【0052】

シフトレジスタ10dは、カスケード接続された7個のDFF11を備えており、シ

50

フトレジスタ10dの初段のD-F F 1 1のデータ入力端子Dには、ゲートドライバ4の入力信号INが入力される。また、シフトレジスタ10dの各D-F F 1 1のクロック端子CKには、動作クロックCLKが入力され、各D-F F 1 1のデータ出力端子Qから、信号Q1d~Q7dが出力される。

【0053】

さらに、シフトレジスタ10dでは、各D-F F 1 1のデータ出力端子Qに、プルダウン抵抗Rdが接続されている。より具体的には、D-F F 1 1のデータ出力端子Qにプルダウン抵抗Rdの一端が接続され、プルダウン抵抗Rdの他端は接地されている。

【0054】

これにより、外部から電磁波ノイズを受けて、D-F F 1 1の信号Q1d~Q7dがHigh側にレベル変動をしようとした場合、このレベル変動を打ち消す効果がある。したがって、High側にレベル変動させるノイズにより、本来表示を行わないゲートラインがオンしてしまい、表示不具合が発生することを防止できる。

【0055】

なお、プルダウン抵抗Rdの抵抗値が小さいほど、High側にレベル変動させるノイズに対する耐性を高めることができる反面、シフトレジスタ10dがHighパルスを出す駆動能力が低下する。シフトレジスタ10dの駆動能力が低下すると、Low側にレベル変動させるノイズを受けた場合、正常にシフトしているHighパルスが消滅する場合がある。また、プルダウン抵抗Rdの抵抗値は、各D-F F 1 1のバッファ能力との相対値となり、各D-F F 1 1のバッファ能力は、駆動する回路規模や動作スピードにより必要とされる値が異なる。したがって、プルダウン抵抗Rdの抵抗値は、想定されるノイズ、D-F F 1 1のバッファ能力等を考慮して設定される。

【0056】

また、本実施形態では、プルダウン抵抗Rdを各D-F F 1 1のデータ出力端子Qに設けているが、少なくとも1つのD-F F 1 1のデータ出力端子Qに設ける構成としても、従来構成に比べ、ノイズ耐性を向上させることができる。また、D-F F 1 1は、JK型などの他のフリップフロップであってもよい。

【0057】

〔実施形態2〕

本発明の第2の実施形態について図3ないし図6に基づいて説明すると以下の通りである。第1の実施形態に係るゲートドライバ4では、High側にレベル変動させるノイズに対する耐性を向上させているが、プルダウン抵抗Rdを設けることにより、Low側にレベル変動させるノイズに対する耐性が低下することとなる。そこで、本実施形態では、Low側にレベル変動させるノイズに対しても耐性を向上させる構成について説明する。

【0058】

図3は、本実施形態に係るゲートドライバ24の構成を示す回路図である。ゲートドライバ24は、2個のシフトレジスタ10d・10u、7個のレベルシフト回路12、7個の出力バッファ13、7個の出力端子14および7個のOR回路15を備えている。すなわち、ゲートドライバ24は、図1に示すゲートドライバ4において、シフトレジスタ10uおよびOR回路15をさらに備えた構成である。

【0059】

シフトレジスタ10uも、シフトレジスタ10dと同様、カスケード接続された7個のD-F F 1 1を備えており、シフトレジスタ10uの初段のD-F F 1 1のデータ入力端子Dには、ゲートドライバ4の入力信号INが、インバータINV1を介して入力される。また、シフトレジスタ10uの各D-F F 1 1のクロック端子CKにも、動作クロックCLKが入力され、各D-F F 1 1のデータ出力端子Qから、信号Q1u~Q7uが出力される。

【0060】

さらに、シフトレジスタ10uの各D-F F 1 1のデータ出力端子Qには、プルアップ抵抗Ruが接続されている。より具体的には、D-F F 1 1のデータ出力端子Qにプルア

ップ抵抗 R_u の一端が接続され、プルアップ抵抗 R_u の他端は電源電位に接続されている。

【0061】

シフトレジスタ10dの各DFF11からは信号 $Q_{1d} \sim Q_{7d}$ が出力され、シフトレジスタ10uの各DFF11からは信号 $Q_{1u} \sim Q_{7u}$ が出力される。信号 $Q_{1d} \sim Q_{7d}$ はそれぞれ、各OR回路15の入力端子の一方に入力される。一方、信号 $Q_{1u} \sim Q_{7u}$ はそれぞれ、インバータINV1を介して、各OR回路15の入力端子の他方に入力される。これにより、各OR回路15では、信号 Q_{md} と信号 Q_{mu} (m は1～7の整数)の反転信号との論理和を、信号 Q_m (m は1～7の整数)として各レベルシフト回路12に出力する。各信号 $Q_1 \sim Q_7$ は、レベルシフト回路12にて信号レベルが変換され、出力バッファ13を介して出力端子14からゲートラインに出力される。

10

【0062】

このように、本実施形態のゲートドライバ24は、各DFF11のデータ出力端子Qにプルダウン抵抗 R_d を設けたシフトレジスタ10dと、各DFF11のデータ出力端子Qにプルアップ抵抗 R_u を設け、シフトレジスタ10dがシフトする信号とは反対の論理値の信号をシフトするシフトレジスタ10uとの2つのシフトレジスタを備えている。シフトレジスタ10dでは、外部からの電磁波ノイズを受けて、DFF11の信号 $Q_{1d} \sim Q_{7d}$ がHigh側にレベル変動をしようとした場合、このレベル変動を打ち消す効果がある。一方、シフトレジスタ10uでは、外部からの電磁波ノイズを受けて、DFF11の信号 $Q_{1u} \sim Q_{7u}$ がLow側にレベル変動をしようとした場合、このレベル変動を打ち消す効果がある。

20

【0063】

さらに、シフトレジスタ10dからの信号 Q_{md} (m は1～7の整数)とシフトレジスタ10uからの信号 Q_{mu} (m は1～7の整数)の反転信号とが、OR回路15に入力され、OR回路がそれらの論理和を信号 Q_m (m は1～7の整数)として出力する。したがって、外部からのノイズにより、シフトレジスタ10d・10uの一方の出力が消滅した場合でも、信号 $Q_1 \sim Q_7$ は消滅しない。このように、ゲートドライバ4は、High側にレベル変動させるノイズだけでなく、Low側にレベル変動させるノイズに対する耐性も向上させている。

【0064】

30

続いて、シフトレジスタ10d・10uおよびOR回路15からの出力信号のタイミングについて説明する。

【0065】

図4は、ノイズを受けていない通常時における、信号 $Q_{1d} \sim Q_{7d}$ 、信号 $Q_{1u} \sim Q_{7u}$ および信号 $Q_1 \sim Q_7$ の信号波形を示すタイミングチャートである。入力信号INが入力されると、シフトレジスタ10dでは、動作クロックCLKの立ち上がりに合わせて各DFF11が入力信号INをシフトして、信号 $Q_{1d} \sim Q_{7d}$ を出力する。一方、シフトレジスタ10uでは、動作クロックCLKの立ち上がりに合わせて、各DFF11が入力信号INの反転信号をシフトして、信号 $Q_{1u} \sim Q_{7u}$ を出力する。信号 Q_{md} と信号 Q_{mu} (m は1～7の整数)の反転信号は、OR回路15に入力され、OR回路15は、それらの論理和である信号 Q_m (m は1～7の整数)を出力する。

40

【0066】

図5は、Low側にレベル変動させるノイズを受けた場合における、信号 $Q_{1d} \sim Q_{7d}$ 、信号 $Q_{1u} \sim Q_{7u}$ および信号 $Q_1 \sim Q_7$ の信号波形を示すタイミングチャートである。シフトレジスタ10dでは、ノイズの影響により、信号 Q_{3d} のHighパルスが消失したため、信号 $Q_{4d} \sim Q_{7d}$ も出力されない。一方、シフトレジスタ10uでは、各DFF11のデータ出力端子Qにプルアップ抵抗 R_u を設けているため、信号 $Q_{1u} \sim Q_{7u}$ は、Low側に変動しにくくなっている。このため、シフトレジスタ10uでは、信号をLow側に変動させるノイズの影響を受けにくく、ノイズ発生時の信号 Q_{3u} は消失しない。よって、信号 $Q_{1u} \sim Q_{7u}$ は、ノイズの影響を受けることなく通常時と同様

50

に出力され、信号 $Q1u \sim Q7u$ の反転信号がOR回路15に入力される。したがって、OR回路15からの出力信号 $Q1 \sim Q7$ は、通常時と同様の波形となる。

【0067】

反対に、信号をHigh側に変動させるノイズを受けた場合、シフトレジスタ10uでのシフトが中断しても、シフトレジスタ10dでは、信号をHigh側に変動させるノイズの影響を受けにくいいため、シフトレジスタ10dからの信号 $Q1d \sim Q7d$ は消失しない。したがって、OR回路15からの出力信号 $Q1 \sim Q7$ には、ノイズの影響は現れない。

【0068】

以上のように、ゲートドライバ4は、信号をLow側に変動させるノイズおよび信号をHigh側に変動させるノイズのいずれを受けた場合でも、通常時と同様の信号を出力できる。したがって、本実施形態に係るゲートドライバ24を備えるTFT液晶パネルは、外部から電磁波ノイズを受けても表示不具合が発生しにくい。

【0069】

なお、ゲートドライバ24において、シフトレジスタ10d (m は1～7の整数)からの信号 Qmd とシフトレジスタ10uからの信号 Qmu (m は1～7の整数)の反転信号との論理和を出力する回路は、OR回路15に限定されず、AND回路で構成してもよい。すなわち、図6に示すように、信号 Qmd の反転信号と信号 Qmu とをAND回路16に入力し、AND回路16の出力の反転信号を信号 Qm としてレベルシフト回路12に出力してもよい。

【0070】

〔実施形態3〕

本発明の第3の実施形態について図7ないし図9に基づいて説明すると以下の通りである。実施形態1、2では、DFFのデータ出力端子と次段のDFFのデータ入力端子との間に、プルダウン抵抗またはプルアップ抵抗を接続する構成について説明した。これにより、各DFF間でのノイズ耐性を向上させることができるが、DFFの内部回路がノイズの影響を受けることにより、DFFからの出力信号が変動するおそれがある。そこで、本実施形態では、DFF内部にプルダウン抵抗およびプルアップ抵抗を設けることにより、ゲートドライバのノイズ耐性を向上させる構成について説明する。

【0071】

図7は、本実施形態に係るゲートドライバ34の構成を示す回路図である。ゲートドライバ34は、図3に示すゲートドライバ24において、シフトレジスタ10d・10uの代わりに、シフトレジスタ30d・30uを設けた構成と同一である。シフトレジスタ30dは、図3に示すシフトレジスタ10dにおいて、DFF間にプルダウン抵抗 Rd を設けず、DFF11の代わりにDFF31dを設けた構成であり、各DFF31dは、信号 $Q11d \sim Q17d$ を出力する。また、シフトレジスタ30uは、図3に示すシフトレジスタ10uにおいて、DFF間にプルアップ抵抗 Ru を設けず、DFF11の代わりにDFF31uを設けた構成であり、各DFF31uは、信号 $Q11u \sim Q17u$ を出力する。図7においては、図3に示すゲートドライバ24におけるものと同じ部の材については、同一の符号を付し細部の説明を省略する。

【0072】

DFF31dおよびDFF31uは、ともに内部にプルダウン抵抗およびプルアップ抵抗を備えている。DFF31dは、信号をHigh側に変動させるノイズに対する耐性を強化した構成である。一方、DFF31uは、信号をLow側に変動させるノイズに対する耐性を強化した構成である。

【0073】

したがって、信号 $Q11d \sim Q17d$ は、High側に変動させるノイズの影響を受けにくく、信号 $Q11u \sim Q17u$ は、Low側に変動させるノイズの影響を受けにくくなっている。さらに、信号 Qnd (n は11～17の整数)と信号 Qnu (n は11～17の整数)の反転信号とが、OR回路15に入力され、OR回路15はそれらの論理和を信

10

20

30

40

50

号 Q_m (m は1～7の整数)として出力する。したがって、外部からのノイズにより、シフトレジスタ30d・30uの一方の出力が消滅した場合でも、信号 $Q_1 \sim Q_7$ は消滅しない。

【0074】

続いて、D-F F 3 1 d・3 1 uの具体的な構成について説明する。

【0075】

図8は、D-F F 3 1 dの詳細な構成を示す回路図である。D-F F 3 1 dは、8個のPチャンネルMOSトランジスタP1～P8（以下、トランジスタP1～P8）、8個のNチャンネルMOSトランジスタN1～N8（以下、トランジスタN1～N8）、3つのインバータINV3およびバッファBUFFを備えている。クロック入力端子CKに入力された動作クロックCLKの一方は、2つのインバータINV3を介して、信号CKDとなる。また、クロック入力端子CKに入力された動作クロックCLKの他方は、1つのインバータINV3を介して、信号CKDBとなる。

10

【0076】

2個のトランジスタP1・N1はトランスファークロップ（第1のトランスファークロップ）を構成しており、データ入力端子Dからの信号が第1のトランスファークロップに入力される。トランジスタP1のゲートには、信号CKDが入力され、トランジスタN1のゲートには信号CKDBが入力される。

【0077】

2個のトランジスタP2・N2は、インバータ（第1のインバータ）を構成している。また、4個のトランジスタP5・P6・N6・N5は、直列に接続されている。具体的には、トランジスタP5のソースが電源電位に接続され、トランジスタP5のドレインがトランジスタP6のソースに接続され、トランジスタP6のドレインはトランジスタN6のドレインに接続され、トランジスタN6のソースはトランジスタN5のドレインに接続され、トランジスタN5のソースは接地されている。トランジスタP5のゲートには信号CKDが入力され、トランジスタN5のゲートには信号CKDBが入力される。

20

【0078】

トランジスタP1・N1で構成される第1のトランスファークロップの出力は、トランジスタP2・N2で構成される第1のインバータ、トランジスタP6のドレインおよびトランジスタN6のドレインに入力される。

30

【0079】

2個のトランジスタP3・N3も、トランスファークロップ（第2のトランスファークロップ）を構成しており、トランジスタP2のドレイン、トランジスタN2のドレイン、トランジスタP6のゲート、トランジスタN6のゲートおよび第2のトランスファークロップの入力が互いに接続されている。トランジスタP3のゲートには、信号CKDBが入力され、トランジスタN3のゲートには信号CKDが入力される。

【0080】

2個のトランジスタP4・N4は、インバータ（第2のインバータ）を構成している。また、4個のトランジスタP7・P8・N8・N7は、直列に接続されている。具体的には、トランジスタP7のソースが電源電位に接続され、トランジスタP7のドレインがトランジスタP8のソースに接続され、トランジスタP8のドレインはトランジスタN8のドレインに接続され、トランジスタN8のソースはトランジスタN7のドレインに接続され、トランジスタN7のソースは接地されている。トランジスタP7のゲートには信号CKDBが入力され、トランジスタN7のゲートには信号CKDが入力される。

40

【0081】

トランジスタP3・N3で構成される第2のトランスファークロップの出力は、トランジスタP4・N4で構成される第2のインバータ、トランジスタP8のドレインおよびトランジスタN8のドレインに入力される。

【0082】

トランジスタP4のドレイン、トランジスタN4のドレイン、トランジスタP8のゲート

50

トおよびトランジスタN 8のゲートは、いずれもバッファB U F Fの入力端子に接続されている。バッファB U F Fの出力端子は、D－F F 3 1 dのデータ出力端子Qとなっている。

【0083】

ここで、トランジスタP 1・N 1で構成される第1のトランスファークゲートと、トランジスタP 2・N 2で構成される第1のインバータとの間の接続点をポイントaとする。また、トランジスタP 2・N 2で構成されるインバータと、トランジスタP 3・N 3で構成されるトランスファークゲートとの間の接続点をポイントbとする。また、トランジスタP 3・N 3で構成されるトランスファークゲートと、トランジスタP 4・N 4で構成されるインバータとの間の接続点をポイントcとする。また、トランジスタP 4・N 4で構成されるインバータと、バッファB U F Fとの間の接続点をポイントdとする。

10

【0084】

D－F F 3 1 dでは、さらに、ポイントbにおいてプルアップ抵抗R u 1が設けられ、ポイントdにおいてプルダウン抵抗R d 1が設けられている。これにより、H i g h側にレベル変動させるノイズを受けても、バッファB U F Fからの出力信号、すなわち、D－F F 3 1 dからの出力信号がレベル変動しにくくなる。すなわち、プルアップ抵抗R u 1およびプルダウン抵抗R d 1により、D－F F 3 1 d内部のH i g h側にレベル変動させるノイズに対する耐性が向上している。

【0085】

なお、プルアップ抵抗R u 1およびプルダウン抵抗R d 1を設ける代わりに、トランジスタP 2およびトランジスタN 4のゲート幅を大きくするか、またはゲート長を短くして、トランジスタP 2およびトランジスタN 4の駆動能力を高めることによって、上記と同様に、D－F F 3 1 d内部のH i g h側にレベル変動させるノイズに対する耐性を向上させることができる。

20

【0086】

また、ポイントaにプルダウン抵抗R d 1を設け、ポイントcにプルアップ抵抗R u 1を設けることによって、同様に、D－F F 3 1 d内部のH i g h側にレベル変動させるノイズに対する耐性を向上させることができる。

【0087】

図9は、D－F F 3 1 uの詳細な構成を示す回路図である。D－F F 3 1 uは、図8に示すD－F F 3 1 dにおいて、ポイントbにプルアップ抵抗R u 1を設け、ポイントdにプルダウン抵抗R d 1を設ける代わりに、ポイントbにプルダウン抵抗R d 2を設け、ポイントdにプルアップ抵抗R u 2を設ける構成である。これにより、D－F F 3 1 dとは逆に、D－F F 3 1 uは、L o w側にレベル変動させるノイズを受けても、バッファB U F Fからの出力信号、すなわち、D－F F 3 1 uからの出力信号はレベル変動しにくくなる。すなわち、プルアップ抵抗R u 2およびプルダウン抵抗R d 2により、D－F F 3 1 u内部のL o w側にレベル変動させるノイズに対する耐性を向上させることができる。

30

【0088】

なお、プルアップ抵抗R u 2およびプルダウン抵抗R d 2を設ける代わりに、トランジスタN 2およびトランジスタP 4のゲート幅を大きくするか、またはゲート長を短くして、トランジスタN 2およびトランジスタP 4の駆動能力を高めることによって、上記と同様に、D－F F 3 1 u内部のL o w側にレベル変動させるノイズに対する耐性を向上させることができる。

40

【0089】

また、ポイントaにプルアップ抵抗R u 2を設け、ポイントcにプルダウン抵抗R d 2を設けることによって、同様に、D－F F 3 1 u内部のL o w側にレベル変動させるノイズに対する耐性を向上させることができる。

【0090】

また、図1に示すゲートドライバ4において、D－F F 1 1をD－F F 3 1 dに置き換える構成としてもよい。また、この場合、プルダウン抵抗R dを設けない構成としてもよい。

50

い。いずれの構成であっても、従来の構成に比べ、H i g hにレベル変動させるノイズに対する耐性を向上させることができる。

【0091】

〔実施形態4〕

本発明の第4の実施形態について図10および図11に基づいて説明すると以下の通りである。

【0092】

図10は、本実施形態に係るゲートドライバ44の構成を示す回路図である。ゲートドライバ44は、図3に示すゲートドライバ24において、さらにシフトレジスタ10eを設け、OR回路15の代わりに多数決回路25を設けた構成である。

10

【0093】

シフトレジスタ10eは、シフトレジスタ10dと同様、カスケード接続された7個のD-F F 11を備えており、シフトレジスタ10eの初段のD-F F 11のデータ入力端子Dには、ゲートドライバ44の入力信号I Nが入力される。また、シフトレジスタ10eの各D-F F 11のクロック端子C Kにも、動作クロックC L Kが入力され、各D-F F 11のデータ出力端子Qから、信号Q 1 e ~ Q 7 eが出力される。

【0094】

さらに、シフトレジスタ10eの各D-F F 11のデータ出力端子Qには、シフトレジスタ10dと同様、プルダウン抵抗R dが接続されている。より具体的には、D-F F 11のデータ出力端子Qにプルダウン抵抗R dの一端が接続され、プルダウン抵抗R dの他端は接地されている。

20

【0095】

多数決回路25は、3つの入力端子A ~ Cおよび出力端子Qを有しており、入力端子A ~ Cのうち2以上がH i g hの場合、出力はH i g hになり、入力端子A ~ Cのうち2以上がL o wの場合、出力はL o wになる。各多数決回路25の入力端子A ~ Cには、シフトレジスタ10dからの信号Q m d (mは1 ~ 7の整数)と、シフトレジスタ10uからの信号Q m uの反転信号と、シフトレジスタ10eからの信号Q m eとが入力される。多数決回路25は、これらの入力信号のうち2以上の同一波形の信号を、信号Q m (mは1 ~ 7の整数)として出力する。

【0096】

これにより、外部からのノイズを受けていない状態では、信号Q m d、信号Q m uおよび信号Q m eは、いずれも同一の波形となる。ここで、ノイズにより、シフトレジスタ10d・10u・10eのうち、いずれか1つが誤動作を起こした場合であっても、多数決回路25に入力される信号は、正常な波形の信号が多数を占めるため、多数決回路25からの信号Q mは、ノイズを受けていない状態と変わらない。このように、ゲートドライバ44においても、ノイズに対する耐性が向上している。

30

【0097】

なお、シフトレジスタ10dおよびシフトレジスタ10eは、集積回路の離れた位置に配置され、電源やGND配線も互いに分離されていることが望ましい。これにより、ゲートドライバ44がL o w側にレベル変動させるノイズを受けた場合に、シフトレジスタ10d・10eの両方に誤動作を生じるリスクを低減できる。

40

【0098】

図11は、多数決回路25の具体的な構成を示す回路図である。多数決回路25は、3つのAND回路25a・25b・25cおよびOR回路25dを備えている。入力端子Aからの信号は、AND回路25aおよびAND回路25bに入力され、入力端子Bからの信号は、AND回路25bおよびAND回路25cに入力され、入力端子Cからの信号は、AND回路25bおよびAND回路25cに入力される。各AND回路25a・25b・25cからの出力は、OR回路25dに入力され、OR回路25dの出力端子が多数決回路25の出力端子Qとなる。

【0099】

50

なお、図 1 1 に示す構成は、多数決回路の一例であり、他の公知の多数決回路も適用可能である。また、多数決回路 2 5 を設ける代わりに O R 回路を設けて、当該 O R 回路が、信号 Q m d、信号 Q m u および信号 Q m e (m は 1 ~ 7 の整数) の論理和を出力する構成としてもよい。

【0 1 0 0】

また、本実施形態では、シフトレジスタの系統数が 3 系統であったが、5 以上の奇数系統のシフトレジスタを設けて、各シフトレジスタからの信号の多数決をとる構成としてもよい。

【0 1 0 1】

〔実施形態の総括〕

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【産業上の利用可能性】

【0 1 0 2】

本発明は、例えば液晶ディスプレイ等の表示装置に好適に適用できる。

【図面の簡単な説明】

【0 1 0 3】

【図 1】第 1 の実施形態に係るゲートドライバの構成を示す回路図である。

【図 2】第 1 の実施形態に係る T F T 液晶パネルの構成を示す概略図である。

【図 3】第 2 の実施形態に係るゲートドライバの構成を示す回路図である。

【図 4】図 3 に示すゲートドライバがノイズを受けていない通常時における、各フリップフロップおよび O R 回路からの信号波形を示すタイミングチャートである。

【図 5】図 3 に示すゲートドライバが、L o w 側にレベル変動させるノイズを受けた場合における、各フリップフロップおよび O R 回路からの信号波形を示すタイミングチャートである。

【図 6】本発明に係る論理回路の変形例を示す回路図である。

【図 7】第 3 の実施形態に係るゲートドライバの構成を示す回路図である。

【図 8】図 7 に示すゲートドライバにおける一方のシフトレジスタを構成するフリップフロップの詳細を示す回路図である。

【図 9】図 7 に示すゲートドライバにおける他方のシフトレジスタを構成するフリップフロップの詳細を示す回路図である。

【図 1 0】第 4 の実施形態に係るゲートドライバの構成を示す回路図である。

【図 1 1】図 1 0 に示すゲートドライバに設けられる多数決回路の詳細を示す回路図である。

【図 1 2】従来の半導体チップの構成を示す概略図である。

【図 1 3】従来の T F T 液晶パネルの構成を示す概略図である。

【図 1 4】従来のゲートドライバの構成を示す回路図である。

【符号の説明】

【0 1 0 4】

- 1 T F T 液晶パネル (表示装置)
- 4、2 4、3 4、4 4 ゲートドライバ (走査信号線駆動回路)
- 6 ゲートライン (走査信号線)
- 1 0 d・1 0 e シフトレジスタ (第 1 のシフトレジスタ)
- 1 0 u シフトレジスタ (第 2 のシフトレジスタ)
- 1 0 d・1 0 u・1 0 e シフトレジスタ
- 1 1 D - F F (フリップフロップ)
- 1 2 レベルシフト回路
- 1 5 O R 回路 (論理回路)
- 1 6 A N D 回路 (論理回路)

10

20

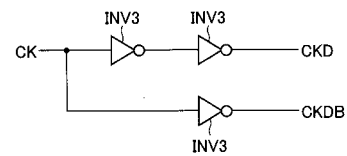
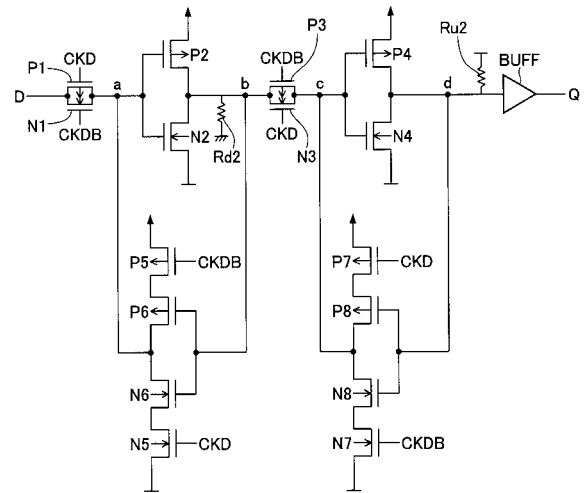
30

40

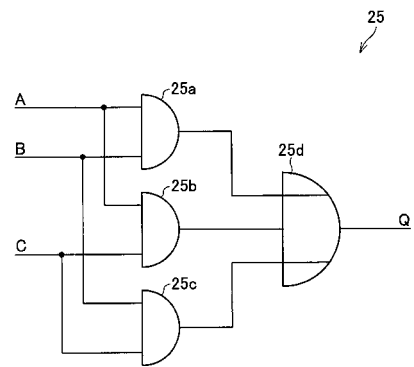
50

2 5	多数決回路	
3 0 d	シフトレジスタ (第 1 のシフトレジスタ)	
3 0 u	シフトレジスタ (第 2 のシフトレジスタ)	
3 1 d・3 1 u	D－FF (フリップフロップ)	
B U F F	バッファ (第 1 のバッファ回路、第 2 のバッファ回路)	
C L K	動作クロック (クロック信号)	
D	データ入力端子	
I N	入力信号	
N 2	トランジスタ (第 2 のトランジスタ、第 6 のトランジスタ)	
N 4	トランジスタ (第 4 のトランジスタ、第 8 のトランジスタ)	10
P 2	トランジスタ (第 1 のトランジスタ、第 5 のトランジスタ)	
P 4	トランジスタ (第 3 のトランジスタ、第 7 のトランジスタ)	
Q	データ出力端子	
Q 1～Q 7	信号 (第 3 のシフトパルス)	
Q 1 d～Q 7 d	信号 (第 1 のシフトパルス)	
Q 1 u～Q 7 u	信号 (第 2 のシフトパルス)	
Q 1 e～Q 7 e	信号 (第 1 のシフトパルス)	
Q 1 1 d～Q 1 7 d	信号 (第 1 のシフトパルス)	
Q 1 1 u～Q 1 7 u	信号 (第 2 のシフトパルス)	
R d	プルダウン抵抗	20
R d 1	プルダウン抵抗 (第 1 のプルダウン抵抗)	
R d 2	プルダウン抵抗 (第 2 のプルダウン抵抗)	
R u	プルアップ抵抗	
R u 1	プルアップ抵抗 (第 1 のプルアップ抵抗)	
R u 2	プルアップ抵抗 (第 2 のプルアップ抵抗)	
a	ポイント (第 4 の接続点、第 8 の接続点)	
b	ポイント (第 1 の接続点、第 5 の接続点)	
c	ポイント (第 3 の接続点、第 7 の接続点)	
d	ポイント (第 2 の接続点、第 6 の接続点)	

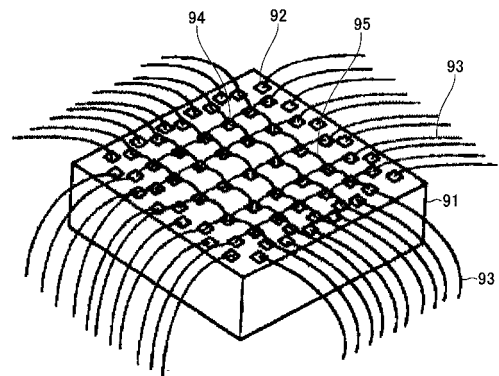
【図 9】



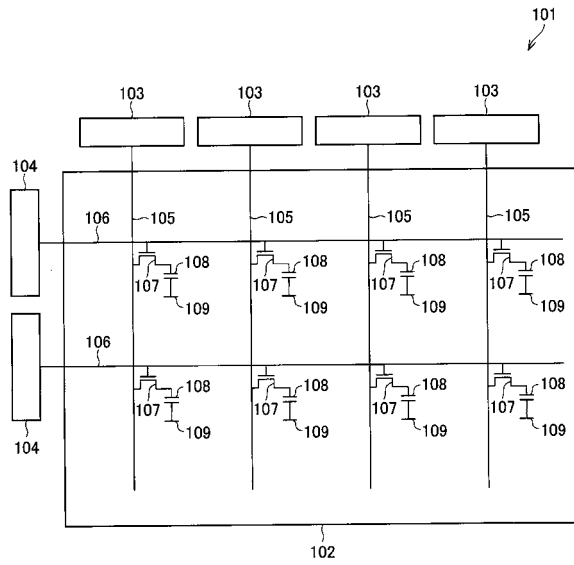
【図 1 1】



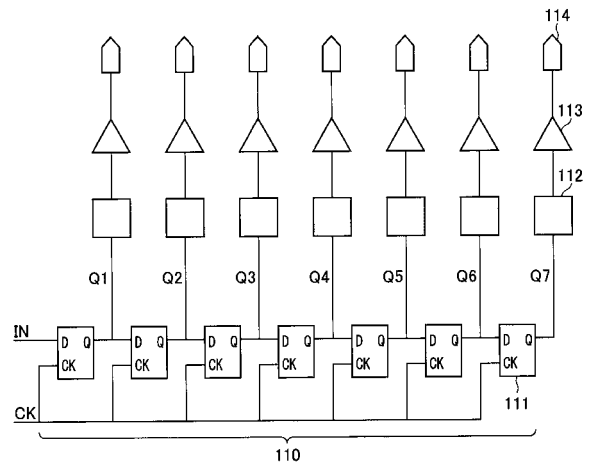
【図 1 2】



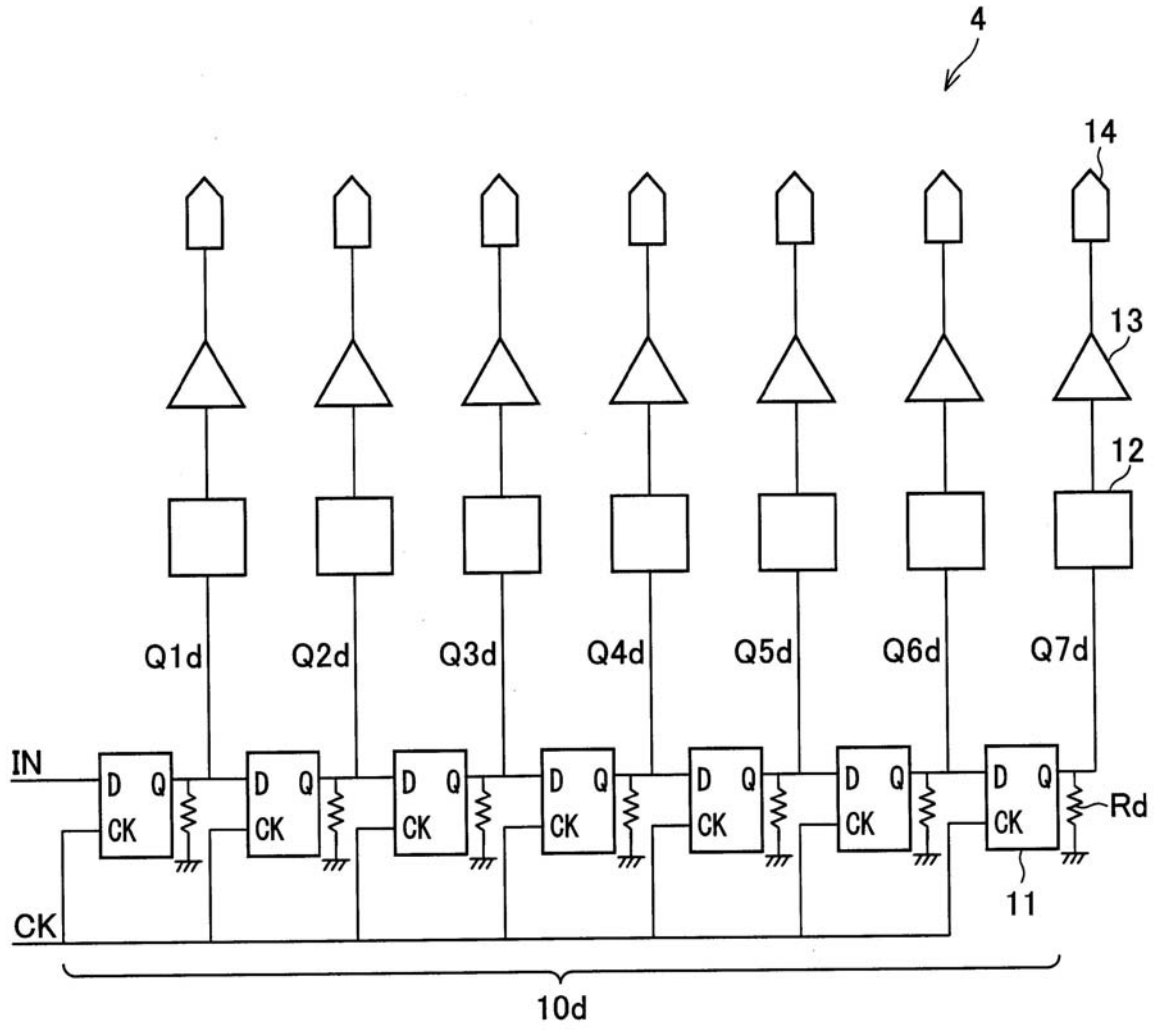
【図 13】



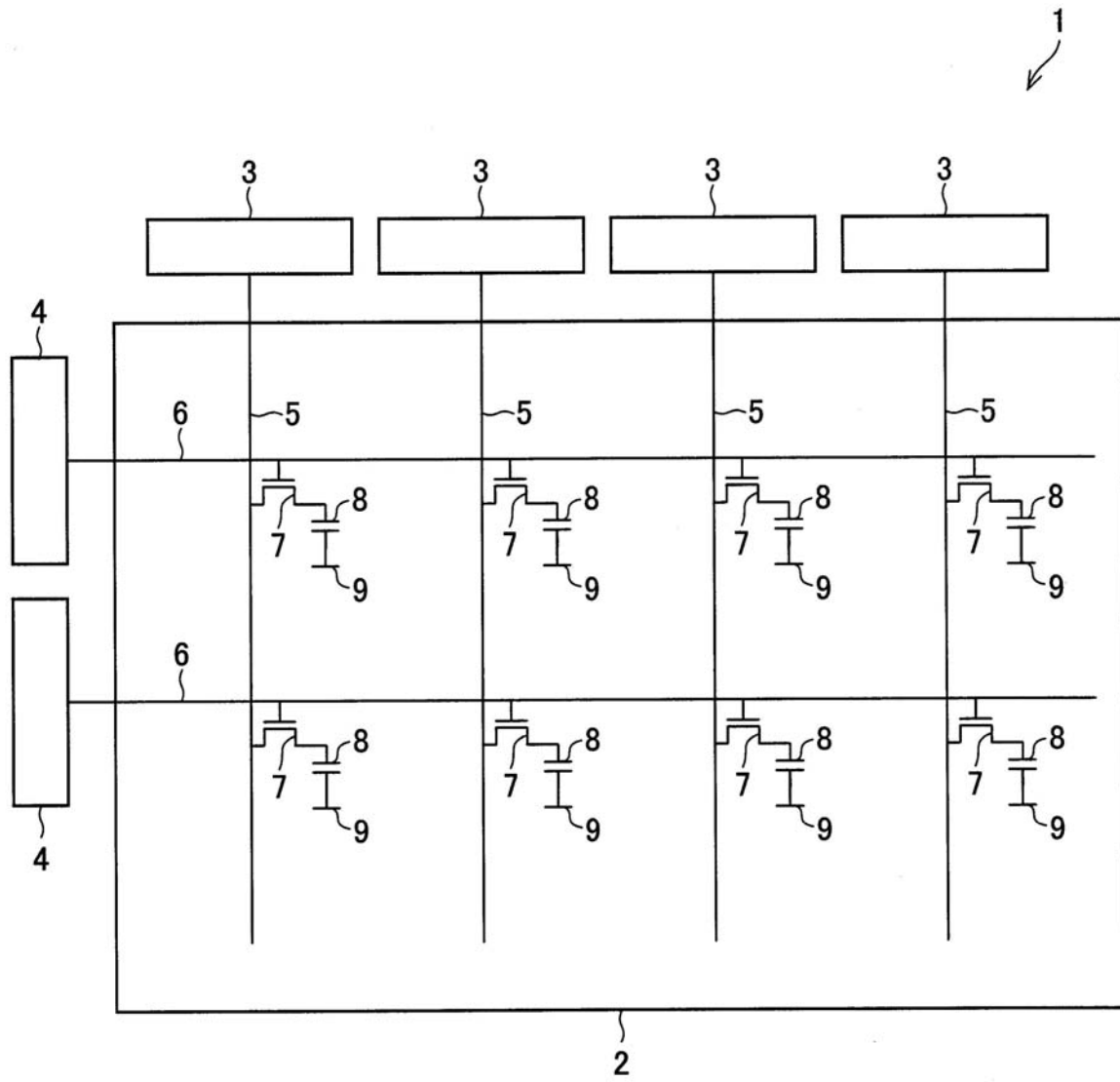
【図 14】



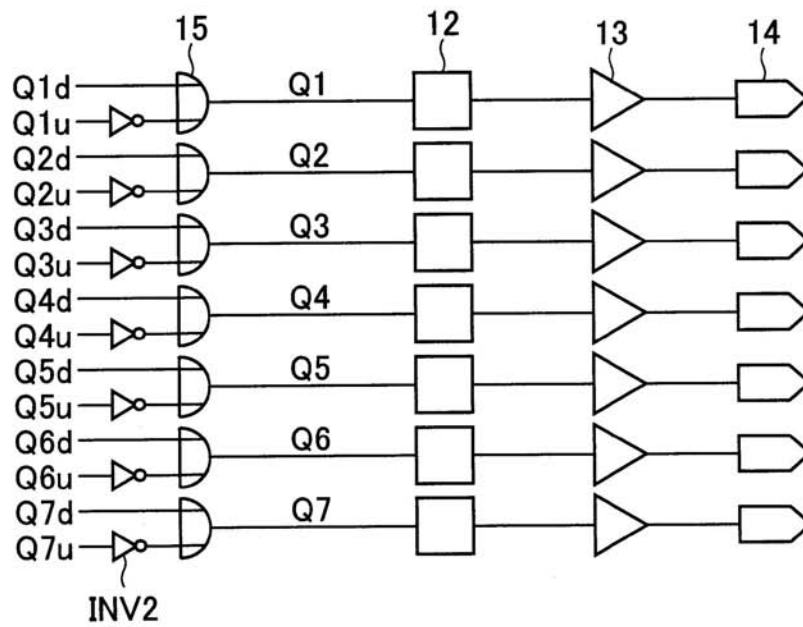
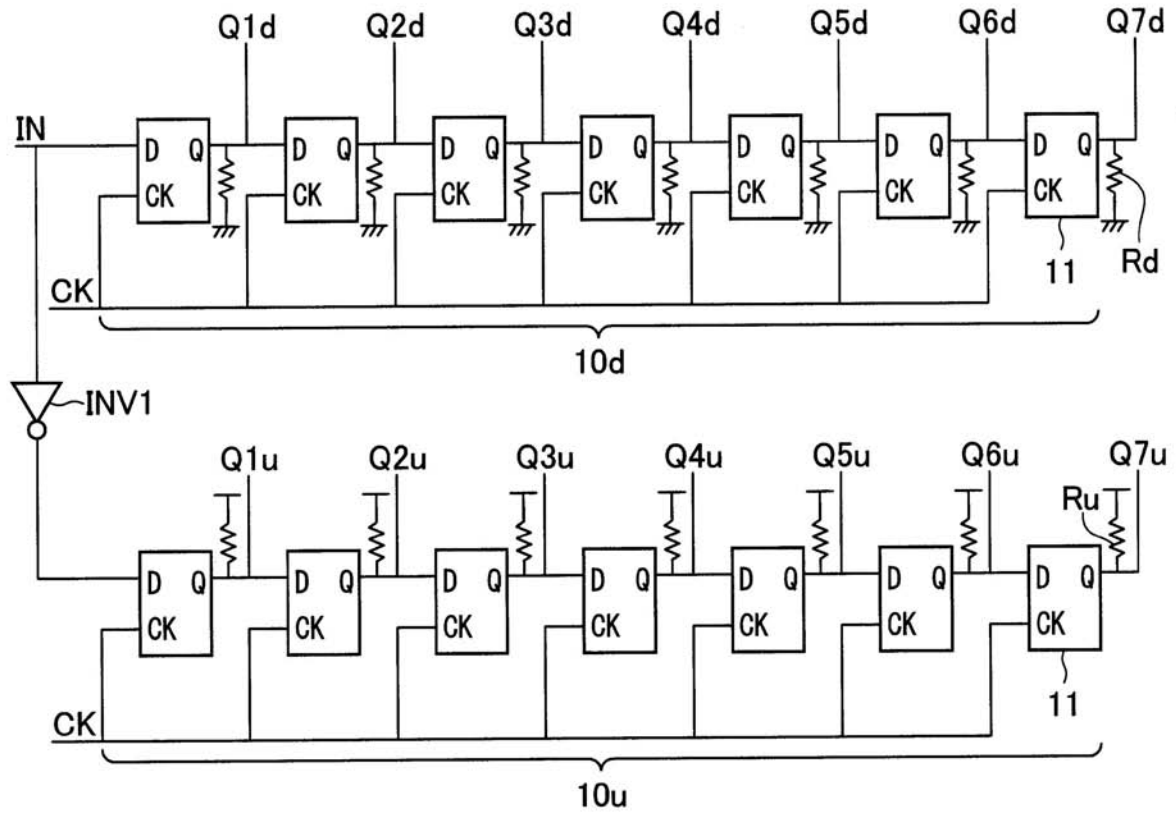
【図 1】



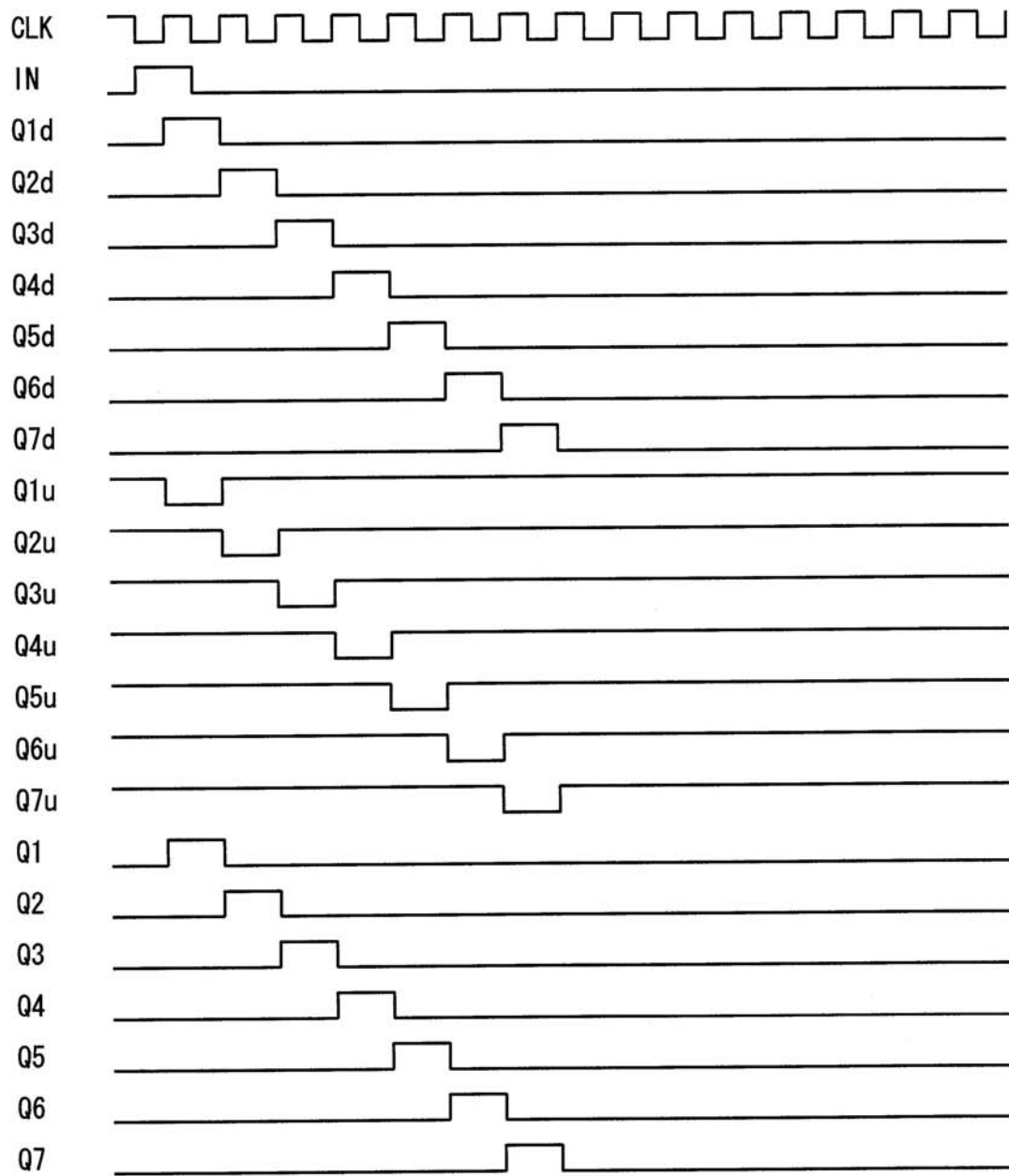
【図 2】



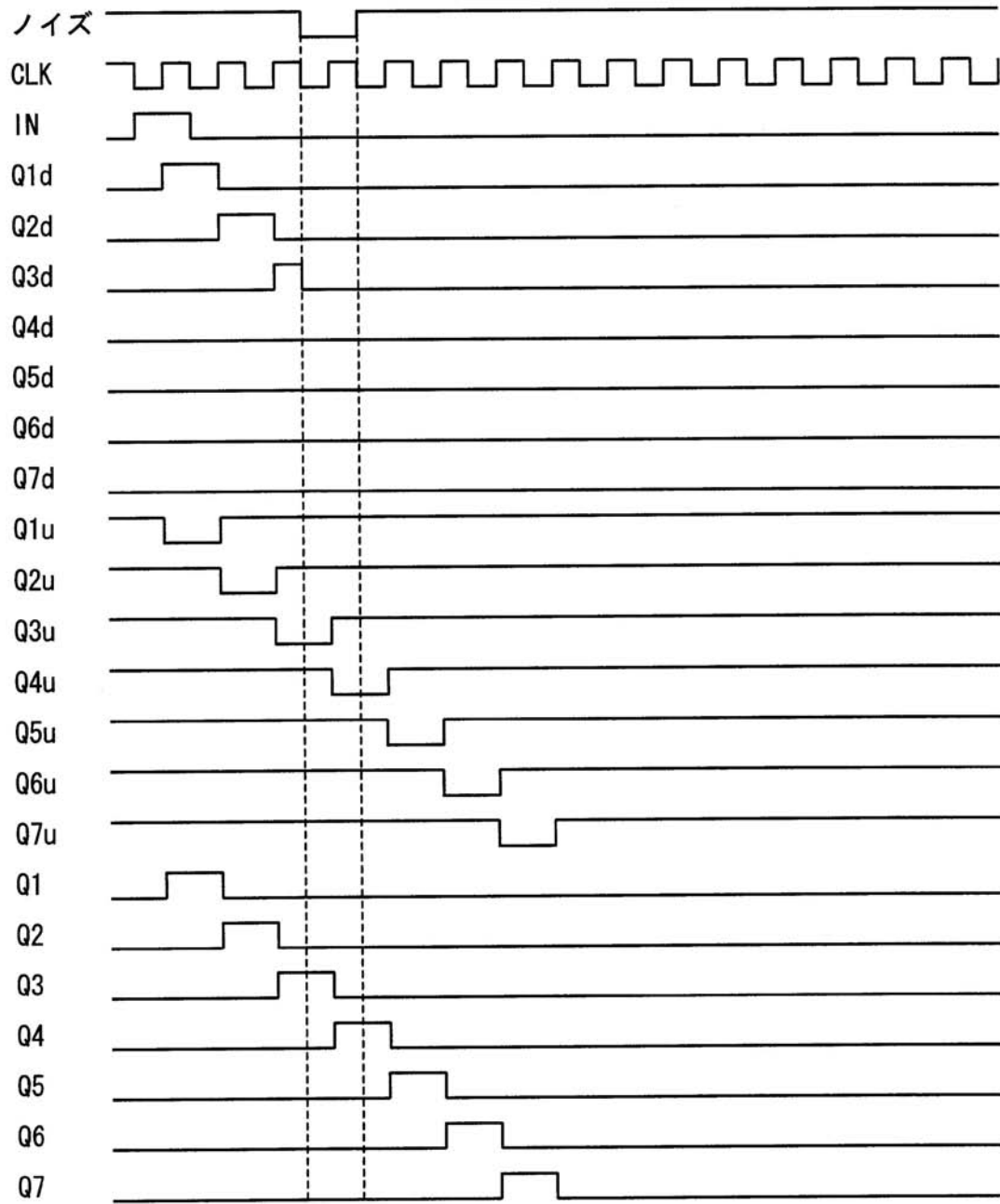
【図 3】



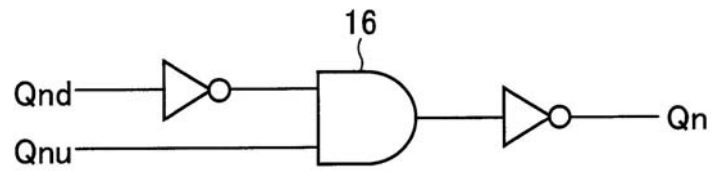
【図 4】



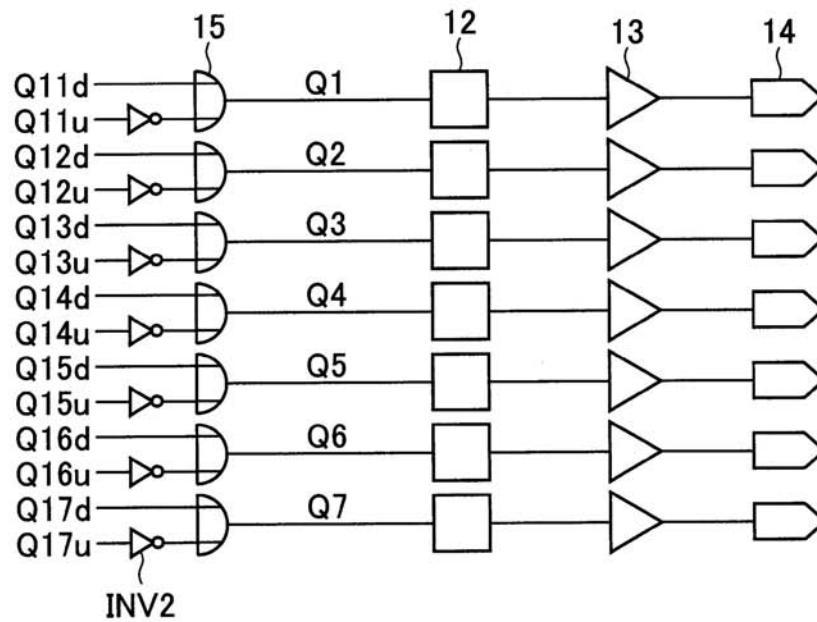
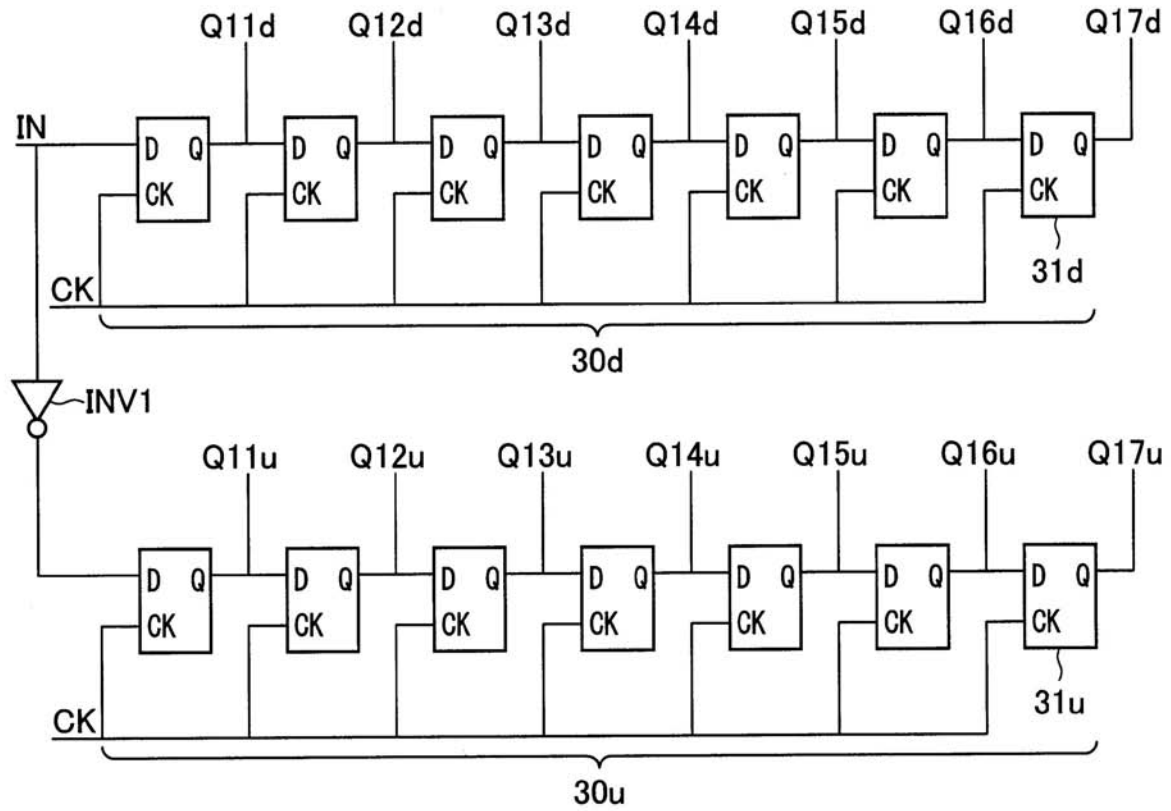
【図 5】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 0 5

(56)参考文献 特開平06-067209 (JP, A)
特開平11-086586 (JP, A)
特開平06-202588 (JP, A)
特開平07-287555 (JP, A)
特開平08-076723 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/00 - 3/38
G 0 2 F 1/133
G 1 1 C 19/00

专利名称(译)	扫描信号线驱动电路和显示装置		
公开(公告)号	JP4378405B2	公开(公告)日	2009-12-09
申请号	JP2007279670	申请日	2007-10-26
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	渡部利男		
发明人	渡部 利男		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2320/0233 G09G2330/06 G11C19/28		
FI分类号	G09G3/36 G09G3/20.622.A G09G3/20.622.E G09G3/20.622.G G09G3/20.611.Z G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NC10 2H093/NC22 2H093/NC34 2H093/ND40 2H193/ZA04 2H193/ZF22 2H193/ZF23 2H193/ZJ11 2H193/ZK25 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC20 5C006/BF03 5C006/BF06 5C006/BF26 5C006/FA31 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD12 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
其他公开文献	JP2009109598A		
外部链接	Espacenet		

摘要(译)

要解决的问题：实现一种扫描信号线驱动电路，该电路具有高抗噪声能力，使电平波动到“高”侧，几乎不会导致显示失败。解决方案：设置在TFT液晶面板中的栅极驱动器4设置有移位寄存器10d，其级联连接到D-FF11。信号Q1d-Q7d从D-FF的数据输出端子Q输出。然后，下拉电阻Rd连接到D-FF 11的数据输出端Q。因此，即使接收到使电平波动到“高”侧的噪声，信号Q1d的电平也是如此。-Q7d被防止波动。由此，该电路可以防止由于将电平波动到“高”侧的噪声而导致显示失败的发生，从而导通不应该执行显示的栅极线。Z

【图 1 2】

