

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4184334号  
(P4184334)

(45) 発行日 平成20年11月19日(2008.11.19)

(24) 登録日 平成20年9月12日(2008.9.12)

(51) Int.Cl.	F I
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 510
<b>G09G 3/20 (2006.01)</b>	G02F 1/133 550
	G09G 3/20 611D
	G09G 3/20 612U

請求項の数 20 (全 45 頁) 最終頁に続く

(21) 出願番号	特願2004-360440 (P2004-360440)	(73) 特許権者	000005049
(22) 出願日	平成16年12月13日(2004.12.13)		シャープ株式会社
(65) 公開番号	特開2005-202377 (P2005-202377A)		大阪府大阪市阿倍野区長池町2番2号
(43) 公開日	平成17年7月28日(2005.7.28)	(74) 代理人	110000338
審査請求日	平成16年12月13日(2004.12.13)		特許業務法人原謙三国際特許事務所
(31) 優先権主張番号	特願2003-419535 (P2003-419535)	(74) 代理人	100080034
(32) 優先日	平成15年12月17日(2003.12.17)		弁理士 原 謙三
(33) 優先権主張国	日本国(JP)	(74) 代理人	100113701
			弁理士 木島 隆一
		(74) 代理人	100116241
			弁理士 金子 一郎
		(72) 発明者	中本 達哉
			大阪府大阪市阿倍野区長池町2番2号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置の駆動方法、表示装置、およびプログラム

(57) 【特許請求の範囲】

【請求項1】

複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応してスイッチング素子および画素電極を含む表示画素が配置された表示装置の駆動方法であって、  
同一のゲートラインに接続された第1表示画素および第2表示画素につき、該第1表示画素に接続するソースラインに隣接するとともに該第1表示画素の画素電極との間に寄生容量を形成するソースラインが、上記第2表示画素に接続しているものとして、

第1表示画素への入力信号階調のレベルをLA、他の第2表示画素への入力信号階調のレベルをLB、上記LAおよび上記LBを入力値とする関数をF(LA、LB)とした場合、

上記第1表示画素への書き込み信号階調のレベルLoutが、 $Lout = LA + F(LA、LB)$ にて算出される階調レベルとなるように、上記第1表示画素への書き込み信号電圧を、該第1表示画素の入力信号電圧を上記第2表示画素への入力信号電圧あるいは上記第2表示画素への書き込み信号電圧に基づいて補正した電圧とし、

上記LAが所定のしきい値より小さい場合、 $F(LA、LB) = k(LA - LB)$ と定義され(ただし、 $k > 0$ )、

上記LAが当該しきい値より大きい場合、F(LA、LB)は一定値を出力する関数として定義されることを特徴とする表示装置の駆動方法。

【請求項2】

0から最大階調レベルに含まれる整数から複数の整数を抽出し、該複数の整数のそれぞれ

れを  $L A$  とした場合における  $F(L A, 0)$  の値を、対応する  $L A$  の値と関連付けて予めルックアップテーブルに格納する一方、

上記ルックアップテーブルに格納されていない  $L A$  を入力とする  $F(L A, L B)$  の値を、該ルックアップテーブルに格納された  $L A$  の値と、該  $L A$  の値に対応する  $F(L A, 0)$  の値と、 $F(L A, L B) = 0$  を満たす  $L A$  および  $L B$  の値と、に基づき補間することを特徴とする請求項 1 に記載の表示装置の駆動方法。

【請求項 3】

$L A > L B$  の場合、上記補間を直線補間により行うことを特徴とする請求項 2 に記載の表示装置の駆動方法。

【請求項 4】

$L A < L B$  の場合、 $F(L A, L B) = 0$  と定義されていることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の表示装置の駆動方法。

【請求項 5】

複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応してスイッチング素子および画素電極を含む表示画素が配置された表示装置であって、

同一のゲートラインに接続された第 1 表示画素および第 2 表示画素につき、該第 1 表示画素に接続するソースラインに隣接するとともに該第 1 表示画素の画素電極との間に寄生容量を形成するソースラインが、上記第 2 表示画素に接続しており、

第 1 表示画素への入力信号階調のレベルを  $L A$ 、他の第 2 表示画素への入力信号階調のレベルを  $L B$ 、上記  $L A$  および上記  $L B$  を入力値とする関数を  $F(L A, L B)$  とした場合、

上記第 1 表示画素への書き込み信号階調のレベル  $L_{out}$  が、 $L_{out} = L A + F(L A, L B)$  にて算出される階調レベルとなるように、上記第 1 表示画素への書き込み信号電圧を、該第 1 表示画素の入力信号電圧を上記第 2 表示画素への入力信号電圧あるいは上記第 2 表示画素への書き込み信号電圧に基づいて補正した電圧とし、

上記  $L A$  が所定のしきい値より小さい場合、 $F(L A, L B) = k(L A - L B)$  と定義され（ただし、 $k > 0$ ）、

上記  $L A$  が当該しきい値より大きい場合、 $F(L A, L B)$  は一定値を出力する関数として定義されることを特徴とする表示装置。

【請求項 6】

上記複数のソースラインが互いに平行となるように配設されているとともに、

第 1 表示色を表示する表示画素と、第 2 表示色を表示する表示画素と、第 3 表示色を表示する表示画素とから構成される表示絵素を用いて画像表示を行い、

以下の第 1 表示画素配列、第 2 表示画素配列、および第 3 表示画素配列が含まれていることを特徴とする請求項 5 に記載の表示装置。

上記第 1 表示画素配列は、上記第 1 表示画素がスイッチング素子を介して接続されている第 1 ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第 1 表示色、上記第 2 表示色、および上記第 3 表示色のうちいずれか 1 色が表示色として設定されている。

上記第 2 表示画素配列は、上記第 2 表示画素がスイッチング素子を介して接続されている第 2 ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第 1 表示色、上記第 2 表示色、および上記第 3 表示色のうち上記第 1 表示画素配列について設定された表示色を除く 2 色のうちいずれか 1 色が表示色として設定されている。

上記第 3 表示画素配列は、上記第 1 ソースラインと上記第 2 ソースラインとが隣接する側とは反対側において上記第 2 ソースラインに隣接する第 3 ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第 1 表示色、上記第 2 表示色、および上記第 3 表示色から上記第 1 表示画素配列および上記第 2 表示画素配列について表示色として設定されていない色が表示色として設定されている。

【請求項 7】

10

20

30

40

50

上記表示絵素は、さらに、第4表示色を表示する表示画素を備えてなり、  
以下の第4表示画素配列をさらに含んでいることを請求項6に記載の表示装置。

上記第4表示画素配列は、

上記第2ソースラインと上記第3ソースラインとが隣接する側とは反対側において上記第3ソースラインに隣接する第4ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第4表示色が表示色として設定されている。

【請求項8】

上記複数のソースラインが互いに平行となるように配設されているとともに、

第1表示色を表示する表示画素と、第2表示色を表示する表示画素と、第3表示色を表示する表示画素とから構成される表示絵素を用いて画像表示を行い、

上記表示装置に含まれる3つの表示画素からなる第1表示画素グループ、および、該第1表示画素グループに含まれる3つの表示画素とは異なる3つの表示画素からなる第2表示画素グループについて、以下のように設定されていることを特徴とする請求項5に記載の表示装置。

上記第1表示画素グループに含まれる3つの表示画素は、

上記第1ゲートラインにより駆動されるとともに上記第2表示画素が寄生容量を介して接続されているソースラインにスイッチング素子を介して接続されている第3表示画素、  
上記第1表示画素、および上記第2表示画素であり、

上記第1表示画素、上記第2表示画素、および上記第3表示画素については、上記第1表示色、上記第2表示色、および上記第3表示色のうちいずれか1色による表示色が互いに異なるように設定されている。

上記第2表示画素グループに含まれる3つの表示画素は、

上記第1表示画素がスイッチング素子を介して接続されているソースラインと、上記第1ゲートラインに隣接する第2ゲートラインとにスイッチング素子を介して接続されている第4表示画素、

上記第2表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第5表示画素、

および上記第3表示画素がスイッチング素子を介して接続されているソースラインと、  
上記第2ゲートラインとにスイッチング素子を介して接続されている第6表示画素であり、

上記第4表示画素について上記第3表示画素と同じ表示色、上記第5表示画素について上記第1表示画素と同じ表示色、上記第6表示画素について上記第2表示画素と同じ表示色が設定されている。

【請求項9】

上記複数のソースラインが互いに平行となるように配設されているとともに、

第1表示色を表示する表示画素と、第2表示色を表示する表示画素と、第3表示色を表示する表示画素と、第4表示色を表示する表示画素とから構成される表示絵素を用いて画像表示を行い、

上記表示装置に含まれる4つの表示画素からなる第1表示画素グループ、および、該第1表示画素グループに含まれる4つの表示画素とは異なる4つの表示画素からなる第2表示画素グループについて、以下のように設定されていることを特徴とする請求項5に記載の表示装置。

上記第1表示画素グループに含まれる4つの表示画素は、

上記第1ゲートラインにより駆動されるとともに上記第2表示画素が寄生容量のみを介して接続されているソースラインにスイッチング素子を介して接続されている第3表示画素、

上記第1ゲートラインにより駆動されるとともに上記第3表示画素が寄生容量のみを介して接続されているソースラインにスイッチング素子を介して接続されている第4表示画素、

上記第1表示画素、

および上記第 2 表示画素であり、

上記第 1 表示画素、上記第 2 表示画素、上記第 3 表示画素、および上記第 4 表示画素については、上記第 1 表示色、上記第 2 表示色、上記第 3 表示色、および上記第 4 表示色のうちいずれか 1 色による表示色が互いに異なるように設定されている。

上記第 2 表示画素グループに含まれる 4 つの表示画素は、

上記第 1 表示画素がスイッチング素子を介して接続されているソースラインと、上記第 1 ゲートラインに隣接する第 2 ゲートラインとにスイッチング素子を介して接続されている第 5 表示画素、

上記第 2 表示画素がスイッチング素子を介して接続されているソースラインと、上記第 2 ゲートラインとにスイッチング素子を介して接続されている第 6 表示画素、

上記第 3 表示画素がスイッチング素子を介して接続されているソースラインと、上記第 2 ゲートラインとにスイッチング素子を介して接続されている第 7 表示画素であり、

上記第 4 表示画素がスイッチング素子を介して接続されているソースラインと、上記第 2 ゲートラインとにスイッチング素子を介して接続されている第 8 表示画素であり、

上記第 5 表示画素については上記第 4 表示画素と同じ表示色、上記第 6 表示画素については上記第 1 表示画素と同じ表示色、上記第 7 表示画素については上記第 2 表示画素と同じ表示色、上記第 8 表示画素については上記第 3 表示画素と同じ表示色が設定されている。

#### 【請求項 10】

上記複数のソースラインが互いに平行となるように配設されているとともに、

第 1 表示色を表示する表示画素と、第 2 表示色を表示する表示画素と、第 3 表示色を表示する表示画素とから構成される表示絵素を用いて画像表示を行い、

上記表示装置に含まれる 3 つの表示画素からなる第 1 表示画素グループ、および、該第 1 表示画素グループに含まれる 3 つの表示画素とは異なる 3 つの表示画素からなる第 2 表示画素グループについて、以下のように設定されていることを特徴とする請求項 5 に記載の表示装置。

上記第 1 表示画素グループに含まれる 3 つの表示画素は、

上記第 1 ゲートラインにより駆動されるとともに上記第 2 表示画素が寄生容量を介して接続されているソースラインにスイッチング素子を介して接続されている第 3 表示画素、上記第 1 表示画素、および上記第 2 表示画素であり、

上記第 1 表示画素、上記第 2 表示画素、および上記第 3 表示画素については、上記第 1 表示色、上記第 2 表示色、および上記第 3 表示色のうちいずれか 1 色による表示色が互いに異なるように設定されている。

上記第 2 表示画素グループに含まれる 3 つの表示画素は、

上記第 1 表示画素がスイッチング素子を介して接続されているソースラインと、上記第 1 ゲートラインに隣接する第 2 ゲートラインとにスイッチング素子を介して接続されている第 4 表示画素、

上記第 2 表示画素がスイッチング素子を介して接続されているソースラインと、上記第 2 ゲートラインとにスイッチング素子を介して接続されている第 5 表示画素、

および上記第 3 表示画素がスイッチング素子を介して接続されているソースラインと、上記第 2 ゲートラインとにスイッチング素子を介して接続されている第 6 表示画素であり、

上記第 4 表示画素について上記第 2 表示画素と同じ表示色、上記第 5 表示画素について上記第 3 表示画素と同じ表示色、上記第 6 表示画素について上記第 1 表示画素と同じ表示色が設定されている。

#### 【請求項 11】

上記複数のソースラインが互いに平行となるように配設されているとともに、

第 1 表示色を表示する表示画素と、第 2 表示色を表示する表示画素と、第 3 表示色を表示する表示画素と、第 4 表示色を表示する表示画素とから構成される表示絵素を用いて画像表示を行い、

上記表示装置に含まれる4つの表示画素からなる第1表示画素グループ、および、該第1表示画素グループに含まれる4つの表示画素とは異なる4つの表示画素からなる第2表示画素グループについて、以下のように設定されていることを特徴とする請求項5に記載の表示装置。

上記第1表示画素グループに含まれる4つの表示画素は、

上記第1ゲートラインにより駆動されるとともに上記第2表示画素が寄生容量のみを介して接続されているソースラインにスイッチング素子を介して接続されている第3表示画素、

上記第1ゲートラインにより駆動されるとともに上記第3表示画素が寄生容量のみを介して接続されているソースラインにスイッチング素子を介して接続されている第4表示画素、

上記第1表示画素、

および上記第2表示画素であり、

上記第1表示画素、上記第2表示画素、上記第3表示画素、および上記第4表示画素については、上記第1表示色、上記第2表示色、上記第3表示色、および上記第4表示色のうちいずれか1色による表示色が互いに異なるように設定されている。

上記第2表示画素グループに含まれる4つの表示画素は、

上記第1表示画素がスイッチング素子を介して接続されているソースラインと、上記第1ゲートラインに隣接する第2ゲートラインとにスイッチング素子を介して接続されている第5表示画素、

上記第2表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第6表示画素、

上記第3表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第7表示画素であり、

上記第4表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第8表示画素であり、

上記第5表示画素については上記第2表示画素と同じ表示色、上記第6表示画素については上記第3表示画素と同じ表示色、上記第7表示画素については上記第4表示画素と同じ表示色、上記第8表示画素については上記第1表示画素と同じ表示色が設定されている。

#### 【請求項12】

上記複数のソースラインが互いに平行となるように配設されているとともに、

第1表示色を表示する表示画素と、第2表示色を表示する表示画素と、第3表示色を表示する表示画素とから構成される表示絵素を用いて画像表示を行い、

以下のように設定される第1表示画素配列、第2表示画素配列、および第3表示画素配列が含まれていることを特徴とする請求項5に記載の表示装置。

上記第1表示画素配列は、

上記第1表示画素がスイッチング素子を介して接続されている第1ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第1表示色、上記第2表示色、および上記第3表示色のうちいずれか1色が表示色として設定されている。

上記第2表示画素配列は、上記第2表示画素がスイッチング素子を介して接続されている第2ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、

上記第3表示画素配列は、上記第1ソースラインと上記第2ソースラインとが隣接する側とは反対側において上記第2ソースラインに隣接する第3ソースラインにスイッチング素子を介して接続されている複数の表示画素からなり、

上記第2表示画素配列および上記第3表示画素配列に含まれる表示画素は、上記第1表示色、上記第2表示色、および上記第3表示色から上記第1表示画素配列について設定された表示色を除く2色が市松パターンとなるように表示色が設定されている。

## 【請求項 13】

上記表示絵素は、さらに、第4表示色を表示する表示画素を備えてなり、  
以下の第4表示画素配列をさらに含んでいることを請求項12に記載の表示装置。

上記第4表示画素配列は、上記第2ソースラインと上記第3ソースラインとが隣接する側とは反対側において上記第3ソースラインに隣接する第4ソースラインにスイッチング素子を介して接続されている複数の表示画素からなり、

上記第2表示画素配列、上記第3表示画素配列、および上記第4表示画素配列に含まれる表示画素は、上記第1表示色、上記第2表示色、上記第3表示色、および上記第4表示色から上記第1表示画素配列について設定された表示色を除く3色が市松パターンとなるように表示色が設定されている。

10

## 【請求項 14】

上記第1表示色がR色、上記第2表示色がG色、上記第3表示色がB色であることを特徴とする請求項6ないし13のいずれか1項に記載の表示装置。

## 【請求項 15】

上記第1表示色がシアン、上記第2表示色がマゼンタ、上記第3表示色がイエローであることを特徴とする請求項6ないし13のいずれか1項に記載の表示装置。

## 【請求項 16】

上記第1表示色がR色、上記第2表示色がG色、上記第3表示色がB色、上記第4表示色がホワイトであることを特徴とする請求項7、9、11、13のいずれか1項に記載の表示装置。

20

## 【請求項 17】

上記第1表示色がシアン、上記第2表示色がマゼンタ、上記第3表示色がイエロー、上記第4表示色がグリーンであることを特徴とする請求項7、9、11、13のいずれか1項に記載の表示装置。

## 【請求項 18】

上記複数のソースラインに含まれる各ソースラインは、L字状部と逆L字状部とが交互に繰り返されるように連結された形状にて配設されていることを特徴とする請求項5ないし17のいずれか1項に記載の表示装置。

## 【請求項 19】

上記複数のソースラインに含まれる各ソースラインに対してスイッチング素子が接続されている方向が、上記複数のゲートラインに含まれる各ゲートラインを跨ぐ毎に異なるように設定されていることを特徴とする請求項5ないし17の表示装置。

30

## 【請求項 20】

請求項1ないし4のいずれか1項に記載の表示装置の駆動方法をコンピュータに実行させるためのプログラム。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、カラークロストークを低減することにより色再現性を向上させるための表示装置の駆動方法、表示装置、およびプログラムに関する。

40

## 【背景技術】

## 【0002】

表示装置の色再現性については、従来より多くの欠陥が指摘されている。特に液晶表示装置においては、以下の2つの欠陥が指摘されている。

## 【0003】

多くの液晶表示装置は、液晶の複屈折性を利用して透過光を得ているが、RGB色それぞれの画素の液晶が同一電圧に対して示す透過率が異なるため、たとえば同じ白色(R = G = B)を表示しても、その階調によって色合いが異なってしまう場合がある。

## 【0004】

この問題に対しては、アナログ的またはデジタル的に、RGB色について独立したカ

50

ープを設定することが有効である。このようにRGB各色を独立に補正する技術は、たとえば特許文献1に記載されている。

【0005】

また、シャッター型デバイスである液晶表示装置は、表示階調によらず各色の光漏れが発生し、特に表示階調が低下してくると光漏れの影響で色純度(彩度)が低下する。さらに、コントラストが十分であったとしても、多くの液晶表示装置では輝度効率が重要視されているので、バックライトやカラーフィルターのスペクトル特性をブロードに設定しなくては仕方がない状況におかれている。このような状況からしても、輝度低下に伴い彩度が低下してしまう。

【0006】

これらの色純度向上のためには、画素の中で相対的に彩度の強い色についてはその彩度をより強くする一方、彩度の弱い色についてはその彩度をより弱くすることによる、彩度強調技術が有効である。これらの彩度補正の技術は、たとえば特許文献2に記載されている。

【0007】

また、TFT-LCD特有の問題として、隣り合う画素が寄生容量を介して結合していることから生じるクロストークの問題も指摘されている。すなわち、透明電極とソースラインとの間に絶縁膜があると、そこに寄生容量ができる。同様に、ゲートラインと透明電極との間や、ソースラインと共通電極との間にも寄生容量が発生する。これらの寄生容量や液晶自体の容量に影響を受けて、ゲートがOFFとなった時の表示画素の電位が所望の電圧とは異なってしまい、表示階調が所望の階調と異なるようになってしまうという問題が発生する。このクロストークの問題を解決する手段として、上記の寄生容量を低減する技術がたとえば特許文献3に記載されているが、クロストークを低減するには未だ不十分である。

【特許文献1】特開2002-258813号公報(2002年9月11日公開)

【特許文献2】特開2003-52050号公報(2003年2月21日公開)

【特許文献3】特開平5-203994号公報(1993年8月13日)

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、これらの従来技術はパネル全体または表示画素毎に色再現性を調整するには有効であるが、表示装置による表示パターンにより再現される色が変化する状況には対応できない。

【0009】

すなわち、TFTに接続されている表示画素にはゲートハイの瞬間に所望の電圧が印加されているが、ゲートロー時において該画素は寄生容量を介して多くの周辺電気回路と接続している。そして、これら周辺電気回路の多くは、パネル設計に関わるものであるから、表示画素と周辺電気回路との間における寄生容量を考慮した駆動電圧を予め設定することが可能である。したがって、周辺電気回路との間に形成される寄生容量によるクロストークは、予め補償することができる。しかしながら、他の表示画素を駆動するソースラインの電位は、予め規定することができないため、他のソースラインが要因で発生するクロストークを予め補償することはできない。

【0010】

つまり、図15(a)に示すように、液晶表示装置において、ソースライン $S_i$ ( $i$ は整数)とゲートライン $G_j$ ( $j$ は整数)とが直交するように設けられており、各ソースラインと各ゲートラインとの交差部分に、表示画素100およびスイッチング素子200が設けられているとする。そして、表示画素100...のうち、表示画素(A)について、以下のように寄生容量 $C_{sda} \cdot C_{sdb} \cdot C_{gd} \cdot C_{cs}$ が形成されているとする。なお、表示画素(B)は、表示画素(A)とゲートラインの配設方向において隣接する表示画素の意味である。

10

20

30

40

50

## 【0011】

すなわち、

寄生容量  $C_{sda}$  ... 表示画素 (A) を駆動するためのソースライン  $S_2$  と表示画素 (A) との間に形成される寄生容量

寄生容量  $C_{sdb}$  ... 表示画素 (B) を駆動するためのソースライン  $S_3$  と表示画素 (A) との間に形成される寄生容量

寄生容量  $C_{gd}$  ... 表示画素 (A) を駆動するためのゲートライン  $G_2$  と表示画素 (A) との間に形成される寄生容量

寄生容量  $C_{cs}$  ... 共通電極線と表示画素 (A) との間に形成される寄生容量。

## 【0012】

そして、表示画素 (A) 自体の容量を  $C_p$  とし、各ゲートラインに印加される電圧が図 15 (b) に示すように変化するとする。そして、表示画素 (A) が G 色を表示する一方、表示画素 (B) が R 色または B 色を表示しており、表示画素 (A) の表示階調を  $L_A$ 、表示画素 (B) の表示階調を  $L_B$  とした場合、 $L_A = L_B$  であるとする。

## 【0013】

この場合、ゲートハイ時に、表示画素 (A) の液晶部分にドレイン電圧が  $+V(A)$  だけ印加されるとすると、表示画素 (B) の液晶部分にはドレイン電圧が  $-V(B)$  だけ印加される。そして、次のゲートラインが ON になったとき、表示画素 (A) を駆動するソースラインには  $-V(A)$  が印加され、表示画素 (B) を駆動するソースラインには  $+V(B)$  が印加される。

## 【0014】

しかしながら、実際に表示画素 (A) には、上述のドレイン電圧がそのまま印加されるのではなく、寄生容量に影響されて変化したドレイン電圧が印加される。具体的には、表示画素 (A) に印加される電圧の実効値を  $V_a$  とすると、

$$V_a = V(A) + (C_{sda} * V(A) + C_{gd} * V_g + C_{sdb} * V(B) + C_{cs} * V_c) / C_p$$

## 【0015】

なお、 $V_g$  はゲートラインに印加される電圧であり、 $V_c$  は対向電極に印加される電圧である。

## 【0016】

このように、表示画素 (A) には、所望のドレイン電圧 (A) と異なる電圧が印加されてしまう。

## 【0017】

ここで、表示画素 (A) との間に形成される寄生容量  $C_{sda} \cdot C_{gd} \cdot C_{cs}$  は、設計段階で予測できるので、該寄生容量の値を考慮したドレイン電圧を設定することが可能である。すなわち、これらの寄生容量は、表示画素 (A) の表示階調にはあまり影響しない。

## 【0018】

しかしながら、上記の実効電圧  $V_a$  の計算式には、寄生容量  $C_{sdb}$ 、ドレイン電圧  $V(B)$  が含まれている。すなわち、電圧  $V_a$  は、表示画素 (B) に接続しているソースラインにより影響されるので、表示画素 (B) の表示階調によって表示画素 (A) の階調が変化するカラークロストークが生じる。

## 【0019】

たとえば、 $V(A) = \pm 2.59V$ 、 $V(B) = \pm 1.21V$  のとき、表示画素 (A) に供給される電圧は  $\pm 2.45V$  となり、カラーバランスが変化することがわかった。

## 【0020】

また、特許文献 3 に記載されているように、設計段階で寄生容量を減少させても、クロストーク量を小さくできるだけであり、カラークロストークを完全に排除することはできない。したがって、実際に表示画素に印加される電位は、表示装置全体の表示パターンに応じて変動することになる。その結果、表示画素は所望の輝度を再現することができない

10

20

30

40

50

。

## 【0021】

また、シールド電極や配線を新たに設けることによって、クロストークを補償することも考え得るが、表示装置にあらたな構成を設けてしまうと、表示装置の製造コストが上がるってしまう。

## 【0022】

本発明は、上記従来の問題点に鑑みなされたものであって、効率よくクロストークを低減し得る表示装置の駆動方法、表示装置、およびプログラムを提供することを目的とする。

。

## 【課題を解決するための手段】

10

## 【0023】

本発明の表示装置の駆動方法は、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応してスイッチング素子および画素電極を含む表示画素が配置された表示装置の駆動方法であって、同一のゲートラインに接続された第1表示画素および第2表示画素につき、該第1表示画素に接続するソースラインに隣接するとともに該第1表示画素の画素電極との間に寄生容量を形成するソースラインが、上記第2表示画素に接続しているものとして、

第1表示画素への入力信号階調のレベルを $L_A$ 、他の第2表示画素への入力信号階調のレベルを $L_B$ 、上記 $L_A$ および上記 $L_B$ を入力値とする関数を $F(L_A, L_B)$ とした場合、

20

上記第1表示画素への書き込み信号階調のレベル $L_{out}$ が、 $L_{out} = L_A + F(L_A, L_B)$ にて算出される階調レベルとなるように、上記第1表示画素への書き込み信号電圧を、該第1表示画素の入力信号電圧を上記第2表示画素への入力信号電圧あるいは上記第2表示画素への書き込み信号電圧に基づいて補正した電圧とすることを特徴としている。

## 【0024】

上記構成によれば、上記第1表示画素への書き込み電圧信号を、該第1表示画素の入力信号電圧を上記第2表示画素への入力信号電圧あるいは書き込み電圧信号に基づいて補正する。このように、第1表示画素の画素電極および第2表示画素を駆動するソースライン間の寄生容量の影響を予め考慮した上で第1表示画素に対する書き込み信号を決定することで、上記寄生容量が各画素電極の電位を変動させることによって生じる表示階調と所望階調とのギャップ(クロストーク量)を大幅に低減することができ、表示品位を高めることができる。

30

さらに、信号電圧を示すアナログデータは、階調レベルを示すデジタルデータに対してリニアに応答しないので、該アナログデータの処理には多くのビット数が必要となる。つまり、アナログデータである信号電圧のデータそのものを用いて第1表示画素への信号電圧を補正する処理よりも、デジタルデータである階調レベルを用いて第1表示画素への信号階調を補正する処理の方が簡略である。

## 【0025】

したがって、上記構成によれば、簡易な処理にて、表示装置のカラーバランスを適正化することができる。

40

## 【0026】

さらに、上記構成の駆動方法においては、上記 $L_A$ が所定のしきい値より小さい場合、 $F(L_A, L_B) = k(L_A - L_B)$ と定義され(ただし、 $k > 0$ )、上記 $L_A$ が当該しきい値より大きい場合、 $F(L_A, L_B)$ は一定値を出力する関数として定義されることが好ましい。

## 【0027】

すなわち、クロストークを低減するために $L_A$ に与えるべき補正值 $F(L_A, L_B)$ の値は、 $L_A$ が所定のしきい値に達するまでは、 $L_A$ の値に応じて単調増加する。また、しきい値を超える $L_A$ については、 $L_A$ と $F(L_A, L_B)$ との間に明快な相関関係がなく、刺激値の誤差率が低くなるので、一定値を $L_A$ に加えて $L_{out}$ を出力するというように

50

、比較的ラフな補正でクロストークは低減される。

【 0 0 2 8 】

したがって、上記のように  $F(LA, LB)$  を定義すれば、簡略な処理において  $L_{out}$  を求めることができるというさらなる効果が奏される。

【 0 0 2 9 】

さらに、上記構成の駆動方法においては、0 から最大階調レベルに含まれる整数から複数の整数を抽出し、該複数の整数のそれぞれを  $LA$  とした場合における  $F(LA, 0)$  の値を、対応する  $LA$  の値と関連付けて予めルックアップテーブルに格納する一方、上記ルックアップテーブルに格納されていない  $LA$  を入力とする  $F(LA, LB)$  の値を、該ルックアップテーブルに格納された  $LA$  の値と、該  $LA$  の値に対応する  $F(LA, 0)$  の値と、 $F(LA, LB) = 0$  を満たす  $LA$  および  $LB$  の値と、に基づき補間することが好ましい。

10

【 0 0 3 0 】

上記構成によれば、ルックアップテーブルを用いて  $F(LA, LB)$  の値を求めることができるので、該ルックアップテーブルを表示装置の種類ごとに予め作成しておけば、表示装置の種類に応じた適切な  $F(LA, LB)$  の値を求めることができる。

【 0 0 3 1 】

したがって、表示装置の種類に関わらず、クロストークを低減してカラーバランスを適正化することができるというさらなる効果が奏される。

【 0 0 3 2 】

さらに、上記構成の駆動方法においては、 $LA > LB$  の場合、上記補間を直線補間により行うことが好ましい。

20

【 0 0 3 3 】

すなわち、補間方法としては、直線による補間が最も簡略な方法であるので、上記構成によれば、表示装置の種類に応じた適切な  $F(LA, LB)$  の値を簡易な処理にて求めることができるというさらなる効果が奏される。

【 0 0 3 4 】

さらに、上記構成の駆動方法においては、 $LA < LB$  の場合、 $F(LA, LB) = 0$  と定義されていることが好ましい。

【 0 0 3 5 】

つまり、 $LA < LB$  の場合は、第1表示画素の階調レベルが低いので、ソースラインと第1表示画素との間でクロストークが発生したとしても、そのクロストークが第1表示画素の表示レベルに与える影響は小さくなる。すなわち、 $LA < LB$  の場合は、特に補正值  $F(LA, LB)$  を求めなくてもよい。

30

【 0 0 3 6 】

よって、上記構成によれば、さらに簡易な処理にてクロストークを低減することができる。

【 0 0 3 7 】

本発明の表示装置は、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応してスイッチング素子および画素電極を含む表示画素が配置された表示装置であって、同一のゲートラインに接続された第1表示画素および第2表示画素につき、該第1表示画素に接続するソースラインに隣接するとともに該第1表示画素の画素電極との間に寄生容量を形成するソースラインが、上記第2表示画素に接続しているものとして、

40

第1表示画素への入力信号階調のレベルを  $LA$ 、他の第2表示画素への入力信号階調のレベルを  $LB$ 、上記  $LA$  および上記  $LB$  を入力値とする関数を  $F(LA, LB)$  とした場合、

上記第1表示画素への書き込み信号階調のレベル  $L_{out}$  が、 $L_{out} = LA + F(LA, LB)$  にて算出される階調レベルとなるように、上記第1表示画素への書き込み信号電圧を、該第1表示画素の入力信号電圧を上記第2表示画素への入力信号電圧あるいは上記第2表示画素への書き込み信号電圧に基づいて補正した電圧とすることを特徴としている。

50

## 【0038】

さらに、上記構成の表示装置においては、上記複数のソースラインが互いに平行となるように配設されているとともに、第1表示色を表示する表示画素と、第2表示色を表示する表示画素と、第3表示色を表示する表示画素とから構成される表示絵素を用いて画像表示を行い、以下の第1表示画素配列、第2表示画素配列、および第3表示画素配列が含まれていることが好ましい。

## 【0039】

まず、第1表示画素配列を、上記第1表示画素がスイッチング素子を介して接続されている第1ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第1表示色、上記第2表示色、および上記第3表示色のうちいずれか1色が表示色として設定されているものとして構成する。

10

## 【0040】

また、第2表示画素配列を、上記第2表示画素がスイッチング素子を介して接続されている第2ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第1表示色、上記第2表示色、および上記第3表示色のうち上記第1表示画素配列について設定された表示色を除く2色のうちいずれか1色が表示色として設定されているものとして構成する。

## 【0041】

さらに、第3表示画素配列は、上記第1ソースラインと上記第2ソースラインとが隣接する側とは反対側において上記第2ソースラインに隣接する第3ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第1表示色、上記第2表示色、および上記第3表示色から上記第1表示画素配列および上記第2表示画素配列について表示色として設定されていない色が表示色として設定されているものとして構成する。

20

## 【0042】

上記構成のように第1～第3表示画素配列を設け、第1～第3の表示色を設定する手法は、表示装置における複数の表示画素を配色するための一般的な手法として用いられているものである。よって、上記構成によれば、一般的な表示装置において発生するクロストークのレベルを低減し、表示装置による表示のカラーバランスを適正化できる。

## 【0043】

さらに、上記構成の表示装置において、上記表示絵素がさらに第4表示色を表示する表示画素を備えてなるとともに、以下の第4表示画素配列をさらに含む構成としてもよい。すなわち、第4表示画素配列を、上記第2ソースラインと上記第3ソースラインとが隣接する側とは反対側において上記第3ソースラインに隣接する第4ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第4表示色が表示色として設定されているものとして構成してもよい。

30

## 【0044】

また、上記構成の表示装置は、上記複数のソースラインが互いに平行となるように配設されているとともに、第1表示色を表示する表示画素と、第2表示色を表示する表示画素と、第3表示色を表示する表示画素とから構成される表示絵素を用いて画像表示を行い、上記表示装置に含まれる3つの表示画素からなる第1表示画素グループ、および、該第1表示画素グループに含まれる3つの表示画素とは異なる3つの表示画素からなる第2表示画素グループについて、以下のように設定されていてもよい。

40

## 【0045】

まず、第1表示画素グループに含まれる3つの表示画素を、上記第1ゲートラインにより駆動されるとともに上記第2表示画素が寄生容量を介して接続されているソースラインにスイッチング素子を介して接続されている第3表示画素、上記第1表示画素、および上記第2表示画素として構成する。さらに、上記第1表示画素、上記第2表示画素、および上記第3表示画素については、上記第1表示色、上記第2表示色、および上記第3表示色のうちいずれか1色による表示色が互いに異なるように設定する。

50

## 【0046】

上記第2表示画素グループに含まれる3つの表示画素は、

上記第1表示画素がスイッチング素子を介して接続されているソースラインと、上記第1ゲートラインに隣接する第2ゲートラインとにスイッチング素子を介して接続されている第4表示画素、

上記第2表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第5表示画素、

および上記第3表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第6表示画素として構成する。

10

## 【0047】

そして、上記第4表示画素について上記第3表示画素と同じ表示色、上記第5表示画素について上記第1表示画素と同じ表示色、上記第6表示画素について上記第2表示画素と同じ表示色を設定する。または、上記第4表示画素について上記第2表示画素と同じ表示色、上記第5表示画素について上記第3表示画素と同じ表示色、上記第6表示画素について上記第1表示画素と同じ表示色を設定する。

## 【0048】

上記構成によれば、以下のさらなる効果が奏される。すなわち、第2表示画素と第1表示画素との間においてユーザの視覚に大きく影響するようなクロストークが発生する場合、同様のクロストークが他の2つの表示画素間でも発生することがある。

20

## 【0049】

しかしながら、上記構成によれば、同じソースラインで駆動されるとともに、第1表示画素グループおよび第2表示画素グループのそれぞれに含まれる、3つの表示画素について、第1表示色～第3表示色が異なる順番により表示色として設定されている。したがって、表示装置全体の色バランスを偏らせることなく均等に表示画素が配色されている。

## 【0050】

よって、第1表示画素および第2表示画素以外の2画素間で視覚に影響を与えるクロストークが発生する箇所を、表示装置内にバランスよく分散させることができる。したがって、表示装置全体からみたクロストークレベルを低減し、表示装置による表示のカラーバランスをより適正化できるというさらなる効果が奏される。

30

## 【0051】

さらに、上記構成の表示装置は、上記複数のソースラインが互いに平行となるように配設されているとともに、第1表示色を表示する表示画素と、第2表示色を表示する表示画素と、第3表示色を表示する表示画素と、第4表示色を表示する表示画素とから構成される表示給素を用いて画像表示を行い、上記表示装置に含まれる4つの表示画素からなる第1表示画素グループ、および、該第1表示画素グループに含まれる4つの表示画素とは異なる4つの表示画素からなる第2表示画素グループについて、以下のように設定されていてもよい。

## 【0052】

すなわち、第1表示画素グループに含まれる4つの表示画素を、上記第1ゲートラインにより駆動されるとともに上記第2表示画素が寄生容量のみを介して接続されているソースラインにスイッチング素子を介して接続されている第3表示画素、

40

上記第1ゲートラインにより駆動されるとともに上記第3表示画素が寄生容量のみを介して接続されているソースラインにスイッチング素子を介して接続されている第4表示画素、

上記第1表示画素、

および上記第2表示画素として構成する。

## 【0053】

さらに、上記第1表示画素、上記第2表示画素、上記第3表示画素、および上記第4表示画素については、上記第1表示色、上記第2表示色、上記第3表示色、および上記第4

50

表示色のうちいずれか1色による表示色が互いに異なるように設定されている。

【0054】

また、上記第2表示画素グループに含まれる4つの表示画素は、

上記第1表示画素がスイッチング素子を介して接続されているソースラインと、上記第1ゲートラインに隣接する第2ゲートラインとにスイッチング素子を介して接続されている第5表示画素、

上記第2表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第6表示画素、

上記第3表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第7表示画素であり、

上記第4表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第8表示画素として構成する。

【0055】

そして、上記第5表示画素については上記第4表示画素と同じ表示色、上記第6表示画素については上記第1表示画素と同じ表示色、上記第7表示画素については上記第2表示画素と同じ表示色、上記第8表示画素については上記第3表示画素と同じ表示色が設定されている。または、上記第5表示画素については上記第2表示画素と同じ表示色、上記第6表示画素については上記第3表示画素と同じ表示色、上記第7表示画素については上記第4表示画素と同じ表示色、上記第8表示画素については上記第1表示画素と同じ表示色を設定する。

【0056】

上記構成によれば、以下のさらなる効果が奏される。すなわち、第2表示画素と第1表示画素との間においてユーザの視覚に大きく影響するようなクロストークが発生する場合、同様のクロストークが他の2つの表示画素間でも発生することがある。

【0057】

しかしながら、上記構成によれば、同じソースラインで駆動されるとともに、第1表示画素グループおよび第2表示画素グループのそれぞれに含まれる、4つの表示画素について、第1表示色～第4表示色が異なる順番により表示色として設定されている。したがって、表示装置全体の色バランスを偏らせることなく均等に表示画素が配色されている。

【0058】

よって、第1表示画素および第2表示画素以外の2画素間で視覚に影響を与えるクロストークが発生する箇所を、表示装置内にバランスよく分散させることができる。したがって、表示装置全体からみたクロストークレベルを低減し、表示装置による表示のカラーバランスをより適正化できるというさらなる効果が奏される。

【0059】

また、本発明の表示装置は、上記複数のソースラインが互いに平行となるように配設されているとともに、第1表示色を表示する表示画素と、第2表示色を表示する表示画素と、第3表示色を表示する表示画素とから構成される表示絵素を用いて画像表示を行い、以下のように設定される第1表示画素配列、第2表示画素配列、および第3表示画素配列が含まれているものとして構成してもよい。

【0060】

まず、第1表示画素配列を、上記第1表示画素がスイッチング素子を介して接続されている第1ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第1表示色、上記第2表示色、および上記第3表示色のうちいずれか1色が表示色として設定されているものとして構成する。

【0061】

さらに、第2表示画素配列は、上記第2表示画素がスイッチング素子を介して接続されている第2ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるものとして構成する。

## 【0062】

さらに、第3表示画素配列は、上記第1ソースラインと上記第2ソースラインとが隣接する側とは反対側において上記第2ソースラインに隣接する第3ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるものとして構成する。

## 【0063】

そして、上記第2表示画素配列および上記第3表示画素配列に含まれる表示画素は、上記第1表示色、上記第2表示色、および上記第3表示色から上記第1表示画素配列について設定された表示色を除く2色が市松パターンとなるように表示色が設定する。

## 【0064】

上記構成においては、たとえば、第2ソースラインに入力される電圧に影響を受けて、第1表示画素と第2ソースラインとの間でユーザの視覚に大きく影響するようなクロストークが発生する場合がある。

10

## 【0065】

しかしながら、本発明において第1表示画素配列に含まれる複数の表示画素が、第1表示色～第3表示色のうちいずれか1色が表示色として設定されているので、上記のようにユーザの視覚に大きく影響するようなクロストークが発生する場合であっても、同様のクロストークが発生する箇所を第1表示画素配列内に適度に分布させることができる。

## 【0066】

さらに、第2表示画素配列および第3表示画素配列に含まれる複数の表示画素については、第1表示色～第3表示色のうち2色が市松パターンとなるように表示色として設定されている。すなわち、第2表示画素配列および第3表示画素配列においては、色バランスを偏らせることなく均等に表示画素が配色されている。

20

## 【0067】

したがって、第2表示画素配列および第3表示画素配列内で発生するクロストークの箇所を、両画素配列内でバランスよく分散させることができる。よって、表示装置による表示のカラーバランスをより適正化できるというさらなる効果が奏される。

## 【0068】

さらに、上記構成の表示装置は、上記表示画素がさらに第4表示色を表示する表示画素を備えてなり、以下の第4表示画素配列をさらに含んでいるものとして構成してもよい。

## 【0069】

30

すなわち、第4表示画素配列は、上記第2ソースラインと上記第3ソースラインとが隣接する側とは反対側において上記第3ソースラインに隣接する第4ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるものとして構成する。さらに、上記第2表示画素配列、上記第3表示画素配列、および上記第4表示画素配列に含まれる表示画素は、上記第1表示色、上記第2表示色、上記第3表示色、および上記第4表示色から上記第1表示画素配列について設定された表示色を除く3色が市松パターンとなるように表示色が設定してもよい。

## 【0070】

なお、上記構成の表示装置においては、上記第1表示色としてR色、上記第2表示色としてG色、上記第3表示色としてB色を用いてもよい。あるいは、上記第1表示色としてシアン、上記第2表示色としてマゼンタ、上記第3表示色としてイエローを用いてもよい。また、第4表示色として、ホワイトまたはグリーンのいずれかを用いてもよい。

40

## 【0071】

さらに、上記構成の表示装置において、上記複数のソースラインに含まれる各ソースラインは、L字状部と逆L字状部とが交互に繰り返されるように連結された形状にて配設されていることが好ましい。あるいは、複数のソースラインに含まれる各ソースラインに対してスイッチング素子が接続されている方向が、上記複数のゲートラインに含まれる各ゲートラインを跨ぐ毎に異なるように設定されていることが好ましい。

## 【0072】

上述したように、クロストークは、寄生容量と表示画素との間、すなわちソースライン

50

と表示画素との間で発生する。したがって、各ソースラインが互いに平行になるように配設されていると、クロストークが発生する箇所がソースラインに沿って直線的に連続してしまい、カラーバランスが崩れることがある。

【0073】

しかしながら、上記構成によれば、各ソースラインが、L字状部と逆L字状部とが交互に繰り返されるように連結された形状にて配設されている。または、スイッチング素子が接続されている方向が、各ゲートラインを跨ぐ毎に異なるように設定されている。したがって、クロストークが発生する箇所を表示装置内で適度に分散させることができる。よって、表示装置による表示のカラーバランスをより適正化できる。

【0074】

また、本発明のプログラムは、上記駆動方法をコンピュータに実行させることを特徴としている。当該プログラムをコンピュータに実行させることにより、本発明の駆動方法と同様の効果を得ることができる。

【0075】

なお、上記した入力信号は入力信号データと考えることもできるし、書き込み信号は書き込み信号データであるとも考えることもできる。また、上記各電圧の基準電位は接地電位である。

【発明の効果】

【0076】

本発明では、第1表示画素の画素電極および第2表示画素を駆動するソースライン間の寄生容量の影響を予め考慮した上で第1表示画素に対する書き込み信号を決定することで、上記寄生容量が各画素電極の電位を変動させることによって生じる表示階調と所望階調とのギャップ(クロストーク量)を大幅に低減することができ、表示品位を高めることができるという効果を奏する。

【発明を実施するための最良の形態】

【0077】

本発明の一実施形態について、図面に基づき説明する。

【0078】

〔表示装置の構成〕

図2は本発明のカラー表示装置1(表示装置)の一実施形態である。同図に示されるように、カラー表示装置1は、CCT(カラークロストーク)補正回路2(補正回路)と、極性反転回路3と、タイミングコントローラ4と、ソースドライバ5と、ゲートドライバ6と、表示パネル7と、記憶部8とを備える。なお、図2においては、本発明に関係ない構成を大幅に省略してある。

【0079】

CCT補正回路2は、本発明の特徴部分に係る構成であり、外部から入力されるR色(第1表示色)の階調レベルを示す赤色信号R、G色(第2表示色)の階調レベルを示す緑色信号G、およびB色(第2表示色)の階調レベルを示す青色信号Bからなる入力信号階調(入力カラー信号)を補正し、表示パネル7における各表示絵素(画素グループ、図示せず)への書き込み信号階調(出力カラー映像信号)R', G', B'を出力する。なお、第1表示色がシアン、第2表示色がマゼンタ、第3表示色がイエローであってもよい。なお、CCT補正回路2は彩度強調回路10に含まれるものであっても良い。

【0080】

CCT補正回路2は、入力カラー映像信号R・G・Bをラッチして1ドットずつディスプレイすることにより、同一のゲートライン接続された2つの表示画素に対して後述の処理を行う。

【0081】

極性反転回路3は、CCT補正回路2から出力される書き込み信号階調R', G', B'(デジタルデータ)に基づいて、表示パネル7における各表示画素への書き込み電圧信号(アナログデータ)を決定する。

10

20

30

40

50

【 0 0 8 2 】

本カラー表示装置 1 (表示装置)では、図 1 4 に示すように、C C T補正回路を極性反転回路 3 の前段に設けることも可能である。すなわち、図 1 4 に示すC C T補正回路 2 は、極性反転回路 3 からの入力信号電圧 (アナログデータ)を補正し、書き込み電圧信号 (アナログデータ)を出力する。

【 0 0 8 3 】

タイミングコントローラ 4 は、入力された R G B 同期信号に基づき、ソースドライバ 5 およびゲートドライバ 6 を駆動するためのソースドライバ用タイミング信号およびゲートドライバ用タイミング信号を生成する。なお、ソースドライバ用タイミング信号は、極性反転回路 3 を介してソースドライバ 5 に入力される。

10

【 0 0 8 4 】

ソースドライバ 5 は、極性反転回路 3 にて決定された書き込み電圧が各表示画素に印加されるよう、表示パネル 7 に設けられる各表示画素に T F T を介して接続された各ソースラインを駆動する。なお、ソースドライバ 5 は、極性反転回路 3 と一体的に構成されていてもよい。また、ゲートドライバ 6 は、表示パネル 7 に設けられる各表示画素に T F T を介して接続された各ゲートラインを駆動するためのものである。

【 0 0 8 5 】

表示パネル 7 は、マトリクス状に配置された複数の表示画素を、複数のソースラインおよび複数のゲートラインによって駆動することにより画像表示を行うものである。具体的には、図 1 に示すように、ソースライン S i ( i は整数)とゲートライン G j ( j は整数)とが直交するように設けられており、各ソースラインと各ゲートラインとの交差部分に、画素電極 1 1 とスイッチング素子 1 2 とを含む各表示画素が設けられている。

20

【 0 0 8 6 】

ここで、各表示画素のうち、同一のゲートライン G 2 により駆動される 2 つの表示画素について、図 1 のように、該第 1 表示画素 ( A ) に接続するソースライン S 2 に隣接するとともに該第 1 表示画素 ( A ) の画素電極との間に寄生容量を形成するソースライン S 3 が、上記第 2 表示画素 ( B ) に接続している場合、すなわち、第 1 表示画素の画素電極と重畳 (隣接)する 2 本のソースラインのうち該第 1 表示画素には接続されないソースラインに第 2 表示画素が接続されている場合、表示画素 ( A ) の周辺には、以下のように寄生容量 C s d a ・ C s d b ・ C g d ・ C c s が形成される。

30

【 0 0 8 7 】

寄生容量 C s d a ... 表示画素 ( A ) を駆動するためのソースラインと表示画素 ( A ) との間に形成される寄生容量  
寄生容量 C s d b ... 表示画素 ( B ) を駆動するためのソースラインと表示画素 ( A ) との間に形成される寄生容量  
寄生容量 C g d ... 表示画素 ( A ) を駆動するためのゲートラインと表示画素 ( A ) との間に形成される寄生容量  
寄生容量 C c s ... 蓄積容量電極 (線)と表示画素 ( A ) との間に形成される寄生容量。

【 0 0 8 8 】

このため、C C T補正回路 2 を介することなく従来のように各表示画素を駆動すると、注目表示画素の表示階調が、他の表示画素を駆動するソースラインへ印加される電圧の影響を受けて所望の階調と異なってしまうクロストークの問題が発生する。たとえば、図 1 に示す構成では、第 1 表示画素としての表示画素 ( A ) に注目すると、表示画素 ( A ) の表示階調が、第 2 表示画素としての表示画素 ( B ) を駆動するソースライン S 3 への印加電圧に影響を受けることになる。

40

【 0 0 8 9 】

本実施の形態のカラー表示装置 1 では、このように発生するクロストークの問題を改善すべく、C C T補正回路 2 (図 2 参照、図 1 4 参照)を設けている。

【 0 0 9 0 】

ここで、図 1 6 ・ 1 7 を用いて、C C T補正回路 2 による書き込み信号の出力工程を説

50

明する。

【 0 0 9 1 】

図 1 6 は、C C T 補正回路 2 を用いて、表示画素 ( A ) の入力信号階調を表示画素 ( B ) の入力信号階調に基づいて補正し、これを表示画素 ( A ) の書き込み信号階調として極性反転回路 3 に出力する場合を説明するブロック図である。

【 0 0 9 2 】

まず、左側の表示画素 ( A ) の入力信号階調が、1 d o t メモリに記憶されるとともに C C T 補正回路 2 へ入力される ( 図 1 6 ( a ) )。ついで、同図 ( b ) に示されるように、表示画素 ( B ) の入力信号階調が 1 d o t メモリに記憶されるとともに C C T 補正回路 2 へ入力されるが、このとき、1 d o t メモリからは先に記憶された表示画素 ( A ) の入力信号階調が出力され、表示画素 ( B ) の入力信号階調とともに C C T 補正回路 2 に入力される。C C T 補正回路 2 では、この 1 d o t メモリからの表示画素 ( A ) の入力信号階調を、表示画素 ( B ) の入力信号階調に基づいて補正し、これを表示画素 ( A ) の書き込み信号階調として極性反転回路 3 に出力する。

【 0 0 9 3 】

図 1 7 は、C C T 補正回路 2 ' を用いて、表示画素 ( A ) の入力信号階調を表示画素 ( B ) の書き込み信号階調に基づいて補正し、これを表示画素 ( A ) の書き込み信号階調として極性反転回路 3 に出力する場合を説明するブロック図である。

【 0 0 9 4 】

走査方向を表示画素 ( A ) 表示画素 ( B ) 方向とすれば、まず、走査端 ( 図面では右端 ) のソースラインにつながる表示画素 ( n ) の入力信号階調が C C T 補正回路 2 へ入力されるとともに、この表示画素 ( n ) 以外のすべての表示画素の入力信号階調が 1 ラインメモリに記憶される。表示画素 ( n ) の入力信号階調は C C T 補正回路 2 ' にて補正され、1 ラインメモリに記憶されるとともに表示画素 ( n ) の書き込み信号階調として C C T 補正回路 2 ' へ出力される。ここで、C C T 補正回路 2 ' は、表示画素 ( n - 1 ) の入力信号階調を 1 ラインメモリから読み出し、これを、入力された表示画素 ( n ) の書き込み信号階調に基づいて補正し、表示画素 ( n - 1 ) の書き込み信号階調として出力するとともにこれを 1 ラインメモリに記憶させる。これが順次行われ、表示画素 ( B ) の書き込み信号階調が 1 ラインメモリに記憶されるとともに C C T 補正回路 2 ' へ出力されれば、C C T 補正回路 2 ' は、表示画素 ( A ) の入力信号階調を 1 ラインメモリから読み出し、これを入力された上記表示画素 ( B ) の書き込み信号階調に基づいて補正して表示画素 ( A ) の書き込み信号階調として出力するとともに 1 ラインメモリに記憶させる。

【 0 0 9 5 】

この結果、1 ラインメモリには、すべての表示画素の書き込み信号階調が記憶され、適宜、極性反転回路 3 に出力される。補正 ( 1 ラインメモリへの記憶 ) 方向と各ラインの走査方向とが逆になる場合、各ラインに対応する書き込み信号階調は各ラインの走査方向に従って極性反転回路 3 に出力される。

【 0 0 9 6 】

なお、走査方向を表示画素 ( B ) 表示画素 ( A ) 方向とすれば、まず、走査端 ( 図面では右端 ) のソースラインにつながる表示画素 ( n ) の入力信号階調が C C T 補正回路 ( 図示せず ) へ入力され、表示画素 ( n ) の書き込み信号階調として極性反転回路 3 に出力される。このとき、表示画素 ( n - 1 ) の入力信号階調が C C T 補正回路に入力されれば、これが上記表示画素 ( n ) の書き込み信号階調に基づいて補正され、表示画素 ( n - 1 ) の書き込み信号階調として出力される。これが順次行われ、表示画素 ( B ) の入力信号階調が C C T 補正回路 2 へ入力され、表示画素 ( B ) の書き込み信号階調が出力されると、このとき入力された表示画素 ( A ) の入力信号階調が、この表示画素 ( B ) の書き込み信号階調に基づいて補正され、表示画素 ( A ) の書き込み信号階調として出力される。

【 0 0 9 7 】

このようにして、各表示画素の書き込み信号階調が順次極性反転回路 3 に出力される。この走査方向の場合には、1 ラインメモリを省略することが可能である。

10

20

30

40

50

## 【 0 0 9 8 】

〔 2 . クロストークの補正処理について 〕

〔 2 - 1 . 輝度バランスの変動について 〕

本実施の形態のカラー表示装置 1 では、このように発生するクロストークの問題を改善すべく、CCT補正回路 2 が設けられている。これらの 2 つの回路による入力カラー映像信号の補正手順を明らかにするため、表示パターン毎の輝度バランスの変動について以下に説明する。

## 【 0 0 9 9 】

たとえば、図 3 に示すようなパターン 1 ~ 3 が表示パネル 7 により表示されているとする。具体的には、パターン 1 においては、隣接する 6 つの表示画素について、左から順番に、R 色、G 色、B 色、黒色、黒色、黒色が表示されている。また、パターン 2 においては、黒色、G 色、B 色、R 色、黒色、黒色が表示されている。また、パターン 3 においては、黒色、黒色、B 色、R 色、G 色、黒色が表示されている。

10

## 【 0 1 0 0 】

これらのパターン 1 ~ 3 のそれぞれにより表示パネル 7 に表示される画像は、全て同じになるはずである。しかしながら実際には、黒色を表示している表示画素（階調レベルが 0 である表示画素）の左隣にある表示画素への印加電圧が、黒色を表示している表示画素への印加電圧に影響を受けてしまう。これにより、該左隣の画素では、所望の階調レベルよりやや低い階調レベルが表示されてしまう。

## 【 0 1 0 1 】

たとえば、パターン 1 では、B 色の表示画素が黒色の表示画素の隣にあるので、B 色が所望の階調レベルよりやや低い階調レベルで表示されてしまう。同様に、パターン 2 では R 色が所望の階調レベルよりやや低い階調レベルで表示され、パターン 3 では G 色が所望の階調レベルよりやや低い階調レベルで表示される。このように、表示パネルにおける表示パターンによって、隣接する複数の表示画素間における輝度バランスが変動してしまう。

20

## 【 0 1 0 2 】

また、隣接する 3 つの表示画素により白色が表示される場合を考えると、図 4 の等式の左辺に示すように、3 つの表示画素について左から順に R 色、G 色、B 色が表示されている状態において、理想的な白色が表示される。

30

## 【 0 1 0 3 】

一方で、隣接する 3 つの表示画素において、同等式の右辺に示すように、以下のパターン 4 ~ 6 のそれぞれに表示を切り替えることによって、白色を表示できるはずである。

## 【 0 1 0 4 】

すなわち、パターン 4 ~ 6 において、3 つの表示画素のそれぞれにおける表示色を左の画素から順番に記載すると、

パターン 4 : R 色、黒色、黒色

パターン 5 : 黒色、G 色、黒色

パターン 6 : 黒色、黒色、B 色

である。

40

## 【 0 1 0 5 】

つまり、本来の白輝度は、合成白輝度（赤輝度 + 緑輝度 + 青輝度 - 2 \* 黒輝度）と等しくなるはずであるが、実際は、合成白輝度のほうが白輝度より低くなる。これは、上述したとおり、黒色の表示画素への印加電圧に引きずられて、R、G、または B 色の表示画素への印加電圧が変動してしまうからである。

## 【 0 1 0 6 】

本来の白輝度に対する合成白輝度の刺激値の誤差率と、表示階調との関係は図 5 のようになる。なお、図 5 においては、注目表示画素に隣接する表示画素の階調レベルが 0 である場合における、注目表示画素の階調レベルを横軸に表している。たとえば、図 1 に示す構成の表示パネルにおける表示画素（A）を注目表示画素とするならば、図 5 の横軸にて

50

示される表示階調は、表示画素（B）の階調レベル $L_B$ が0である場合の表示画素（A）の階調レベル $L_A$ を示していると考えてよい。

【0107】

以下、説明の便宜上、図5の横軸は、表示画素（A）の階調レベル $L_A$ を示すものとして記載する。

【0108】

図5に示すように、階調レベル $L_A$ が低階調側にある場合、刺激誤差率の変化が大きい。つまり、図5においては、階調レベル $L_A$ が0から128までの値にある場合、刺激誤差率のカーブが急峻な傾きを示している。一方で、階調レベル $L_A$ が128を超えると、刺激誤差率のカーブはなだらかな傾きを示していることから、刺激誤差率の変化が小さいことがわかる。

10

【0109】

そして、注目表示画素における合成白輝度を、本来の白輝度に補正するために必要な補正階調レベルは、各階調における刺激値の誤差率を、その階調における刺激値の変化率で割って求められる。図6には、補正階調レベルと表示階調との関係をプロットしたグラフを示している。

【0110】

図6に示すように、たとえば表示画素（A）の階調レベル $L_A$ が0である場合には、補正階調レベルは略0である。そして、階調レベル $L_A$ が128に近づくに従って、補正階調レベルが増加していく。一方、階調レベル $L_A$ が128を超えると、階調レベル $L_A$ と補正階調レベルとの間に明快な相関関係がなくなってしまう。

20

【0111】

なお、図6は、図5と同様に階調レベル $L_B$ が0であると仮定して、階調レベル $L_A$ と補正階調との関係を示している。階調レベル $L_B$ が0よりも大きな値となった場合は、その $L_B$ の値に対応する一定量だけ、補正階調レベルが減少する。なお、 $L_B = L_A$ となると、補正階調レベルは0になる。

【0112】

ここで図5を参照すればわかるように、低階調において誤差率の変化が大きい。これは、表示画素（A）が低レベルの階調を表示している場合において、合成輝度を精度良く補正してやる必要性が大きいことを示している。

30

【0113】

したがって、図6に示すように、階調レベル $L_A$ が0から128までの範囲における表示階調レベルと補正階調レベルとの関係を、直線にて表すことで、階調レベルに応じた適切な補正階調を算出することができる。これにより、階調レベル $L_A$ が低階調側にある場合における合成輝度の補正を精度良く行うことができる。

【0114】

一方で、階調レベル $L_A$ が高階調側にある場合、たとえば128以上である場合、階調レベル $L_A$ と補正階調レベルとの間に明快な相関関係がなくなってしまう。したがって、階調レベル $L_A$ が128を超える場合には、補正階調レベルを一定値に設定するという比較的ラフな補正を行った。

40

【0115】

以上のように設定された補正階調レベルを、表示画素（A）の階調レベルに加えた場合における、表示階調レベル $L_A$ と刺激誤差率との関係を図7に示す。図7に示すように、補正階調レベルを加えることにより、最大25%であった刺激誤差率を5%まで低減することができた。

【0116】

〔2-2. 階調レベルデータを用いたクロストークの補正について〕

これらの検討結果より、CCT補正回路により、表示画素（A）への書き込み信号階調を、表示画素（A）への入力信号階調を表示画素（B）の入力信号階調あるいは書き込み信号階調に基づいて補正した階調にしてやれば、クロストーク量を低減できるといえる。

50

つまり、表示画素 ( B ) への入力信号階調あるいは書き込み信号階調に基づき表示画素 ( A ) への入力信号階調を補正することによって、表示画素 ( A ) が該表示画素 ( A ) および表示画素 ( B ) を駆動するソースライン G 3 間に形成される寄生容量の影響を受けることを予め考慮した上で、表示画素 ( A ) に対する書き込み信号階調を決定できる。したがって、寄生容量  $C_{sd}$  と表示画素との間で発生するクロストーク量を低減し、表示装置による表示のカラーバランスを適正化できる。

【 0 1 1 7 】

具体的には、デジタルデータにて示される表示画素 ( A ) の階調レベルを  $L_A$ 、同じくデジタルデータにて示される表示画素 ( B ) の階調レベルを  $L_B$ 、上記  $L_A$  および上記  $L_B$  を入力値とする関数を  $F ( L_A, L_B )$  とした場合、

10

表示画素 ( A ) への入力階調レベルが、 $L_{out} = L_A + F ( L_A, L_B )$  にて算出される階調レベル  $L_{out}$  に補正されるように補正する。

【 0 1 1 8 】

このように階調レベル  $L_A$  を補正すれば、デジタルデータである階調レベルを用いて表示画素 ( A ) への入力信号階調を補正するので、簡略な処理においてクロストークを低減できる。つまり、印加電圧を示すアナログデータを用いて表示画素 ( A ) への印加電圧を補正すると、デジタルデータを扱うよりも多くのビット数が処理に必要な場合があるので、処理が複雑化することがある。デジタルデータを用いた補正処理では、このような処理の複雑化は回避できる。

【 0 1 1 9 】

20

さらに、上記  $L_A$  が所定のしきい値より小さい場合、 $F ( L_A, L_B ) = k ( L_A - L_B )$  と定義され (ただし、 $k > 0$ )、上記  $L_A$  が当該しきい値より大きい場合、 $F ( L_A, L_B )$  は一定値を出力する関数として定義されると好ましい。

【 0 1 2 0 】

つまり、クロストークを低減するために  $L_A$  に与えるべき補正值  $F ( L_A, L_B )$  の値は、図 6 に示すように、 $L_A$  が所定のしきい値 ( 1 2 8 階調 ) に達するまでは、 $L_A$  の値に応じて単調増加する。また、しきい値 ( 1 2 8 階調 ) を超える  $L_A$  については、 $L_A$  と  $F ( L_A, L_B )$  との間に明快な相関関係がなくなる。また、図 5 に示すように、刺激値の誤差率が低くなるので、一定値を  $L_A$  に加えて  $L_{out}$  を出力するというように、比較的ラフな補正でクロストークは低減される。

30

【 0 1 2 1 】

したがって、上記のように  $F ( L_A, L_B )$  を定義すれば、簡略な処理において  $L_{out}$  を求めることができる。

【 0 1 2 2 】

さらに、0 から最大階調レベルに含まれる整数から複数の整数を抽出し、該複数の整数のそれぞれを  $L_A$  とした場合における  $F ( L_A, 0 )$  の値を、対応する  $L_A$  の値と関連付けて予めルックアップテーブルに格納する一方、上記ルックアップテーブルに格納されていない  $L_A$  を入力とする  $F ( L_A, L_B )$  の値を、該ルックアップテーブルに格納された  $L_A$  の値と、該  $L_A$  の値に対応する  $F ( L_A, 0 )$  の値と、 $F ( L_A, L_B ) = 0$  を満たす  $L_A$  および  $L_B$  の値と、に基づき補間するようにすると、なお好ましい。

40

【 0 1 2 3 】

上記構成によれば、ルックアップテーブルを用いて  $F ( L_A, L_B )$  の値を求めることができるので、該ルックアップテーブルを表示装置の種類ごとに予め作成し、さらに記憶部 8 ( 図 2 参照 ) に格納しておけば、表示装置の種類に応じた適切な  $F ( L_A, L_B )$  の値を求めることができる。

【 0 1 2 4 】

さらに、 $L_A > L_B$  の場合、上記補間を直線補間により行うことが好ましい。補間方法としては、直線による補間が最も簡略な方法だからである。

【 0 1 2 5 】

また、 $L_A < L_B$  の場合、 $F ( L_A, L_B ) = 0$  と定義されていることも好ましい。

50

## 【0126】

LA < LB の場合は、表示画素 (A) の階調レベルが低いので、ソースラインと第 1 表示画素との間でクロストークが発生したとしても、そのクロストークが表示画素 (A) の表示レベルに与える影響は小さくなる。すなわち、LA < LB の場合は、特に補正值 F (LA、LB) を求めなくてもよい。よって、LA < LB の場合は、F (LA、LB) = 0 と定義されていることが好ましいといえる。

## 【0127】

〔2-3. 印加電圧データを用いたクロストークの補正について〕

また、上記の説明では、表示画素 (A) の入力信号階調レベル LA および表示画素 (B) の階調 (入力信号階調・書き込み信号階調) レベル LB を用いて、表示画素 (A) への書き込み信号階調を決定する方法について説明したが、必ずしもこの処理を用いなくてもよい。すなわち、表示画素 (A) への書き込み信号電圧を示すアナログデータ、および、表示画素 (B) への印加電圧 (入力信号電圧・書き込み信号電圧) を示すアナログデータに基づき、表示画素 (A) への書き込み信号電圧を決定してもよい。この補正手順について以下に説明する。なお、印加電圧を示すアナログデータを用いた補正は、階調レベルを示すデジタルデータを用いる補正と同様に、CCT 補正回路により実行される。ただし、各画素への印加電圧を示すアナログデータを CCT 補正回路に入力しなければならないので、図 14 に示すように、極性反転回路 3 を CCT 補正回路の前段に設ける必要がある。

## 【0128】

印加電圧を示すアナログデータに基づく補正手順においては、表示画素 (A) の容量を Cp、表示画素 (B) が接続されたソースライン S3 と表示画素 (A) の画素電極との間に形成された寄生容量の容量値を Csd、入力信号階調のレベルが g のときの表示画素 (A) への入力信号電圧を U(g)、表示画素 (B) への入力信号電圧または書き込み信号電圧を Ugad、表示画素 (A) (B) の画素電極に対向する共通電極への印加電圧 (表示画素 (A) に黒表示を行うときの表示画素 (A) への入力信号電圧) を Ubad とするとき、 $F(g) = Csd \cdot (Ugad - Ubad) / Cp \cdot (U(g+1) - U(g))$  で示される F(g) を補正值とし、この補正值 F(g) に表示画素 (A) の入力信号階調を加えたものを、表示画素 (A) の書き込み信号階調として算出する。そして、この書き込み信号階調に対応する電圧を表示画素 (A) の書き込み信号電圧とする。特に、Csd / Cp を 0.020 程度の小さな値に設定すれば、補正值 F(g) も少なくできる。

## 【0129】

なお、各電圧の基準電位は接地電位とすればよい。また、上記 Cp は、表示画素 (A) の液晶容量に、Ccs、Csd a、Csd b および Cgd を加えたものである。もっとも、液晶容量 (容量値) が支配的であるため、液晶容量を Cp としても良いし、液晶容量に上記 Ccs、Csd a、Csd b、Cgd および表示画素 (A) 内に形成される容量の少なくとも 1 つを加えたものを Cp としても構わない。

## 【0130】

または、所望の階調を表示するために表示画素 (A) に電圧の実効値 Va を印加する必要がある場合、表示画素 (B) に対する入力信号電圧あるいは書き込み信号電圧を V(B)、表示画素 (A) が接続されたソースライン S2 と表示画素 (A) の画素電極との間に形成された寄生容量の容量値を Csd a、表示画素 (B) が接続されたソースライン G3 と表示画素 (A) の画素電極との間に形成された寄生容量の容量値を Csd b、表示画素 (A) に接続されたゲートライン G2 と表示画素 (A) の画素電極との間に形成された寄生容量の容量値を Cgd、表示画素 (A) に対応して設けられる蓄積容量電極 Cs と、表示画素 (A) のスイッチング素子のドレイン電極との間に形成された寄生容量の容量値を Ccs、上記ゲートライン G2 への印加電圧を Vg、上記蓄積容量電極 Cs への印加電圧を Vc、表示画素 (A) の容量値を Cp として、 $V(A) = (Cp \cdot Va - Cgd \cdot Vg - Csd b \cdot V(B) + Ccs \cdot Vc) / (Cp + Csd a)$  で示される電圧 V(A) を、表示画素 (A) に対する書き込み信号電圧とする。

## 【0131】

10

20

30

40

50

## 〔 2 - 4 . 彩度強調処理を用いたクロストークの補正について 〕

また、上述したように表示画素（ B ）の階調レベルに基づき表示画素（ A ）の階調レベルを補正することは、特許文献 2 に記載されている彩度強調処理と共通する部分がある。すなわち、特許文献 2 では、入力カラー映像信号に含まれる、 R 色信号、 G 色信号、および B 色信号の階調レベルをそれぞれ、 R、 G、 および B とすると、入力カラー映像信号を

$$R' = R + K_{rg} (R - G) + K_{rb} (R - B)$$

$$G' = G + K_{gr} (G - R) + K_{gb} (G - B)$$

$$B' = B + K_{br} (B - R) + K_{bg} (B - G)$$

（ただし、  $K_{rg}$ 、  $K_{rb}$ 、  $K_{gr}$ 、  $K_{gb}$ 、  $K_{br}$ 、 および  $K_{bg}$  は、正の定数または 0 以上の数値範囲内で変化する変数）

で表される演算で得られる  $R'$ 、  $G'$ 、 および  $B'$  をそれぞれ R 色信号、 G 色信号、 および B 色信号の階調レベルとすることが記載されている。

## 【 0 1 3 2 〕

さらに、同文献においては、  $K_{rg}$  および  $K_{rb}$  を、 R が中間調の階調レベルであるときに最大となる一方、 R が白の階調レベルまたは黒の階調レベルであるときに最小となるように変化させ、  $K_{gr}$  および  $K_{gb}$  を、 G が中間調の階調レベルであるときに最大となる一方、 G が白の階調レベルまたは黒の階調レベルであるときに最小となるように変化させ、  $K_{br}$  および  $K_{bg}$  を、 B が中間調の階調レベルであるときに最大となる一方、 B が白の階調レベルまたは黒の階調レベルであるときに最小となるように変化させることにつ

## 【 0 1 3 3 〕

しかし、彩度強調の補正関数自体は画素間クロストークを考慮していない。一方、クロストークの補正関数は隣接画素の階調を参照するものであり、彩度強調で用いられる関数と同様の関数である。そこで、従来の彩度強調の補正に本願のクロストーク補正を合わせることで低コストにてクロストークを低減することができる。すなわち、彩度強調とクロストーク補正との両方を考慮したカラーバランスの適正化関数 H（彩度強調処理の関数 + クロストーク補正の関数）による表示品位の向上が従来の彩度強調と同程度のコストで得られる。

## 【 0 1 3 4 〕

この適正化関数 H の処理を、本実施形態のカラー表示装置 1 における彩度強調回路 1 0 に実行させる。

## 【 0 1 3 5 〕

すなわち、上記彩度処理の演算式における R、 G、 B、  $K_{rg}$ 、  $K_{rb}$ 、  $K_{gr}$ 、  $K_{gb}$ 、  $K_{br}$ 、 および  $K_{bg}$  を、表示画素（ A ）の階調レベル  $L_A$ 、 および表示画素（ B ）の階調レベル  $L_B$ 、 および階調レベル  $L_C$  を用いて表すことにより、以下のように  $F(L_A, L_B)$  を設定できる。なお、階調レベル  $L_C$  は、表示画素（ A ）および表示画素（ B ）が含まれる表示画素における、表示画素（ A ）および表示画素（ B ）以外の表示画素の階調レベルである。

## 【 0 1 3 6 〕

$$F(L_A, L_B) = k_{L_B} (L_A - L_B) + k_{L_C} (L_A - L_C)$$

（ただし、  $k_{L_B}$ 、  $k_{L_C}$  はそれぞれ、  $L_B$ 、  $L_C$  の関数で、  $MAX$  を表示階調レベルの最大値とした場合、  $k(0) =$  ある一定値、  $k(MAX) = 0$ 、  $k(p)$  が極大値となる  $p$  ( $0 < p < 255$ ) が存在する）。

## 【 0 1 3 7 〕

このように、従来の彩度強調処理と同様の処理においてクロストークを低減することができるので、従来の彩度強調処理を実行するプログラムを、表示装置内部または外部のコンピュータに実行させれば、低コストにてクロストークを低減することができる。

## 【 0 1 3 8 〕

〔 3 . 表示パネルの配色例について 〕

本実施形態の駆動方法を用いてより効率的にクロストークを低減するための、複数の表示画素に対する配色例について、以下にいくつか説明する。なお、以下の配色例 1 ~ 3 は、R G B の 3 色を各表示画素に配色するものであるが、シアン・マゼンタ・イエローの 3 色を各画素に表示しても構わない。

【 0 1 3 9 】

〔 配色例 1 : ストライプ状の配色 〕

配色例 1 では、各ソースラインにより形成されるストライプに対応するように、複数の表示画素に対して R G B 色をストライプ状に配色する。

【 0 1 4 0 】

具体的には、図 8 に示すように、表示パネル 7 において、複数のソースライン  $S_i$  ( $i$  は整数) が互いに平行になるように配設されているとする。この場合において、配色例 1 では、たとえば以下のように複数の表示画素の表示色を設定する。

【 0 1 4 1 】

すなわち、表示パネル 7 に含まれる表示画素、たとえば画素電極 1 1 a を、第 1 表示画素として設定する。なお、画素電極 1 1 a は、表示パネル 7 に含まれる表示画素のうち任意のものである。そして、画素電極 1 1 a がスイッチング素子 1 2 a を介して接続されているソースライン (第 1 ソースライン)  $S_1$  に、スイッチング素子を介してそれぞれ接続されている複数の表示画素からなる配列を、第 1 表示画素配列として設定する。たとえば、画素電極 1 1 b ・ 1 1 c は、それぞれソースライン  $S_1$  にスイッチング素子 1 2 b ・ 1 2 c を介して接続されているので、第 1 表示画素配列を構成する表示画素である。

【 0 1 4 2 】

さらに、第 1 表示画素配列を構成する複数の表示画素の表示色を、R G B の 3 色のうちいずれか 1 色に設定する。たとえば、図 8 に示すように、第 1 表示画素配列を構成する画素電極 1 1 a ・ 1 1 b ・ 1 1 c の表示色を R 色に設定する。

【 0 1 4 3 】

また、画素電極 1 1 a を駆動するゲートライン  $G_1$  により駆動されるとともに、画素電極 1 1 a が寄生容量  $C_{sd}$  を介して接続されているソースライン (第 2 ソースライン)  $S_2$  にスイッチング素子 1 2 d を介して接続されている画素電極 1 1 d を、第 2 表示画素として設定する。そして、画素電極 1 1 d がスイッチング素子 1 2 d を介して接続されているソースライン  $S_2$  に、スイッチング素子を介して接続されている複数の画素からなる配列を、第 2 表示画素配列として設定する。たとえば、画素電極 1 1 e ・ 1 1 f は、それぞれソースライン  $S_2$  にスイッチング素子 1 2 e ・ 1 2 f を介して接続されているので、第 2 表示画素配列を構成する表示画素である。

【 0 1 4 4 】

この第 2 表示画素配列については、R G B の 3 色から第 1 表示画素配列について設定された表示色を除く 2 色のうちいずれか 1 色を表示色として設定する。たとえば、図 8 に示すように、第 2 表示画素配列を構成する画素電極 1 1 d ・ 1 1 e ・ 1 1 f の表示色を G 色に設定する。

【 0 1 4 5 】

さらに、ソースライン  $S_1$  とソースライン  $S_2$  とが隣接する側とは反対側において、ソースライン  $S_2$  に隣接するソースライン (第 3 ソースライン)  $S_3$  にスイッチング素子を介して接続されている複数の表示画素からなる配列を、第 3 表示画素配列として設定する。たとえば、図 8 に示すように、ソースライン  $S_3$  にスイッチング素子 1 2 g ・ 1 2 h ・ 1 2 i のそれぞれを介して接続されている画素電極 1 1 g ・ 1 1 h ・ 1 1 i は、第 3 表示画素配列を構成する表示画素である。

【 0 1 4 6 】

そして、この第 3 表示画素配列については、R G B の 3 色のうち第 1 表示画素配列および第 2 表示画素配列について表示色として設定されていない色を表示色として設定する。たとえば、図 8 に示すように、第 3 表示画素配列を構成する画素電極 1 1 g ・ 1 1 h ・ 1 1 i の表示色を、B 色に設定する。

10

20

30

40

50

## 【 0 1 4 7 】

なお、第1表示画素配列、第2表示画素配列、第3表示画素配列の表示色は、上述した例に限定されることはない。たとえば、第1表示画素配列をR色に設定した場合、第2表示画素配列をB色に設定し、第3表示画素配列をG色に設定してもよい。

## 【 0 1 4 8 】

上記構成によれば、たとえば、ソースラインS2に入力される電圧に影響を受けて、画素電極11aと画素電極11dとの間でクロストークが発生する場合がある。

## 【 0 1 4 9 】

しかしながら、第1表示画素配列に含まれる複数の表示画素は、RGB色のうちいずれか1色が表示色として設定されている。したがって、画素電極11aと画素電極11dとの間で、ユーザの視覚に大きく影響するようなクロストークが発生する場合であっても、同様のクロストークが発生する箇所を第1表示画素配列内に適度に分布させることができる。したがって、カラー表示装置全体からみたクロストークレベルを低減し、表示装置による表示のカラーバランスをより適正化できる。

## 【 0 1 5 0 】

〔配色例2：斜め縞模様の配色〕

配色例2では、以下のように複数の表示画素についてRGB色のいずれかを配色する。配色例2を説明するにあたっては、表示装置に含まれる3つの表示画素からなる第1表示画素グループ、および、該第1表示画素グループに含まれる3つの表示画素とは異なる3つの表示画素からなる第2表示画素グループを、たとえば以下のように設定する必要がある。

## 【 0 1 5 1 】

すなわち、第1表示画素グループに含まれる3つの表示画素を、上記第1ゲートラインにより駆動されるとともに上記第2表示画素が寄生容量を介して接続されているソースラインにスイッチング素子を介して接続されている第3表示画素、上記第1表示画素、および上記第2表示画素として設定する。たとえば、図9に示すように、画素電極11aが第1表示画素、画素電極11dが第2表示画素として設定されているならば、ゲートライン（第1ゲートライン）G1により駆動されるとともに画素電極11dが寄生容量Cs dを介して接続されているソースラインS3にスイッチング素子12gを介して接続されている画素電極11gが第3表示画素として設定される。

## 【 0 1 5 2 】

なお、このように同一のゲートラインにより駆動され、ゲートライン方向に互いに隣接しあう3つの表示画素からなる集合を、特許請求の範囲および明細書で「表示絵素」として表現している。また、1画素が複数のサブピクセルから構成されている場合、本明細書の「表示画素」がサブピクセルに対応する文言であり、特許請求の範囲における「表示絵素」とはサブピクセルの集合体に対応する文言といえる。

## 【 0 1 5 3 】

さらに、画素電極11a・11d・11gについて、RGBの3色のうちいずれか1色による表示色を、画素間で互いに異なるように設定する。たとえば、図9に示すように、画素電極11aをR色、画素電極11dをG色、画素電極11gをB色に設定する。

## 【 0 1 5 4 】

一方で、第2表示画素グループに含まれる3つの表示画素を、

上記第1表示画素がスイッチング素子を介して接続されているソースラインと、上記第1ゲートラインに隣接する第2ゲートラインとにスイッチング素子を介して接続されている第4表示画素、

上記第2表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第5表示画素、

および上記第3表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第6表示画素として設定する。たとえば、上述したように第1表示画素として画素電極11aが設定されてい

10

20

30

40

50

るならば、画素電極 1 1 a がスイッチング素子 1 2 a を介して接続されているソースライン S 1 と、ゲートライン G 1 に隣接するゲートライン G 2 (第 2 ゲートライン) とにスイッチング素子 1 2 b を介して接続されている画素電極 1 1 b が第 4 表示画素として設定される。同様にして、画素電極 1 1 e が第 5 表示画素として設定され、画素電極 1 1 h が第 6 表示画素として設定される。

【 0 1 5 5 】

さらに、上記第 4 表示画素について上記第 3 表示画素と同じ表示色、上記第 5 表示画素について上記第 1 表示画素と同じ表示色、上記第 6 表示画素について上記第 2 表示画素と同じ表示色を設定する。すなわち、図 9 に示すように、画素電極 1 1 a に R 色、画素電極 1 1 d に G 色、画素電極 1 1 g に B 色が設定されているならば、画素電極 1 1 b に B 色、画素電極 1 1 e に R 色、画素電極 1 1 h に G 色を設定する。

10

【 0 1 5 6 】

あるいは、上記第 4 表示画素について上記第 2 表示画素と同じ表示色、上記第 5 表示画素について上記第 3 表示画素と同じ表示色、上記第 6 表示画素について上記第 1 表示画素と同じ表示色を設定してもよい。すなわち、図 10 に示すように、画素電極 1 1 b に G 色、画素電極 1 1 e に B 色、画素電極 1 1 h に R 色を設定してもよい。

【 0 1 5 7 】

なお、上述の例では、第 1 表示画素グループに含まれる 3 つの表示画素を、R 色・G 色・B 色の順番で配色する例について説明したが、配色の順番は、必ずしもこれに限定されるものではない。たとえば、R 色・B 色・G 色の順番で配色しても構わない。

20

【 0 1 5 8 】

上記構成によれば、以下の利点を得ることができる。すなわち、画素電極 1 1 a と画素電極 1 1 d との間においてユーザの視覚に大きく影響するようなクロストークが発生する場合、同様のクロストークが他の 2 つの表示画素間でも発生することがある。

【 0 1 5 9 】

しかしながら、上記構成によれば、同じソースラインで駆動されるとともに、第 1 表示画素グループおよび第 2 表示画素グループのそれぞれに含まれる、3 つの表示画素について、R G B 色が異なる順番により表示色として設定されている。したがって、カラー表示装置全体の色バランスを偏らせることなく均等に表示画素が配色されている。

【 0 1 6 0 】

30

よって、画素電極 1 1 a および画素電極 1 1 d 以外の 2 画素間で視覚に影響を与えるクロストークが発生する箇所を、カラー表示装置内にバランスよく分散させることができる。したがって、カラー表示装置全体からみたクロストークレベルを低減し、表示装置による表示のカラーバランスをより適正化できる。

【 0 1 6 1 】

〔 配色例 3 : 市松パターンの配色 〕

配色例 3 を説明するにあたっては、それぞれ 3 つの表示画素からなる第 1 表示画素配列、第 2 表示画素配列、および第 3 表示画素配列を設定する必要がある。これらの表示画素配列については、配色例 1 と同様に設定すればよい。たとえば、図 11 に示すように、画素電極 1 1 a ・ 1 1 b ・ 1 1 c を第 1 表示画素配列に含まれる表示画素として設定し、画素電極 1 1 d ・ 1 1 e ・ 1 1 f を第 2 表示画素配列に含まれる表示画素として設定し、画素電極 1 1 g ・ 1 1 h ・ 1 1 i を第 3 表示画素配列に含まれる表示画素として設定すればよい。

40

【 0 1 6 2 】

そして、配色例 3 においては、第 2 表示画素配列および第 3 表示画素配列に含まれる表示画素について、R G B の 3 色から第 1 表示画素配列について設定された表示色を除く 2 色が市松パターンとなるように表示色として設定される。たとえば、図 11 に示すように、第 1 表示画素配列に含まれる画素電極 1 1 a ・ 1 1 b ・ 1 1 c について R 色が設定されている場合においては、第 2 表示画素配列における画素電極 1 1 d ・ 1 1 f および第 3 表示画素配列における画素電極 1 1 h を G 色に設定し、第 2 表示画素配列における画素電極

50

1 1 e および第 3 表示画素配列における画素電極 1 1 g ・ 1 1 i について B 色を設定する。なお、B 色および G 色をこれとは逆に配置してもよい。

【 0 1 6 3 】

上記構成によれば、以下の利点を得ることができる。すなわち、ソースライン S 2 に入力される電圧に影響を受けて、画素電極 1 1 a と画素電極 1 1 d との間でユーザの視覚に大きく影響するようなクロストークが発生する場合がある。

【 0 1 6 4 】

しかしながら、第 1 表示画素配列に含まれる複数の表示画素が、R G B 色のうちいずれか 1 色が表示色として設定されているので、上記のようにユーザの視覚に大きく影響するようなクロストークが発生する場合であっても、同様のクロストークが発生する箇所を第 1 表示画素配列内に適度に分布させることができる。

【 0 1 6 5 】

さらに、第 2 表示画素配列および第 3 表示画素配列に含まれる複数の表示画素については、R G B のうち 2 色が市松パターンとなるように表示色として設定されている。すなわち、第 2 表示画素配列および第 3 表示画素配列においては、色バランスを偏らせることなく均等に表示画素が配色されている。

【 0 1 6 6 】

したがって、第 2 表示画素配列および第 3 表示画素配列内で発生するクロストークの箇所を、両画素配列内でバランスよく分散させることができる。よって、表示装置による表示のカラーバランスをより適正化できる。第 2 配列または第 3 配列が 1 色で残り 2 つが市松配列でも良い。

【 0 1 6 7 】

〔 配色例 4 : 4 色による配色 〕

配色例 4 では、たとえば、R 色、G 色、B 色、およびホワイト色を第 1 ~ 第 4 表示色とした場合や、シアン、マゼンタ、イエロー、およびグリーンを第 1 ~ 第 4 表示色として場合において、該第 1 ~ 第 4 表示色からなる 4 色を各表示画素に配色する。基本的な配色の手法については、配色例 1 ないし配色例 3 と同様の手法を用いることができる。

【 0 1 6 8 】

すなわち、配色例 1 を用いて 4 色を配色する場合においては、以下のように第 4 表示画素配列を設ける。つまり、第 4 表示画素配列を、第 2 ソースラインと第 3 ソースラインとが隣接する側とは反対側において第 3 ソースラインに隣接する第 4 ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、第 1 ~ 第 4 表示色のうち、第 1 ~ 第 3 表示画素配列について表示色として設定されていない色が該複数の表示画素の表示色となるように設定する。

【 0 1 6 9 】

たとえば、図 8 に示すように表示パネル 7 が構成されているとすると、ソースライン S 2 とソースライン S 3 とが隣接する側とは反対側においてソースライン S 3 に隣接するソースライン（図示せず）に、スイッチング素子を介して接続されている複数の表示画素を第 4 表示画素配列として設定する。そして、その第 4 表示画素配列の表示色を、ホワイトに設定する。

【 0 1 7 0 】

また、配色例 2 を用いて 4 色を配色する場合においては、以下のように第 1 表示画素グループおよび第 2 表示画素グループを設定する必要がある。すなわち、図 9 に示すように、第 1 表示画素グループに含まれる 4 つの表示画素は、

上記第 1 ゲートラインにより駆動されるとともに上記第 2 表示画素が寄生容量のみを介して接続されているソースラインにスイッチング素子を介して接続されている第 3 表示画素、

上記第 1 ゲートラインにより駆動されるとともに上記第 3 表示画素が寄生容量のみを介して接続されているソースラインにスイッチング素子を介して接続されている第 4 表示画素、

10

20

30

40

50

上記第 1 表示画素、

および上記第 2 表示画素として設定する。たとえば、図 9 に示すように、画素電極 1 1 a が第 1 表示画素、画素電極 1 1 d が第 2 表示画素として設定されているならば、ゲートライン（第 1 ゲートライン）G 1 により駆動されるとともに画素電極 1 1 d が寄生容量 C s d を介して接続されているソースライン S 3 にスイッチング素子 1 2 g を介して接続されている画素電極 1 1 g が第 3 表示画素として設定される。同様に、ゲートライン G 1 により駆動されるとともに画素電極 1 1 g が寄生容量 C s d を介して接続されているソースライン S 4 にスイッチング素子 1 2 j を介して接続されている画素電極 1 1 j が第 4 表示画素として設定される。

【 0 1 7 1 】

さらに、画素電極 1 1 a ・ 1 1 d ・ 1 1 g ・ 1 1 j について、R , G , B , ホワイトの 4 色のうちいずれか 1 色による表示色を、画素間で互いに異なるように設定する。たとえば、図 9 に示すように、画素電極 1 1 a を R 色、画素電極 1 1 d を G 色、画素電極 1 1 g を B 色、画素電極 1 1 j をホワイトに設定する。

【 0 1 7 2 】

一方で、上記第 2 表示画素グループに含まれる 4 つの表示画素は、

上記第 1 表示画素がスイッチング素子を介して接続されているソースラインと、上記第 1 ゲートラインに隣接する第 2 ゲートラインとにスイッチング素子を介して接続されている第 5 表示画素、

上記第 2 表示画素がスイッチング素子を介して接続されているソースラインと、上記第 2 ゲートラインとにスイッチング素子を介して接続されている第 6 表示画素、

上記第 3 表示画素がスイッチング素子を介して接続されているソースラインと、上記第 2 ゲートラインとにスイッチング素子を介して接続されている第 7 表示画素であり、

上記第 4 表示画素がスイッチング素子を介して接続されているソースラインと、上記第 2 ゲートラインとにスイッチング素子を介して接続されている第 8 表示画素として設定する。たとえば、上述したように第 1 表示画素として画素電極 1 1 a が設定されているならば、画素電極 1 1 a がスイッチング素子 1 2 a を介して接続されているソースライン S 1 と、ゲートライン G 1 に隣接するゲートライン G 2（第 2 ゲートライン）とにスイッチング素子 1 2 b を介して接続されている画素電極 1 1 b が第 5 表示画素として設定される。同様に、画素電極 1 1 e が第 6 表示画素として設定され、画素電極 1 1 h が第 7 表示画素として設定され、画素電極 1 1 k が第 8 表示画素として設定される。

【 0 1 7 3 】

さらに、上記第 5 表示画素については上記第 4 表示画素と同じ表示色、上記第 6 表示画素については上記第 1 表示画素と同じ表示色、上記第 7 表示画素については上記第 2 表示画素と同じ表示色、上記第 8 表示画素については上記第 3 表示画素と同じ表示色が設定する。すなわち、図 9 に示すように、画素電極 1 1 b についてホワイト、画素電極 1 1 e について R 色、画素電極 1 1 h について G 色、画素電極 1 1 k について B 色を表示色として設定する。

【 0 1 7 4 】

または、上記第 5 表示画素については上記第 2 表示画素と同じ表示色、上記第 6 表示画素については上記第 3 表示画素と同じ表示色、上記第 7 表示画素については上記第 4 表示画素と同じ表示色、上記第 8 表示画素については上記第 1 表示画素と同じ表示色を設定してもよい。すなわち、図 10 に示すように、画素電極 1 1 b について G 色、画素電極 1 1 e について B 色、画素電極 1 1 h についてホワイト、画素電極 1 1 k について R 色を表示色として設定する。

【 0 1 7 5 】

また、配色例 3 を用いて 4 色を配色する場合においては、以下のように第 4 表示画素配列を設ける。つまり、第 2 ソースラインと第 3 ソースラインとが隣接する側とは反対側において第 3 ソースラインに隣接する第 4 ソースラインにスイッチング素子を介して接続されている複数の表示画素を、第 4 表示画素配列として設定する。

10

20

30

40

50

## 【0176】

そして、第2表示画素配列、第3表示画素配列、および第4表示画素配列に含まれる表示画素は、上記第1表示色、上記第2表示色、上記第3表示色、および上記第4表示色から上記第1表示画素配列について設定された表示色を除く3色が市松パターンとなるように表示色を設定する。

## 【0177】

たとえば、図11に示すように表示パネル7が構成されているとすると、ソースラインS2とソースラインS3とが隣接する側とは反対側においてソースラインS3に隣接するソースライン(図示せず)に、スイッチング素子を介して接続されている複数の表示画素を第4表示画素配列として設定する。

10

## 【0178】

そして、第2表示画素配列、第3表示画素配列、および第4表示画素配列に含まれる表示画素は、第1表示色、第2表示色、第3表示色、および第4表示色から上記第1表示画素配列について設定された表示色を除く3色が市松パターンとなるように表示色を設定する。

## 【0179】

たとえば、図11に示すように、第1表示画素配列に含まれる画素電極11a・11b・11cについてR色が設定されているならば、第2表示画素配列に含まれる画素電極11d~11f、第3表示画素配列に含まれる画素電極11g~11i、および第4表示画素配列に含まれる表示画素(図示せず)については、G、B、ホワイト色が市松パターンとなるように表示色を設定する。

20

## 【0180】

なお、「3色を市松パターンに配色する」とは、具体的には、配色例2と略同様の手順により配色することを意味している。すなわち、たとえばRGB色の3色を市松パターンで配色する場合、第2~第4表示画素配列に含まれる表示画素は、図9または図10に示す画素電極11a~11iのように表示色が設定される。つまり、ゲートラインを介して隣接する表示画素の配色を、ゲートラインを跨ぐ度にRGB・BRG・GBR...と変わるように変化させる(図9参照)。または、ゲートラインを跨ぐ度にRGB・GBR・BRG...と変わるように変化させる(図10参照)。

## 【0181】

このように、配色例1~配色例3と略同様の手法により、複数の表示画素に対して4色を配色することも可能である。そして、このように4色を配色しても、配色例1~3と同様の効果を得ることができる。

30

## 【0182】

〔4. ソースラインと表示画素との接続態様について〕

本実施形態の駆動方法を用いてより効率的にクロストークを低減するための、ソースラインと表示画素との接続態様について、以下に2つの例を紹介する。なお、以下の接続例1、接続例2は、上述の配色例1~4のいずれにも適用可能である。

## 【0183】

〔接続例1: L字状部〕

接続例1では、ソースラインに含まれる各ソースラインは、L字状部と逆L字状部とが交互に繰り返されるように連結された形状にて配設する。つまり、図12に示すように、ソースラインS1を、L字状部S1aと、逆L字状部S1bとが交互に繰り返されるように連結された形状にて配設する。同様に、ソースラインS2を、L字状部S2aと、逆L字状部S2bとが交互に繰り返されるように、ソースラインS3を、L字状部S3aと、逆L字状部S3bとが交互に繰り返されるように配設する。

40

## 【0184】

また、図12において逆L字状部S1bに接続されている表示画素は、L字状部S1aに接続されている表示画素よりも隣接するソースラインS2が長くなるので、ソースラインS2との間に形成される寄生容量が大きくなる。そこで、ゲートラインS2およびゲー

50

トライン S 3 に接続されている複数の表示画素に対して、G 色と B 色を市松パターンで配色することにより、視感度の低い B 色に大きなクロストークを集中させ、表示パネルのカラーバランスの適正化することもできる。

#### 【 0 1 8 5 】

〔 接続例 2 : ゲートラインを跨ぐごとに反転するように接続する 〕

接続例 2 では、複数のソースラインに含まれる各ソースラインに対してスイッチング素子が接続されている方向が、上記複数のゲートラインに含まれる各ゲートラインを跨ぐ毎に異なるように設定する。つまり、図 1 3 に示すように、ソースライン S 2 に接続されるスイッチング素子 1 2 d は、該ソースライン S 2 からみて右側の画素電極 1 1 d と接続されている。そして、スイッチング素子 1 2 d と同様にソースライン S 2 に接続されるスイッチング素子 1 2 b は、該ソースライン S 2 からみて左側の画素電極 1 1 b と接続されている。

10

#### 【 0 1 8 6 】

その他のソースライン S 1 ・ S 3 についても同様に、ソースラインに対するスイッチング素子の接続方向が、ゲートライン G 1 ・ G 2 ・ G 3 ... を跨ぐ度に、右、左、右、... となるように設定されている。

#### 【 0 1 8 7 】

上述の接続例 1 および接続例 2 によれば、以下の効果を得ることができる。すなわち、クロストークは、寄生容量と表示画素との間、すなわちソースラインと表示画素との間で発生する。したがって、各ソースラインが互いに平行になるように配設されていると、クロストークが発生する箇所がソースラインに沿って直線的に連続してしまい、カラーバランスが崩れることがある。

20

#### 【 0 1 8 8 】

しかしながら、上記構成によれば、各ソースラインが、L 字状部と逆 L 字状部とが交互に繰り返されるように連結された形状にて配設されている。すなわち、各表示画素と各ソースラインとの間に形成される寄生容量に偏りが生じる。したがって、クロストークが発生する箇所を表示装置内で適度に分散させることができる。よって、表示装置による表示のカラーバランスをより適正化できる。

#### 【 0 1 8 9 】

〔 5 . プログラムについて 〕

30

上記の説明では、CCT 補正回路 2 ( 彩度強調回路 1 0 ) がハードウェアのみで実現されている場合を例にして説明したが、これに限るものではない。該部材の全部または一部を、上述した機能を実現するためのプログラムと、そのプログラムを実行するハードウェア ( コンピュータ ) との組み合わせで実現してもよい。一例として、カラー表示装置 1 に接続されたコンピュータにより、表示パネル 7 を駆動する際に使用されるデバイスドライバとして、CCT 補正回路 2 または彩度強調回路 1 0 を実現してもよい。また、カラー表示装置 1 に外付けされる変換基板として、CCT 補正回路 2 または彩度強調回路 1 0 が実現され、ソフトウェアなどのプログラムの書き換えによって、CCT 補正回路 2 または彩度強調回路 1 0 を実現する回路の動作を変更できる場合には、当該ソフトウェアを配布して、当該回路の動作を変更することによって、当該回路を、上記実施形態の CCT 補正回路 2 ( 彩度強調回路 1 0 ) として動作させてもよい。

40

#### 【 0 1 9 0 】

これらの場合は、上述した機能を実行可能なハードウェアが用意されていれば、当該ハードウェアに、上記プログラムを実行させるだけで、上記実施形態に係る CCT 補正回路 2 ( 彩度強調回路 1 0 ) を実現できる。

#### 【 0 1 9 1 】

なお、本発明の表示装置の駆動方法では、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応するように、表示画素およびスイッチング素子が配置された表示装置の駆動方法であって、第 1 表示画素への印加電圧を、他の第 2 表示画素への印加電圧に基づき補正する一方、上記第 2 表示画素は、上記第 1 表示画素を駆動する第 1

50

ゲートラインと同一のゲートラインにより駆動されるものであり、上記第2表示画素がスイッチング素子を介して接続されているソースラインは、上記第1表示画素が寄生容量を介して接続されているソースラインと同じであってもよい。

【0192】

このとき、上記第1表示画素の容量値を $C_p$ 、上記第2表示画素のスイッチング素子が接続されたソースラインと上記第1表示画素とを接続する寄生容量の容量値を $C_{sd}$ 、階調レベルが $g$ の際に第1表示画素に印加される電圧を $U(g)$ 、上記第2表示画素への印加電圧を $U_{gad}$ 、黒色を表示する際に上記第1表示画素に印加される電圧を $U_{bad}$ としたとき、 $F(g) = C_{sd} \cdot (U_{gad} - U_{bad}) / C_p \cdot (U(g+1) - U(g))$ で示される補正值 $F(g)$ を、上記第1表示画素の補正階調として出力することも可能である。

10

【0193】

また、所望の階調を表示するために上記第1表示画素に印加される電圧の実効値を $V_a$ 、上記第2表示画素に対する印加電圧を $V(B)$ 、上記第1表示画素のスイッチング素子が接続されたソースラインと上記第1表示画素とを接続する寄生容量の容量値を $C_{sda}$ 、上記第2表示画素のスイッチング素子が接続されたソースラインと上記第1表示画素とを接続する寄生容量の容量値を $C_{sdb}$ 、上記第1表示画素を駆動するゲートラインと該第1表示画素とを接続する寄生容量の容量値を $C_{gd}$ 、上記第1表示画素に対応して設けられる共通電極と該第1表示画素とを接続する寄生容量の容量値を $C_{cs}$ 、上記ゲートラインに印加される電圧を $V_g$ 、上記共通電極に印加される電圧を $V_c$ 、上記第1表示画素の容量値を $C_p$ とした場合に、 $V(A) = (C_p * V_a - C_{gd} * V_g - C_{sdb} * V(B) + C_{cs} * V_c) / (C_p + C_{sda})$ で示される電圧 $V(A)$ を、上記第1表示画素に印加することも可能である。

20

【0194】

さらに、本発明の表示装置の駆動方法では、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応するように、表示画素およびスイッチング素子が配置された表示装置の駆動方法であって、第1表示画素に入力される階調レベルを $L_A$ 、他の第2表示画素に入力される階調レベルを $L_B$ 、上記 $L_A$ および上記 $L_B$ を入力値とする関数を $F(L_A, L_B)$ とした場合、上記第1表示画素への入力階調レベルが、 $L_{out} = L_A + F(L_A, L_B)$ にて算出される階調レベル $L_{out}$ に補正されるよう、上記第1表示画素への印加電圧を、上記第2表示画素への印加電圧に基づき補正する一方、上記第2表示画素は、上記第1表示画素を駆動する第1ゲートラインと同一のゲートラインにより駆動されるものであり、上記第2表示画素がスイッチング素子を介して接続されているソースラインは、上記第1表示画素が寄生容量を介して接続されているソースラインと同じであってもよい。

30

【0195】

また、本発明の表示装置では、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応するように、表示画素およびスイッチング素子が配置され、第1表示画素への印加電圧が、他の第2表示画素への印加電圧に基づき補正され、上記第2表示画素は、上記第1表示画素を駆動する第1ゲートラインと同一のゲートラインにより駆動されるものであり、上記第2表示画素がスイッチング素子を介して接続されているソースラインは、上記第1表示画素が寄生容量を介して接続されているソースラインと同じであるとしてもよい。

40

【0196】

〔実施形態のまとめ〕

本発明の表示装置の駆動方法は、上記課題を解決するために、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応してスイッチング素子と画素電極とを含む表示画素が配置された表示装置の駆動方法であって、同一ゲートラインに接続された第1表示画素および第2表示画素につき、該第1表示画素に接続するソースラインに隣接するとともに該第1表示画素の画素電極との間に寄生容量を形成するソースラインが、

50

上記第2表示画素に接続しているものとして、上記第1表示画素への書き込み信号を、第1表示画素への入力信号を第2表示画素への入力信号あるいは第2表示画素への書き込み信号に基づいて補正した信号とすることを特徴としている。なお、ある表示画素がソースラインに接続しているとは、当該表示画素の画素電極がそのスイッチング素子を介してソースラインに接続していることを意味する。

【0197】

また、本発明の表示装置は、上記課題を解決するために、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応するように、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応するように、表示画素およびスイッチング素子が配置された表示装置であって、同一ゲートラインに接続された第1表示画素および第2表示画素につき、該第1表示画素に接続するソースラインに隣接するとともに該第1表示画素の画素電極との間に寄生容量を形成するソースラインが、上記第2表示画素に接続されており、上記第1表示画素への書き込み信号が、第1表示画素への入力信号が第2表示画素への入力信号あるいは第2表示画素への書き込み信号に基づいて補正された信号とされていることを特徴としている。

【0198】

複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応してスイッチング素子と画素電極とを含む表示画素が配置された表示装置では、表示画素(第1表示画素)の画素電極の一部が、該表示画素(第1表示画素)に接続されたソースラインに隣接するソースライン(第2表示画素に接続し、第2表示画素を駆動するソースライン)と絶縁膜等を介して重畳する。この第1表示画素の画素電極と第2表示画素に接続するソースラインとの重畳部分は寄生容量を形成することとなり、第1表示画素の画素電極電位に影響を及ぼす。

【0199】

そこで、上記構成においては、第1表示画素への入力信号を、第2表示画素への入力信号あるいは第2表示画素への書き込み信号に基づいて補正し、これを第1表示画素への書き込み信号とする。すなわち、第1表示画素の画素電極および第2表示画素を駆動するソースライン間の寄生容量の影響を予め考慮した上で第1表示画素に対する書き込み信号を決定する。その意味で、本発明は、第1表示画素への入力信号を第2表示画素への入力信号(あるいは第2表示画素への書き込み信号)と上記寄生容量の容量値とに基づいて補正した信号を、上記第1表示画素への書き込み信号としているということもできる。なお、入力信号とは表示装置に送られる各画素の生のままの階調データや電圧データであり、書き込み信号とは、実際にソースラインへ与える印加電圧あるいは該印加電圧に対応する階調である。上記第2表示画素の書き込み信号とは、第2表示画素の入力信号(電圧データあるいは階調データ)を補正した信号(電圧あるいは階調)である。

【0200】

このようにすれば、上記寄生容量が第1表示画素の画素電極(各画素電極)の電位を変動させることで生じる表示階調と所望階調とのギャップ(クロストーク量)を大幅に低減させることができ、表示品位の向上(カラーバランスの適正化)が可能となる。

【0201】

さらに、上記駆動方法においては、  
 上記第1表示画素の容量を  $C_p$ 、  
 上記第2表示画素が接続されたソースラインと上記第1表示画素の画素電極との間に形成された寄生容量の容量値を  $C_{sd}$ 、  
 入力信号階調のレベルが  $g$  のときの第1表示画素への入力信号電圧を  $U(g)$ 、  
 上記第2表示画素への入力信号電圧または書き込み信号電圧を  $U_{gad}$ 、  
 各表示画素の画素電極に対向する共通電極への印加電圧を  $U_{bad}$  とするとき、  

$$F(g) = C_{sd} \cdot (U_{gad} - U_{bad}) / C_p \cdot (U(g+1) - U(g))$$
 で示される補正階調  $F(g)$  に第1表示画素への入力信号階調を加えたものを、上記第1表示画素への書き込み信号階調とすることが好ましい。

10

20

30

40

50

## 【 0 2 0 2 】

または、

上記第 1 表示画素へ所望階調を表示するために実効電圧  $V_a$  が要求される場合には、  
 上記第 2 表示画素に対する入力信号電圧または書き込み信号電圧を  $V(B)$ 、  
 上記第 1 表示画素が接続されたソースラインと該第 1 表示画素の画素電極との間に形成された寄生容量の容量値を  $C_{sda}$ 、  
 上記第 2 表示画素が接続されたソースラインと上記第 1 表示画素の画素電極との間に形成された寄生容量の容量値を  $C_{sdb}$ 、  
 上記第 1 表示画素に接続されたゲートラインと該第 1 表示画素の画素電極との間に形成された寄生容量の容量値を  $C_{gd}$ 、  
 上記第 1 表示画素に対応して設けられる蓄積容量電極と該第 1 表示画素のスイッチング素子のドレイン電極との間に形成された寄生容量の容量値を  $C_{cs}$ 、  
 上記ゲートラインへの印加電圧を  $V_g$ 、  
 上記蓄積容量電極への印加電圧を  $V_c$ 、  
 上記第 1 表示画素の容量を  $C_p$  として、  

$$V(A) = (C_p * V_a - C_{gd} * V_g - C_{sdb} * V(B) + C_{cs} * V_c) / (C_p + C_{sda})$$
 で示される電圧  $V(A)$  を上記第 1 表示画素への書き込み信号電圧としてもよい。

10

## 【 0 2 0 3 】

また、本発明の表示装置の駆動方法は、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応してスイッチング素子および画素電極を含む表示画素が配置された表示装置の駆動方法であって、同一のゲートラインに接続された第 1 表示画素および第 2 表示画素につき、該第 1 表示画素に接続するソースラインに隣接するとともに該第 1 表示画素の画素電極との間に寄生容量を形成するソースラインが、上記第 2 表示画素に接続しているものとして、

20

第 1 表示画素への入力信号階調のレベルを  $L_A$ 、他の第 2 表示画素への入力信号階調のレベルを  $L_B$ 、上記  $L_A$  および上記  $L_B$  を入力値とする関数を  $F(L_A, L_B)$  とした場合、

上記第 1 表示画素への書き込み信号階調のレベル  $L_{out}$  が、 $L_{out} = L_A + F(L_A, L_B)$  にて算出される階調レベルとなるように、上記第 1 表示画素への書き込み信号電圧を、該第 1 表示画素の入力信号電圧を上記第 2 表示画素への入力信号電圧あるいは上記第 2 表示画素への書き込み信号電圧に基づいて補正した電圧とすることを特徴としている。

30

## 【 0 2 0 4 】

上記構成によれば、上記第 1 表示画素への書き込み電圧信号を、該第 1 表示画素の入力信号電圧を上記第 2 表示画素への入力信号電圧あるいは書き込み電圧信号に基づいて補正する。このように、第 1 表示画素の画素電極および第 2 表示画素を駆動するソースライン間の寄生容量の影響を予め考慮した上で第 1 表示画素に対する書き込み信号を決定することで、上記寄生容量が各画素電極の電位を変動させることによって生じる表示階調と所望階調とのギャップ(クロストーク量)を大幅に低減することができ、表示品位を高めることができる。

40

さらに、信号電圧を示すアナログデータは、階調レベルを示すデジタルデータに対してリニアに応答しないので、該アナログデータの処理には多くのビット数が必要となる。つまり、アナログデータである信号電圧のデータそのものを用いて第 1 表示画素への信号電圧を補正する処理よりも、デジタルデータである階調レベルを用いて第 1 表示画素への信号階調を補正する処理の方が簡略である。

## 【 0 2 0 5 】

したがって、上記構成によれば、簡易な処理にて、表示装置のカラーバランスを適正化することができる。

## 【 0 2 0 6 】

さらに、上記構成の駆動方法においては、上記  $L_A$  が所定のしきい値より小さい場合、

50

$F(LA, LB) = k(LA - LB)$ と定義され(ただし、 $k > 0$ )、上記 $LA$ が当該しきい値より大きい場合、 $F(LA, LB)$ は一定値を出力する関数として定義されることが好ましい。

【0207】

すなわち、クロストークを低減するために $LA$ に与えるべき補正值 $F(LA, LB)$ の値は、 $LA$ が所定のしきい値に達するまでは、 $LA$ の値に応じて単調増加する。また、しきい値を超える $LA$ については、 $LA$ と $F(LA, LB)$ との間に明快な相関関係がなく、刺激値の誤差率が低くなるので、一定値を $LA$ に加えて $Lout$ を出力するというように、比較的ラフな補正でクロストークは低減される。

【0208】

したがって、上記のように $F(LA, LB)$ を定義すれば、簡略な処理において $Lout$ を求めることができるというさらなる効果が奏される。

【0209】

さらに、上記構成の駆動方法においては、0から最大階調レベルに含まれる整数から複数の整数を抽出し、該複数の整数のそれぞれを $LA$ とした場合における $F(LA, 0)$ の値を、対応する $LA$ の値と関連付けて予めルックアップテーブルに格納する一方、上記ルックアップテーブルに格納されていない $LA$ を入力とする $F(LA, LB)$ の値を、該ルックアップテーブルに格納された $LA$ の値と、該 $LA$ の値に対応する $F(LA, 0)$ の値と、 $F(LA, LB) = 0$ を満たす $LA$ および $LB$ の値と、に基づき補間することが好ましい。

【0210】

上記構成によれば、ルックアップテーブルを用いて $F(LA, LB)$ の値を求めることができるので、該ルックアップテーブルを表示装置の種類ごとに予め作成しておけば、表示装置の種類に応じた適切な $F(LA, LB)$ の値を求めることができる。

【0211】

したがって、表示装置の種類に関わらず、クロストークを低減してカラーバランスを適正化することができるというさらなる効果が奏される。

【0212】

さらに、上記構成の駆動方法においては、 $LA > LB$ の場合、上記補間を直線補間により行うことが好ましい。

【0213】

すなわち、補間方法としては、直線による補間が最も簡略な方法であるので、上記構成によれば、表示装置の種類に応じた適切な $F(LA, LB)$ の値を簡易な処理にて求めることができるというさらなる効果が奏される。

【0214】

さらに、上記構成の駆動方法においては、 $LA < LB$ の場合、 $F(LA, LB) = 0$ と定義されていることが好ましい。

【0215】

つまり、 $LA < LB$ の場合は、第1表示画素の階調レベルが低いので、ソースラインと第1表示画素との間でクロストークが発生したとしても、そのクロストークが第1表示画素の表示レベルに与える影響は小さくなる。すなわち、 $LA < LB$ の場合は、特に補正值 $F(LA, LB)$ を求めなくてもよい。

【0216】

よって、上記構成によれば、さらに簡易な処理にてクロストークを低減することができる。

【0217】

さらに、本発明においては、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応してスイッチング素子および画素電極を含む表示画素が配置された表示装置の駆動方法であって、同一のゲートラインに接続し、第1、第2、および第3表示色のそれぞれを表示する第1～第3表示画素につき、第1表示画素に接続するソースライ

10

20

30

40

50

ンに隣接するとともに該第1表示画素の画素電極との間に寄生容量を形成するソースラインが、上記第2表示画素に接続し、かつ、第2表示画素に接続するソースラインに隣接するとともに該第2表示画素の画素電極との間に寄生容量を形成するソースラインが、上記第3表示画素に接続しているものとして、上記第1表示画素の入力信号階調をL A、上記第2表示画素の入力信号階調あるいは書き込み信号階調をL B、および上記第3表示画素の入力信号階調あるいは書き込み信号階調をL Cとした場合、

$G(L A, L B, L C) = k L B(L A - L B) + k L C(L A - L C)$  (ただし、 $k L B$ 、 $k L C$ はそれぞれ、 $L B$ 、 $L C$ の関数で、表示する階調レベルの最大値をMAXとした場合、 $k(0) =$ ある一定値、 $k(MAX) = 0$ 、 $k(p)$ が極大値となる $p(0 < p < 255)$ が存在する)で表される補正階調 $G(L A, L B, L C)$ に第1表示画素の入力信号階調L Aを加えた階調を、第1表示画素の書き込み信号階調とすることもできる。

10

【0218】

なお、上記構成の駆動方法において、第1表示色としてR色、第2表示色としてG色、第3表示色としてB色を用いることが可能である。

【0219】

上記構成によれば、従来の彩度強調処理と同様の処理においてクロストークを低減することができるので、従来の彩度強調処理を実行するプログラムを、表示装置内部または外部のコンピュータに実行させれば、低コストにてクロストークを低減することができる。

【0220】

さらに、上記構成の表示装置においては、上記複数のソースラインが互いに平行となるように配設されているとともに、第1表示色を表示する表示画素と、第2表示色を表示する表示画素と、第3表示色を表示する表示画素とから構成される表示絵素を用いて画像表示を行い、以下の第1表示画素配列、第2表示画素配列、および第3表示画素配列が含まれていることが好ましい。

20

【0221】

まず、第1表示画素配列を、上記第1表示画素がスイッチング素子を介して接続されている第1ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第1表示色、上記第2表示色、および上記第3表示色のうちいずれか1色が表示色として設定されているものとして構成する。

30

【0222】

また、第2表示画素配列を、上記第2表示画素がスイッチング素子を介して接続されている第2ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第1表示色、上記第2表示色、および上記第3表示色のうち上記第1表示画素配列について設定された表示色を除く2色のうちいずれか1色が表示色として設定されているものとして構成する。

【0223】

さらに、第3表示画素配列は、上記第1ソースラインと上記第2ソースラインとが隣接する側とは反対側において上記第2ソースラインに隣接する第3ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第1表示色、上記第2表示色、および上記第3表示色から上記第1表示画素配列および上記第2表示画素配列について表示色として設定されていない色が表示色として設定されているものとして構成する。

40

【0224】

上記構成のように第1～第3表示画素配列を設け、第1～第3の表示色を設定する手法は、表示装置における複数の表示画素を配色するための一般的な手法として用いられているものである。よって、上記構成によれば、一般的な表示装置において発生するクロストークのレベルを低減し、表示装置による表示のカラーバランスを適正化できる。

【0225】

さらに、上記構成の表示装置において、上記表示絵素がさらに第4表示色を表示する表

50

示画素を備えてなるとともに、以下の第4表示画素配列をさらに含む構成としてもよい。  
すなわち、第4表示画素配列を、上記第2ソースラインと上記第3ソースラインとが隣接する側とは反対側において上記第3ソースラインに隣接する第4ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第4表示色が表示色として設定されているものとして構成してもよい。

【0226】

また、上記構成の表示装置は、上記複数のソースラインが互いに平行となるように配設されているとともに、第1表示色を表示する表示画素と、第2表示色を表示する表示画素と、第3表示色を表示する表示画素とから構成される表示絵素を用いて画像表示を行い、上記表示装置に含まれる3つの表示画素からなる第1表示画素グループ、および、該第1表示画素グループに含まれる3つの表示画素とは異なる3つの表示画素からなる第2表示画素グループについて、以下のように設定されていてもよい。

【0227】

先ず、第1表示画素グループに含まれる3つの表示画素を、上記第1ゲートラインにより駆動されるとともに上記第2表示画素が寄生容量を介して接続されているソースラインにスイッチング素子を介して接続されている第3表示画素、上記第1表示画素、および上記第2表示画素として構成する。さらに、上記第1表示画素、上記第2表示画素、および上記第3表示画素については、上記第1表示色、上記第2表示色、および上記第3表示色のうちいずれか1色による表示色が互いに異なるように設定する。

【0228】

上記第2表示画素グループに含まれる3つの表示画素は、  
上記第1表示画素がスイッチング素子を介して接続されているソースラインと、上記第1ゲートラインに隣接する第2ゲートラインとにスイッチング素子を介して接続されている第4表示画素、

上記第2表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第5表示画素、

および上記第3表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第6表示画素として構成する。

【0229】

そして、上記第4表示画素について上記第3表示画素と同じ表示色、上記第5表示画素について上記第1表示画素と同じ表示色、上記第6表示画素について上記第2表示画素と同じ表示色を設定する。または、上記第4表示画素について上記第2表示画素と同じ表示色、上記第5表示画素について上記第3表示画素と同じ表示色、上記第6表示画素について上記第1表示画素と同じ表示色を設定する。

【0230】

上記構成によれば、以下のさらなる効果が奏される。すなわち、第2表示画素と第1表示画素との間においてユーザの視覚に大きく影響するようなクロストークが発生する場合、同様のクロストークが他の2つの表示画素間でも発生することがある。

【0231】

しかしながら、上記構成によれば、同じソースラインで駆動されるとともに、第1表示画素グループおよび第2表示画素グループのそれぞれに含まれる、3つの表示画素について、第1表示色～第3表示色が異なる順番により表示色として設定されている。したがって、表示装置全体の色バランスを偏らせることなく均等に表示画素が配色されている。

【0232】

よって、第1表示画素および第2表示画素以外の2画素間で視覚に影響を与えるクロストークが発生する箇所を、表示装置内にバランスよく分散させることができる。したがって、表示装置全体からみたクロストークレベルを低減し、表示装置による表示のカラーバランスをより適正化できるというさらなる効果が奏される。

【0233】

10

20

30

40

50

さらに、上記構成の表示装置は、上記複数のソースラインが互いに平行となるように配設されているとともに、第1表示色を表示する表示画素と、第2表示色を表示する表示画素と、第3表示色を表示する表示画素と、第4表示色を表示する表示画素とから構成される表示絵素を用いて画像表示を行い、上記表示装置に含まれる4つの表示画素からなる第1表示画素グループ、および、該第1表示画素グループに含まれる4つの表示画素とは異なる4つの表示画素からなる第2表示画素グループについて、以下のように設定されている。

【0234】

すなわち、第1表示画素グループに含まれる4つの表示画素を、上記第1ゲートラインにより駆動されるとともに上記第2表示画素が寄生容量のみを介して接続されているソースラインにスイッチング素子を介して接続されている第3表示画素、

上記第1ゲートラインにより駆動されるとともに上記第3表示画素が寄生容量のみを介して接続されているソースラインにスイッチング素子を介して接続されている第4表示画素、

上記第1表示画素、

および上記第2表示画素として構成する。

【0235】

さらに、上記第1表示画素、上記第2表示画素、上記第3表示画素、および上記第4表示画素については、上記第1表示色、上記第2表示色、上記第3表示色、および上記第4表示色のうちいずれか1色による表示色が互いに異なるように設定されている。

【0236】

また、上記第2表示画素グループに含まれる4つの表示画素は、

上記第1表示画素がスイッチング素子を介して接続されているソースラインと、上記第1ゲートラインに隣接する第2ゲートラインとにスイッチング素子を介して接続されている第5表示画素、

上記第2表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第6表示画素、

上記第3表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第7表示画素であり、

上記第4表示画素がスイッチング素子を介して接続されているソースラインと、上記第2ゲートラインとにスイッチング素子を介して接続されている第8表示画素として構成する。

【0237】

そして、上記第5表示画素については上記第4表示画素と同じ表示色、上記第6表示画素については上記第1表示画素と同じ表示色、上記第7表示画素については上記第2表示画素と同じ表示色、上記第8表示画素については上記第3表示画素と同じ表示色が設定されている。または、上記第5表示画素については上記第2表示画素と同じ表示色、上記第6表示画素については上記第3表示画素と同じ表示色、上記第7表示画素については上記第4表示画素と同じ表示色、上記第8表示画素については上記第1表示画素と同じ表示色を設定する。

【0238】

上記構成によれば、以下のさらなる効果が奏される。すなわち、第2表示画素と第1表示画素との間においてユーザの視覚に大きく影響するようなクロストークが発生する場合、同様のクロストークが他の2つの表示画素間でも発生することがある。

【0239】

しかしながら、上記構成によれば、同じソースラインで駆動されるとともに、第1表示画素グループおよび第2表示画素グループのそれぞれに含まれる、4つの表示画素について、第1表示色～第4表示色が異なる順番により表示色として設定されている。したがって、表示装置全体の色バランスを偏らせることなく均等に表示画素が配色されている。

【0240】

よって、第1表示画素および第2表示画素以外の2画素間で視覚に影響を与えるクロストークが発生する箇所を、表示装置内にバランスよく分散させることができる。したがって、表示装置全体からみたクロストークレベルを低減し、表示装置による表示のカラーバランスをより適正化できるというさらなる効果が奏される。

【0241】

また、本発明の表示装置は、上記複数のソースラインが互いに平行となるように配設されているとともに、第1表示色を表示する表示画素と、第2表示色を表示する表示画素と、第3表示色を表示する表示画素とから構成される表示絵素を用いて画像表示を行い、以下のように設定される第1表示画素配列、第2表示画素配列、および第3表示画素配列が含まれているものとして構成してもよい。

10

【0242】

まず、第1表示画素配列を、上記第1表示画素がスイッチング素子を介して接続されている第1ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるとともに、上記第1表示色、上記第2表示色、および上記第3表示色のうちいずれか1色が表示色として設定されているものとして構成する。

【0243】

さらに、第2表示画素配列は、上記第2表示画素がスイッチング素子を介して接続されている第2ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるものとして構成する。

【0244】

さらに、第3表示画素配列は、上記第1ソースラインと上記第2ソースラインとが隣接する側とは反対側において上記第2ソースラインに隣接する第3ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるものとして構成する。

20

【0245】

そして、上記第2表示画素配列および上記第3表示画素配列に含まれる表示画素は、上記第1表示色、上記第2表示色、および上記第3表示色から上記第1表示画素配列について設定された表示色を除く2色が市松パターンとなるように表示色が設定する。

【0246】

上記構成においては、たとえば、第2ソースラインに入力される電圧に影響を受けて、第1表示画素と第2ソースラインとの間でユーザの視覚に大きく影響するようなクロストークが発生する場合がある。

30

【0247】

しかしながら、本発明において第1表示画素配列に含まれる複数の表示画素が、第1表示色～第3表示色のうちいずれか1色が表示色として設定されているので、上記のようにユーザの視覚に大きく影響するようなクロストークが発生する場合であっても、同様のクロストークが発生する箇所を第1表示画素配列内に適度に分布させることができる。

【0248】

さらに、第2表示画素配列および第3表示画素配列に含まれる複数の表示画素については、第1表示色～第3表示色のうち2色が市松パターンとなるように表示色として設定されている。すなわち、第2表示画素配列および第3表示画素配列においては、色バランスを偏らせることなく均等に表示画素が配色されている。

40

【0249】

したがって、第2表示画素配列および第3表示画素配列内で発生するクロストークの箇所を、両画素配列内でバランスよく分散させることができる。よって、表示装置による表示のカラーバランスをより適正化できるというさらなる効果が奏される。

【0250】

さらに、上記構成の表示装置は、上記表示絵素がさらに第4表示色を表示する表示画素を備えてなり、以下の第4表示画素配列をさらに含んでいるものとして構成してもよい。

【0251】

すなわち、第4表示画素配列は、上記第2ソースラインと上記第3ソースラインとが隣

50

接する側とは反対側において上記第3ソースラインに隣接する第4ソースラインにスイッチング素子を介して接続されている複数の表示画素からなるものとして構成する。さらに、上記第2表示画素配列、上記第3表示画素配列、および上記第4表示画素配列に含まれる表示画素は、上記第1表示色、上記第2表示色、上記第3表示色、および上記第4表示色から上記第1表示画素配列について設定された表示色を除く3色が市松パターンとなるように表示色が設定してもよい。

【0252】

なお、上記構成の表示装置においては、上記第1表示色としてR色、上記第2表示色としてG色、上記第3表示色としてB色を用いてもよい。あるいは、上記第1表示色としてシアン、上記第2表示色としてマゼンタ、上記第3表示色としてイエローを用いてもよい。また、第4表示色として、ホワイトまたはグリーンのいずれかを用いてもよい。

10

【0253】

さらに、上記構成の表示装置において、上記複数のソースラインに含まれる各ソースラインは、L字状部と逆L字状部とが交互に繰り返されるように連結された形状にて配設されていることが好ましい。あるいは、複数のソースラインに含まれる各ソースラインに対してスイッチング素子が接続されている方向が、上記複数のゲートラインに含まれる各ゲートラインを跨ぐ毎に異なるように設定されていることが好ましい。

【0254】

上述したように、クロストークは、寄生容量と表示画素との間、すなわちソースラインと表示画素との間で発生する。したがって、各ソースラインが互いに平行になるように配設されていると、クロストークが発生する箇所がソースラインに沿って直線的に連続してしまい、カラーバランスが崩れることがある。

20

【0255】

しかしながら、上記構成によれば、各ソースラインが、L字状部と逆L字状部とが交互に繰り返されるように連結された形状にて配設されている。または、スイッチング素子が接続されている方向が、各ゲートラインを跨ぐ毎に異なるように設定されている。したがって、クロストークが発生する箇所を表示装置内で適度に分散させることができる。よって、表示装置による表示のカラーバランスをより適正化できる。

【0256】

また、本発明の表示装置は、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応してスイッチング素子と画素電極とを含む表示画素が配置されたであって、第1ゲートラインおよび第1ソースラインと接続する第1表示画素に隣接する第2ソースラインが、上記第2表示画素に接続しているものとして、第1表示画素への入力信号を、第2表示画素への入力信号あるいは第2表示画素への書き込み信号と、上記第2ソースラインおよび第1表示画素間に形成される寄生容量の容量値とに基づいて補正し、これを第1表示画素の書き込み信号とする補正回路を備えることを特徴としている。上記第2ソースラインおよび第1表示画素間に形成される寄生容量とは、例えば、第2ソースラインと第1表示画素の画素電極との間の寄生容量や第2ソースラインとスイッチング素子の各電極（ドレイン電極等）との間の寄生容量である。

30

【0257】

また、本発明の表示装置は、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応してスイッチング素子と画素電極とを含む表示画素が配置された表示装置であって、同一のゲートラインに接続された第1表示画素および第2表示画素につき、該第1表示画素に接続するソースラインに隣接するとともに該第1表示画素との間に寄生容量を形成するソースラインが、上記第2表示画素に接続しているものとして、第1表示画素への入力信号を、第2表示画素への入力信号あるいは第2表示画素への書き込み信号と、上記寄生容量の容量値とに基づいて補正し、これを第1表示画素の書き込み信号とする補正回路を備えることを特徴としている。上記寄生容量とは、例えば、ソースラインと第1表示画素の画素電極との間の寄生容量やソースラインと第1表示画素のスイッチング素子の各電極（例えば、ドレイン電極）との間の寄生容量である。

40

50

## 【 0 2 5 8 】

また、本発明のプログラムは、上記駆動方法をコンピュータに実行させることを特徴としている。当該プログラムをコンピュータに実行させることにより、本発明の駆動方法と同様の効果を得ることができる。

## 【 0 2 5 9 】

なお、上記した入力信号は入力信号データと考えることもできるし、書き込み信号は書き込み信号データであるとも考えることもできる。また、上記各電圧の基準電位は接地電位である。

## 【産業上の利用可能性】

## 【 0 2 6 0 】

本発明によれば、複数のソースラインと複数のゲートラインとを用いて表示画素を駆動する方式の表示装置において、2つの表示画素間におけるクロストークを低減できる。したがって、本発明は、表示装置、特に液晶表示装置の色再現性を向上させるのに適している。

## 【図面の簡単な説明】

## 【 0 2 6 1 】

【図1】図2のカラー表示装置における表示パネルの構成を詳細に示す平面図である。

【図2】本発明の表示装置の一実施形態に係るカラー表示装置の構成を示すブロック図である。

【図3】図1の表示パネルにおいて表示パターンが変化する状態を示す図である。

【図4】本来の白輝度と合成白輝度とを対比するための図である。

【図5】本来の白輝度に対する合成白輝度の刺激値の誤差率と、表示階調との関係を示すグラフである。

【図6】補正階調レベルと表示階調との関係をプロットしたグラフである。

【図7】図6の補正階調レベルを表示画素(A)の階調レベルに加えた場合における、表示階調レベルL Aと刺激誤差率との関係を示すグラフである。

【図8】配色例1を用いて図1の表示パネルを配色した状態を示す平面図である。

【図9】配色例2を用いて図1の表示パネルを配色した状態を示す平面図である。

【図10】配色例2を用いて図1の表示パネルを配色した状態を示す平面図である。

【図11】配色例3を用いて図1の表示パネルを配色した状態を示す平面図である。

【図12】接続例1を用いて図1の表示パネルにおけるソースラインと表示画素とを接続した状態を示す平面図である。

【図13】接続例2を用いて図1の表示パネルにおけるソースラインと表示画素とを接続した状態を示す平面図である。

【図14】本発明の表示装置の他の実施形態に係るカラー表示装置の構成を示すブロック図である。

【図15】(a)は、従来の液晶表示装置における表示パネルの構成を示す図であり、(b)は、ゲートラインへ電圧を印加する状態を示す図である。

【図16】(a)(b)は、本発明のCCT補正回路の処理工程を示すブロック図である。

【図17】本発明の他のCCT補正回路の処理工程を示すブロック図である。

## 【符号の説明】

## 【 0 2 6 2 】

- 1 カラー表示装置(表示装置)
- 2 CCT補正回路(補正回路)
- 7 表示パネル
- 10 彩度強調回路
- 11 画素電極
- A 表示画素(第1表示画素)
- B 表示画素(第2表示画素)

10

20

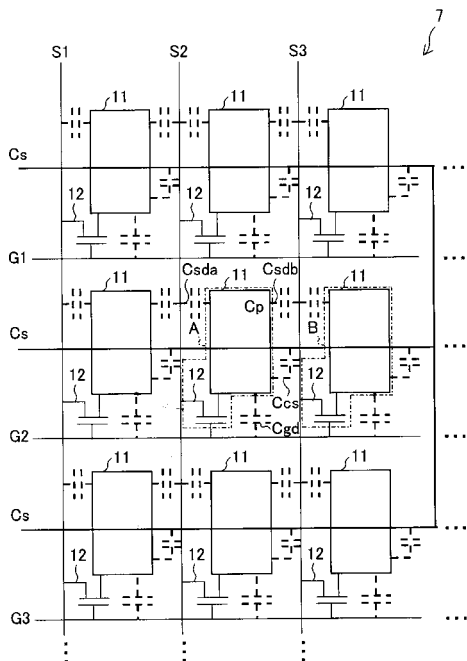
30

40

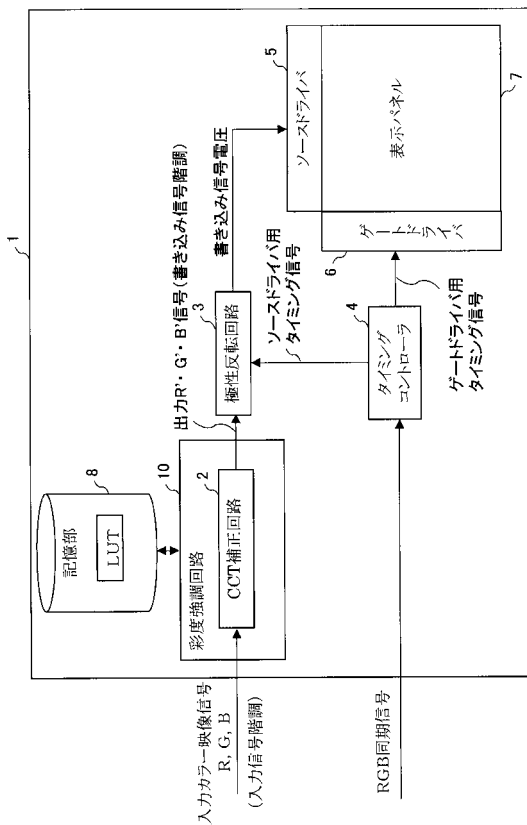
50

- S 1 ソースライン
- S 2 ソースライン
- S 3 ソースライン
- G 1 ゲートライン
- G 2 ゲートライン
- 1 2 , 1 2 a ~ 1 2 i スイッチング素子
- C s 蓄積容量電極
- C s d 寄生容量
- S 1 a · S 2 a · S 3 a L字状部
- S 1 b · S 2 b · S 3 b 逆L字状部

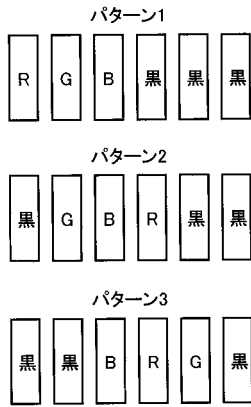
【図1】



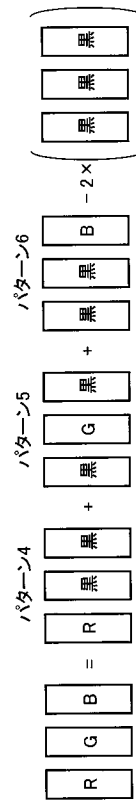
【図2】



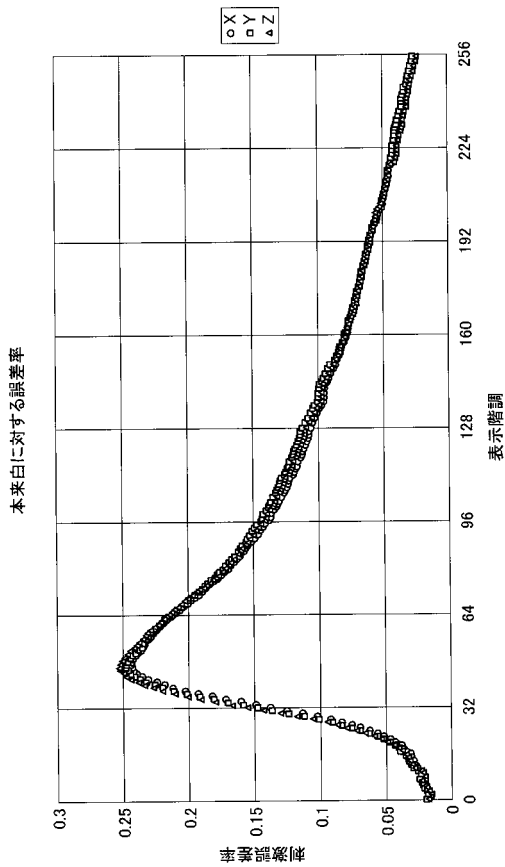
【図3】



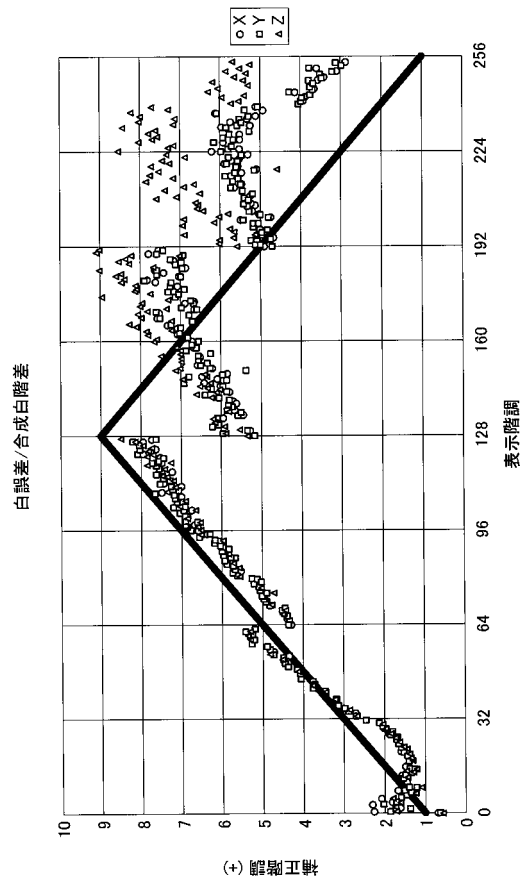
【図4】



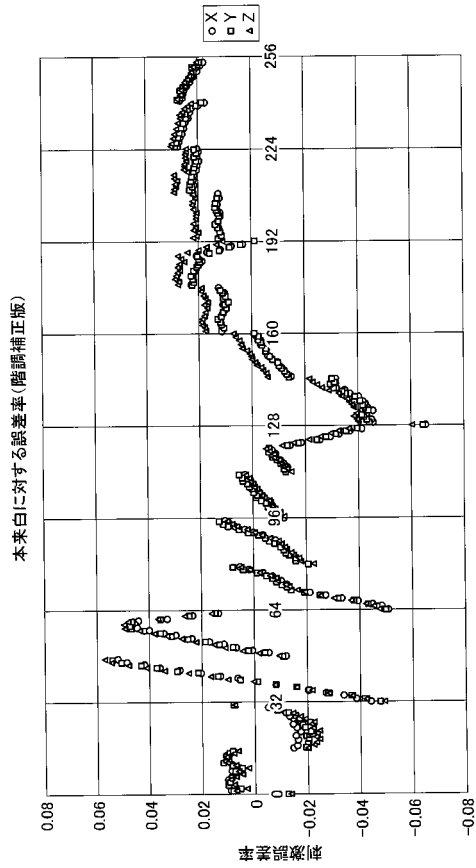
【図5】



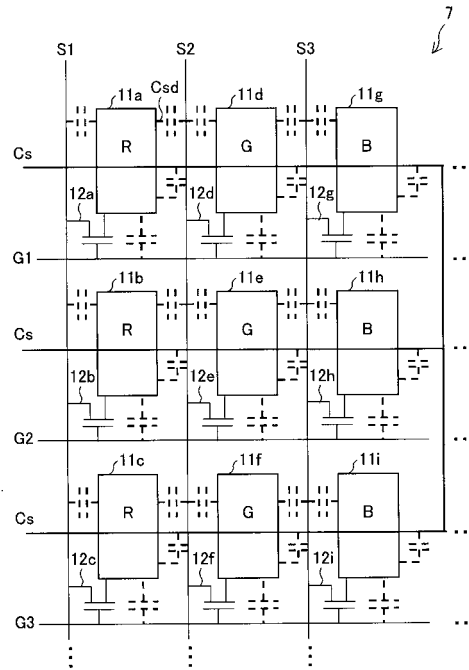
【図6】



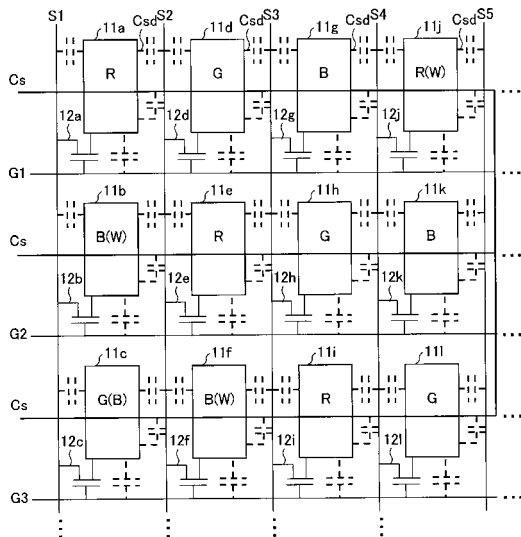
【 図 7 】



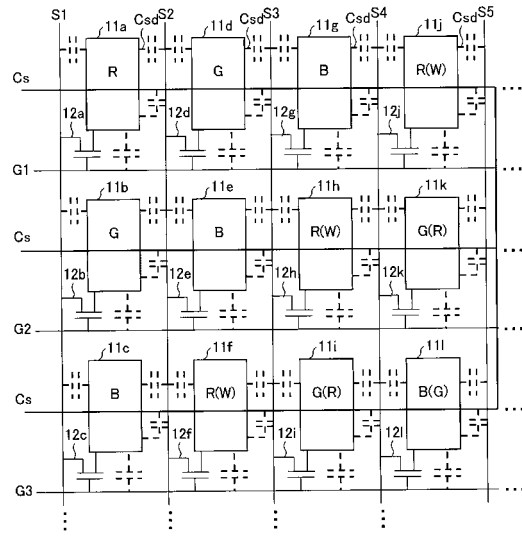
【 図 8 】



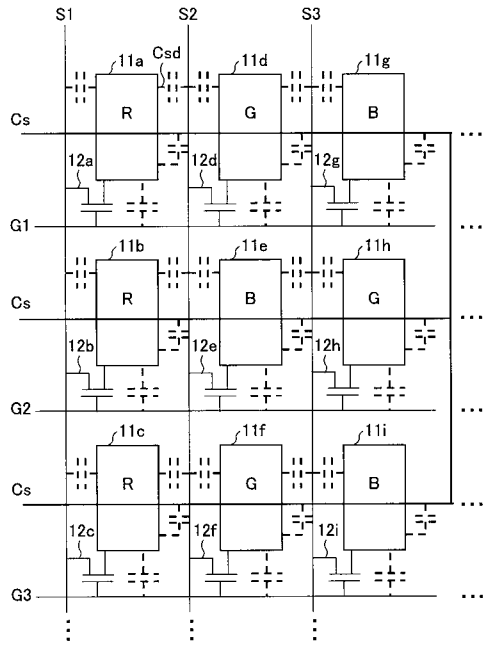
【 図 9 】



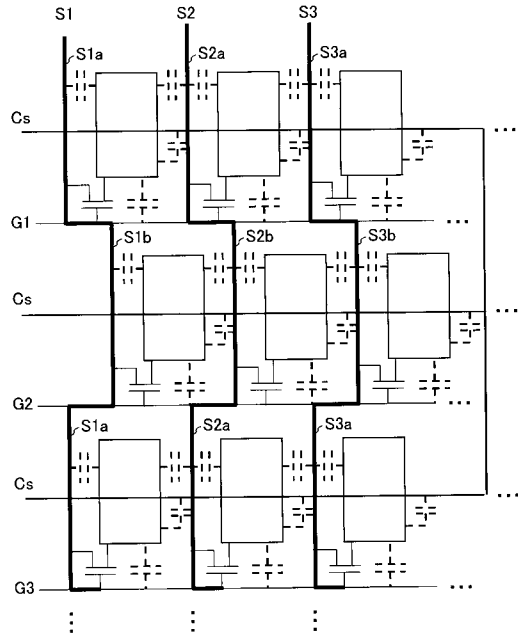
【 図 10 】



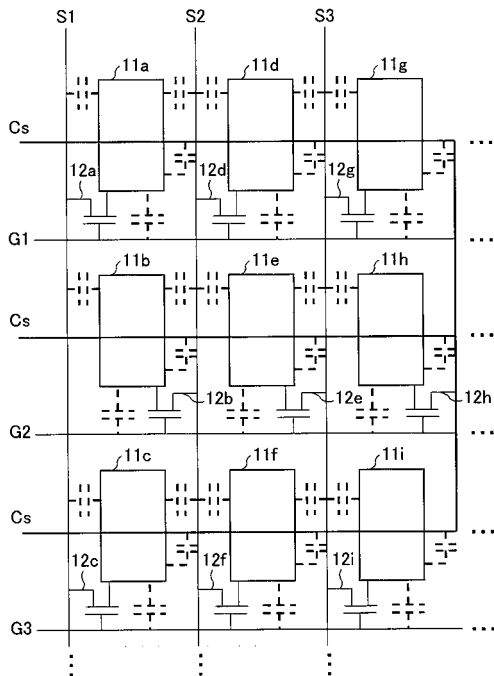
【図11】



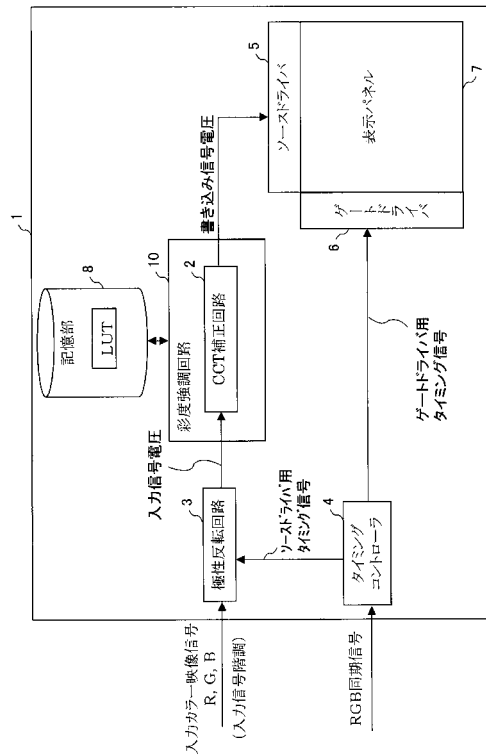
【図12】



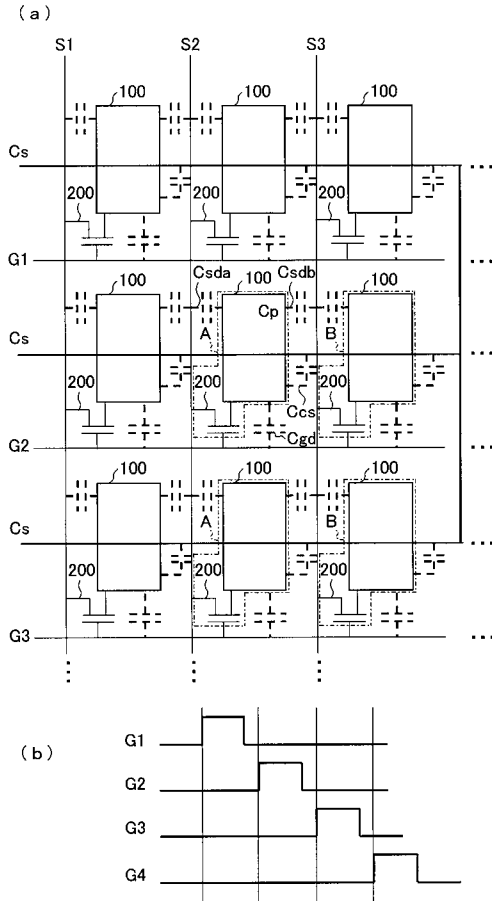
【図13】



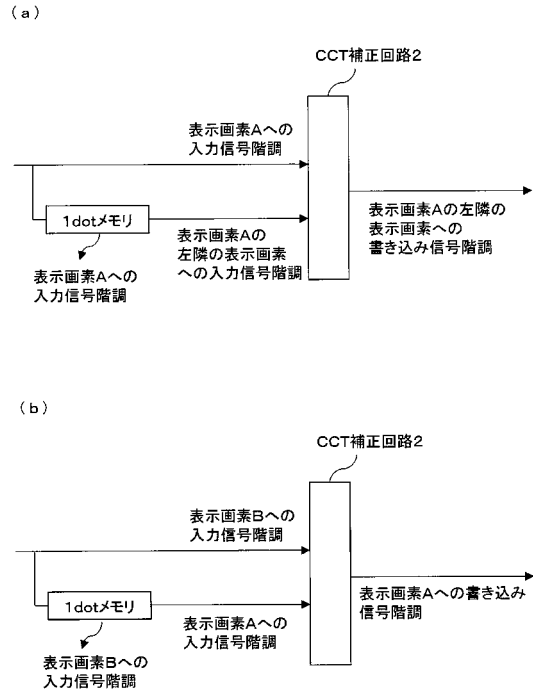
【図14】



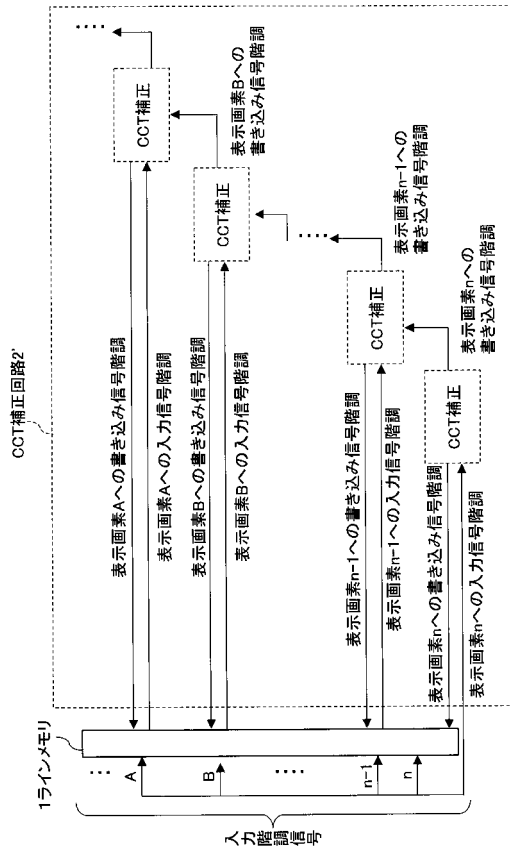
【図15】



【図16】



【図17】



## フロントページの続き

(51)Int.Cl. F I  
 G 0 9 G 3/20 6 2 3 C  
 G 0 9 G 3/20 6 3 1 V  
 G 0 9 G 3/20 6 4 1 C  
 G 0 9 G 3/20 6 4 1 P  
 G 0 9 G 3/20 6 4 2 J  
 G 0 9 G 3/20 6 4 2 L

(72)発明者 塩見 誠  
 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

(72)発明者 繁田 光浩  
 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

審査官 橋本 直明

(56)参考文献 特開平09-081089(JP,A)  
 特開2002-169520(JP,A)  
 国際公開第97/044774(WO,A1)  
 特開2001-042833(JP,A)  
 特開2001-108964(JP,A)  
 特開2001-290122(JP,A)  
 特開平08-030241(JP,A)  
 特開2000-330523(JP,A)  
 特開2001-343636(JP,A)  
 特開昭61-023199(JP,A)  
 特開平11-272244(JP,A)  
 特開2001-184012(JP,A)  
 特開平04-067091(JP,A)  
 特開平06-324649(JP,A)  
 特開平10-010517(JP,A)  
 特開2003-052050(JP,A)  
 特開2002-149116(JP,A)  
 特開平06-259043(JP,A)  
 特開平07-005852(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 6  
 G 0 2 F 1 / 1 3 3  
 G 0 9 G 3 / 2 0

专利名称(译)	显示装置的驱动方法，显示装置和程序		
公开(公告)号	<a href="#">JP4184334B2</a>	公开(公告)日	2008-11-19
申请号	JP2004360440	申请日	2004-12-13
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	中本達哉 塩見誠 繁田光浩		
发明人	中本 達哉 塩見 誠 繁田 光浩		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G02F1/136		
CPC分类号	G09G3/3611 G09G3/3648 G09G2320/0209 G09G2320/0285		
FI分类号	G09G3/36 G02F1/133.510 G02F1/133.550 G09G3/20.611.D G09G3/20.612.U G09G3/20.623.C G09G3/20.631.V G09G3/20.641.C G09G3/20.641.P G09G3/20.642.J G09G3/20.642.L		
F-TERM分类号	2H093/NA61 2H093/NC34 2H093/NC35 2H093/ND06 2H093/ND15 2H093/ND17 2H193/ZA04 2H193/ZA08 2H193/ZD16 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AF13 5C006/AF43 5C006/AF45 5C006/AF46 5C006/AF50 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF61 5C006/AF71 5C006/AF85 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF08 5C006/BF14 5C006/BF24 5C006/EB04 5C006/FA18 5C006/FA22 5C006/FA23 5C006/FA36 5C006/FA56 5C006/GA02 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD10 5C080/DD27 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	木岛隆一 金子 一郎		
审查员(译)	Naoaki 桥本		
优先权	2003419535 2003-12-17 JP		
其他公开文献	JP2005202377A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：为了减少使用多个源极线和多个栅极线（例如液晶显示装置）驱动显示像素的方法的显示装置中的两个显示像素之间的串扰。 解决方案：对于连接到相同栅极线G2的两个显示像素，在连接到第一显示像素的源极线S2和显示像素（A）的像素电极附近形成寄生电容。假设要连接的源极线S3连接到显示显示像素（B），对显示像素（A）的写信号，到显示像素（A）的输入信号，到显示像素（B）的输入信号或者，基于写入显示像素（B）的信号校正信号。 [选图]图1

图 1 ]

