

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4108360号
(P4108360)

(45) 発行日 平成20年6月25日(2008.6.25)

(24) 登録日 平成20年4月11日(2008.4.11)

(51) Int.Cl.

F 1

G09G 3/36 (2006.01)

G09G 3/36

G02F 1/133 (2006.01)

G02F 1/133 550

G09G 3/20 (2006.01)

G09G 3/20 612F

G09G 3/20 612G

G09G 3/20 621B

請求項の数 7 (全 31 頁) 最終頁に続く

(21) 出願番号

特願2002-125028 (P2002-125028)

(22) 出願日

平成14年4月25日 (2002.4.25)

(65) 公開番号

特開2003-316333 (P2003-316333A)

(43) 公開日

平成15年11月7日 (2003.11.7)

審査請求日

平成17年3月24日 (2005.3.24)

(73) 特許権者 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 110000338

特許業務法人原謙三国際特許事務所

(74) 代理人 100080034

弁理士 原 謙三

(72) 発明者 坂口 修久

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

審査官 福村 拓

最終頁に続く

(54) 【発明の名称】表示駆動装置およびそれを用いた表示装置

(57) 【特許請求の範囲】

【請求項 1】

データ信号線を備えるアクティブマトリクス方式の表示パネルに対して、所定の周期で極性が反転されると共に、表示データに応じて変調される階調表示用電圧を該表示パネルのデータ信号線に印加する表示駆動装置において、

階調数分の基準電圧を発生させる階調電圧発生器と、

上記基準電圧の中から表示データに応じた基準電圧を選択して階調表示用電圧として出力するデジタル・アナログ変換器とを備え、

上記階調電圧発生器は、

上限電圧と下限電圧との間の電圧値を有する階調数分の基準電圧を発生させる基準電圧発生器と、

上記上限電圧および下限電圧を発生させる上限・下限電圧発生器とを備え、

上限・下限電圧発生器は、外部の電圧調整器で調整された入力電圧が入力され、上限電圧および下限電圧の両方を同一の入力電圧に基づいて変化させるようになっており、

上記上限・下限電圧発生器が、上限電圧と下限電圧との差を一定に保つように構成されており、

上記上限・下限電圧発生器は、電源と接地電位との間に直列接続された第1ないし第4の抵抗器で構成され、

第2の抵抗器と第3の抵抗器との間のノードに外部の電圧調整器からの入力電圧が供給され、かつ、第1の抵抗器と第2の抵抗器との間のノードに上限電圧、第3の抵抗器と第

10

20

4の抵抗器との間のノードに下限電圧をそれぞれ発生させるようになっており、
 さらに、第1の抵抗器の抵抗値をR1、第2の抵抗器の抵抗値をR2、第4の抵抗器の
 抵抗値をR3、第3の抵抗器の抵抗値をR4とすると、

$$R1 : R2 = R3 : R4$$

を満たすように抵抗値が設定されていることを特徴とする表示駆動装置。

【請求項2】

上記基準電圧発生器は、階調数分の基準電圧を抵抗分割によって生成するものであり、
 上記上限・下限電圧発生器と基準電圧発生器との間には、上限電圧および下限電圧をバ
 ッファする第1のバッファが介在していることを特徴とする請求項1に記載の表示駆動裝
 置。

10

【請求項3】

上記第1のバッファは、外部から供給される制御信号に応じて動作または停止するこ
 とができるようになっていることを特徴とする請求項2に記載の表示駆動装置。

【請求項4】

電源から供給された電源電圧を用いて上記表示パネルの対向電極を駆動するための対向
 電極駆動回路をさらに備え、

上記対向電極駆動回路は、電源電圧をバッファする第2のバッファを備えており、
 上記第2のバッファは、外部から供給される制御信号に応じて動作または停止するこ
 とができるようになっていることを特徴とする請求項1ないし3のいずれか1項に記載の表
 示駆動装置。

20

【請求項5】

上記表示パネルの対向電極を駆動するための対向電極駆動回路をさらに備え、
 少なくとも上記階調電圧発生器、デジタル-アナログ変換器、および対向電極駆動回路
 が1つの集積回路内に形成されていることを特徴とする請求項1ないし3のいずれか1項
 に記載の表示駆動装置。

【請求項6】

上記基準電圧発生器は、階調数分の正極性の基準電圧を発生させる正の基準電圧発生器
 と、階調数分の負極性の基準電圧を発生させる負の基準電圧発生器とからなり、

上記階調電圧発生器は、上記階調表示用電圧の極性反転周期にしたがって、正および負
 の基準電圧発生器のどちらか一方を動作状態にし、他方を動作停止状態とする切替器をさ
 らに備えることを特徴とする請求項1ないし5のいずれか1項に記載の表示駆動装置。

30

【請求項7】

請求項1ないし6の何れかに記載の表示駆動装置と、
 上記表示駆動装置からデータ信号が入力されるデータ信号線を含むアクティブマトリク
 ス方式の表示パネルと、

上記表示駆動装置に接続されたアクティブマトリクス方式の表示パネルと、
 上記入力電圧を表示駆動装置に供給すると共に、入力電圧を調整可能な電圧調整器とを
 備えることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

40

【発明の属する技術分野】

本発明は、アクティブマトリクス方式の液晶パネルやEL (electroluminescent；エレク
 トロルミネセント) パネル等の表示パネルを駆動する表示駆動装置、およびそれを用いた
 表示装置に関するものである。

【0002】

【従来の技術】

液晶表示装置やELディスプレイ等のようなマトリクス型の表示装置における種々の表示
 方式のうち、高精細な表示を行える方式としてスイッチング素子にTFT (Thin Film Tr
 ansistor；薄膜トランジスタ) を用いたアクティブマトリクス方式がある。

【0003】

50

アクティブマトリクス方式の表示装置の代表例であるTFT方式の液晶表示装置を、そのブロック構成を示す図13に基づいて説明する。

【0004】

この液晶表示装置は、液晶表示部とそれを駆動する液晶駆動装置とで構成されている。上記液晶表示部は、TFT方式の液晶パネル901を含んでいる。

【0005】

この液晶パネル901内には、図示しない液晶表示素子と、対向電極（共通電極）907とが設けられている。一方、この液晶駆動装置は、それぞれIC（Integrated Circuit；集積回路）からなる複数のソースドライバ902で構成されたソース駆動回路902Aと、それぞれICからなる複数のゲートドライバ903で構成されたゲート駆動回路903Aと、コントローラ904と、液晶駆動電源905と、対向電極907の電位を制御するための対向電極駆動回路906とを含んでいる。

10

【0006】

ソースドライバ902やゲートドライバ903は、一般的には、配線を形成した絶縁フィルム上にICチップを搭載した、例えばTCP（Tape Carrier Package；テープキャリアパッケージ）を液晶パネル901のITO（Indium Tin Oxide；酸化インジウム錫）等からなる端子上に実装し、接続したり、ICチップをACF（Anisotropic Conductive Film；異方性導電膜）を介して直接、液晶パネル901のITO等からなる端子に熱圧着して実装し、接続する方法で構成されている。図13では、これらの構成を機能別に分離した形で示している。

20

【0007】

コントローラ904は、デジタル化された表示データ（例えば、赤、緑、青に対応するRGBの各信号）Dおよび各種制御信号をソースドライバ902に出力すると共に、各種制御信号をゲートドライバ903にも出力している。ソースドライバ902への主な制御信号は、水平同期信号（ラッチ信号）、ソースドライバ用スタートパルス信号およびソースドライバ用クロック信号等があり、図中ではS1で示されている。一方、ゲートドライバ903への主な制御信号は、垂直同期信号やゲートドライバ用クロック信号等があり、図中ではS2で示されている。なお、図中、各ICチップを駆動するための電源は省略している。

【0008】

30

液晶駆動電源905は、ソースドライバ902やゲートドライバ903へ液晶パネル表示用電圧（後述する参照電圧VR等）を供給するものである。

【0009】

外部から入力された表示データは、コントローラ904を通してデジタル信号をソースドライバ902へ上記表示データDとして入力される。

【0010】

ソースドライバ902は、コントローラ904から入力された表示データDを時分割で内部にラッチし、その後、コントローラ904から入力される水平同期信号（ラッチ信号LS（図14参照）とも言う）に同期してDA（デジタル-アナログ）変換を行なう。そして、ソースドライバ902は、DA変換によって得られた階調表示用のアナログ電圧（階調表示用電圧；データ信号）を、液晶駆動電圧出力端子から、図示しないソース信号線（データ信号線）を介して、その液晶駆動電圧出力端子に対応した、液晶パネル901内の液晶表示素子（図示せず）へそれぞれ出力する。ゲートドライバ903は、図示しないゲート信号線（走査信号線）に走査信号を出力し、ゲート信号線を選択する。

40

【0011】

図14は、上記ソースドライバ902のブロック構成を示している。以下、基本的な部分のみ説明する。また、ここでは、最終段以外の段のソースドライバ902について説明するが、最終段のソースドライバ902もカスケード出力信号Sを出力しない点以外は同様の構成である。

【0012】

50

上記ソースドライバ902は、入力ラッチ回路1011、シフトレジスタ回路1012、サンプリングメモリ回路1013、ホールドメモリ回路1014、レベルシフタ回路1015、DA変換回路1016、出力回路1017、および基準電圧発生回路1019を備えている。

【0013】

コントローラ904から転送されてきた各表示データ（デジタル信号）DR・DG・DB（例えば各6ビット）は、一旦、入力ラッチ回路1011でラッチされる。なお、各表示データDR・DG・DBは、それぞれ赤、緑、青に対応している。

【0014】

一方、表示データDR・DG・DBの転送を制御するためのスタートパルス信号SPは、クロック信号CKに同期を取り、シフトレジスタ回路1012内を転送され、シフトレジスタ回路1012の各段（フリップフロップ）からサンプリングメモリ回路1013に出力信号Sとして出力されると共に、シフトレジスタ回路1012の最終段から次段のソースドライバ902にカスケード出力信号S（次段のソースドライバ902のスタートパルス信号SP）として出力される。

【0015】

このシフトレジスタ回路1012の各段からの出力信号に同期して先の入力ラッチ回路1011にてラッチされた表示データDR・DG・DBは、時分割でサンプリングメモリ回路1013内に一旦記憶されると共に、次のホールドメモリ回路1014に出力される。

【0016】

1水平同期期間の表示データがサンプリングメモリ回路1013に記憶されると、ホールドメモリ回路1014は、水平同期信号（ラッチ信号LS）に基づいてサンプリングメモリ回路1013からの出力信号を取り込み、次のレベルシフタ回路1015に出力すると共に、次の水平同期信号が入力されるまでその表示データを維持する。

【0017】

レベルシフタ回路1015は、ホールドメモリ回路1014からの出力信号（表示データ）の信号レベルを、次段のDA変換回路1016で液晶パネル901への印加電圧（アナログ電圧）に変換可能な範囲に適合させるために、昇圧等により変換する回路である。

【0018】

基準電圧発生回路1019は、液晶駆動電源905（図13参照）からの参照電圧VRに基づき、階調数分の階調表示用のアナログ電圧を発生させ、DA変換回路1016に出力する。

【0019】

DA変換回路1016は、基準電圧発生回路1019から供給される階調数分のアナログ電圧（階調表示用電圧）の中から、レベルシフタ回路1015にてレベル変換された表示データに応じたアナログ電圧を選択する。この階調表示を表すアナログ電圧は、出力回路1017を介して、各液晶駆動電圧出力端子（以下、単に出力端子と記載する）1018から液晶パネル901の各ソース信号線へ出力される。

【0020】

出力回路1017は、基本的にはバッファ回路であり、例えば差動增幅回路を用いたボルテージフォロワ回路で構成されるものである。

【0021】

次に、本発明に特に関係する基準電圧発生回路1019およびDA変換回路1016について、それらの回路構成をさらに詳細に説明する。

【0022】

図15は、基準電圧発生回路1019の回路構成例を示している。RGBに対応するデジタル表示データが各々例えば6ビットで構成されている場合（18ビットカラーである場合）、基準電圧発生回路1019は、 $2^6 = 64$ 通りの階調表示に対応する64種類のアナログ電圧 $V_0 \sim V_{63}$ を出力する。以下、その具体的構成について説明する。

【0023】

10

20

30

40

50

基準電圧発生回路 1019 は、抵抗器 $R_0 \sim R_7$ が直列に接続された抵抗分割回路で構成されており、最も簡単な構成となっている。

【0024】

上記の抵抗器 $R_0 \sim R_7$ のそれぞれは、8 本の抵抗素子が直列に接続されて構成されている。例えば、抵抗器 R_0 について説明すれば、図 16 に示すように、8 本の抵抗素子 $R_{01} \sim R_{08}$ が直列接続されて抵抗器 R_0 が構成されている。

【0025】

また、他の抵抗器 $R_1 \sim R_7$ についても、上記した抵抗器 R_0 と同様に、8 本の抵抗素子が直列接続された構成である。したがって、基準電圧発生回路 1019 は、合計 64 本の抵抗素子が直列接続されて構成されていることになる。

10

【0026】

また、基準電圧発生回路 1019 は、9 種類の参照電圧 $V'_0 \sim V'_{56}$ に対応する 9 つの中間調電圧入力端子を含んでいる。そして、抵抗器 R_0 の一端に、参照電圧 V'_{64} に対応する中間調電圧入力端子が接続されている一方、抵抗器 R_0 の他端、すなわち、抵抗器 R_0 と抵抗器 R_1 との接続点に、参照電圧 V'_{56} に対応する中間調電圧入力端子が接続されている。

【0027】

以下、隣り合う各抵抗器 $R_1 \sim R_7$ の接続点に、参照電圧 $V'_{48} \sim V'_{40} \sim \dots \sim V'_{8}$ に対応する中間調電圧入力端子が接続されている。そして、抵抗器 R_7 における抵抗器 R_6 の接続点とは反対側に、参照電圧 V'_{0} に対応する中間調電圧入力端子が接続されている。

20

【0028】

この構成により、64 本の抵抗素子の隣り合う 2 抵抗素子間のノードから出力される電圧 $V_1 \sim V_{63}$ と、参照電圧 V'_{0} からそのまま得られる電圧 V_0 を合わせて、計 64 通りの階調表示用アナログ電圧 $V_0 \sim V_{63}$ を得ることができる。結局、基準電圧発生回路 1019 が抵抗分割回路で構成される場合、階調表示用アナログ電圧である電圧 $V_0 \sim V_{63}$ は、基準電圧発生回路 1019 から D A 変換回路 1016 に入力される。

【0029】

なお、一般的には、両端の 2 つの中間調電圧入力端子には、常に参照電圧 V'_{0} および V'_{64} が入力される一方、残る $V'_{8} \sim V'_{56}$ に対応する 7 つの中間調電圧入力端子は微調整用として使用され、実際には、これら 7 本の端子には電圧が入力されない場合もある。

30

【0030】

次に、D A 変換回路 1016 について説明する。図 17 は、D A 変換回路 1016 の一構成例を示している。なお、図中、1017 は、先に示した出力回路であり、ここではボルテージフォロワ回路で構成されている。

【0031】

D A 変換回路 1016 では、6 ビットのデジタル信号からなる表示データに応じて、入力された 64 通りの電圧 $V_0 \sim V_{63}$ のうちの 1 つが選択されて出力されるように、アナログスイッチが配置されている。すなわち、6 ビットのデジタル信号からなる表示データのそれぞれ (Bit 0 ~ Bit 5) に応じて、上記アナログスイッチがオン / オフされる。これにより、入力された 64 通りの電圧のうちの 1 つが選択されて出力回路 1017 に出力される。なお、アナログスイッチは、例えば、MOS (metal oxide semiconductor) トランジスタやトランジションゲート等で構成される。

40

【0032】

以下に、このアナログスイッチの配置を説明する。

【0033】

6 ビットのデジタル信号 (表示データ) は、Bit 0 が最下位ビット (LSB ; the Least Significant Bit) であり、Bit 5 が最上位ビット (MSB ; Most Significant Bit) である。上記アナログスイッチ (以下、単にスイッチと称する) は、2 個で 1 組のスイッチ対を構成している。Bit 0 には 32 組のスイッチ対 (64 個のスイッチ) が対応し

50

ており、Bit 1 には 16 組のスイッチ対 (32 個のスイッチ) が対応している。

【0034】

以下、Bit ごとに個数が 2 分の 1 になり、Bit 5 には 1 組のスイッチ対 (2 個のスイッチ) が対応することになる。したがって、合計で、 $2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 1 = 6$ 3 組のスイッチ対 (126 個のスイッチ) が存在する。

【0035】

Bit 0 に対応するスイッチの一端は、先の電圧 $V_0 \sim V_{63}$ が入力される端子となっている。そして、上記スイッチの他端は、2 個 1 組で接続されると共に、さらに次の Bit 1 に対応するスイッチの一端に接続されている。以降、この構成が Bit 5 に対応するスイッチまで繰り返される。最終的には、Bit 5 に対応するスイッチから 1 本の線が引き出され、出力回路 1017 に接続されている。10

【0036】

Bit 0 ~ Bit 5 に対応するスイッチを、それぞれスイッチ群 $SW_0 \sim SW_5$ と呼ぶことにする。スイッチ群 $SW_0 \sim SW_5$ の各スイッチは、6 ビットのデジタル信号 (表示データ) Bit 0 ~ Bit 5 により、以下のように制御される。スイッチ群 $SW_0 \sim SW_5$ では、対応する Bit が 0 (Low レベル) のときは各 2 個 1 組のアナログスイッチの一方 (同図では下側のスイッチ) が ON し、逆に、対応する Bit が 1 (High レベル) のときは別のアナログスイッチの一方 (同図では上側のスイッチ) が ON する。

【0037】

同図では、Bit 0 ~ Bit 5 が (111111) であり、全てのスイッチ対において上のスイッチがオンし、下のスイッチがオフとなっている。この場合、DA 変換回路 1016 からは、電圧 V_{63} が出力回路 1017 に出力される。20

【0038】

同様に、例えば、Bit 0 ~ Bit 5 が (111110) であれば、DA 変換回路 1016 からは、電圧 V_{62} が出力回路 1017 に出力され、(000001) であれば電圧 V_1 が出力され、(000000) であれば電圧 V_0 が出力される。このようにして、デジタル表示に応じた階調表示用アナログ電圧 $V_0 \sim V_{63}$ の中から 1 つが選択され、階調表示が実現される。

【0039】

上記した基準電圧発生回路 1019 は、通常 1 つのソースドライバ IC に 1 つ設置され、共有化して使用される。一方、DA 変換回路 1016 および出力回路 1017 は、各出力端子 1018 に対応して設けられている。30

【0040】

また、カラー表示の場合は、出力端子 1018 は、各色に対応して使用されるので、その場合は、DA 変換回路 1016 および出力回路 1017 は、画素ごとで、かつ、1 色につき各々 1 回路が使用される。

【0041】

すなわち、液晶パネル 901 の長辺方向 (水平ライン方向) の画素数が N であれば、赤、緑、青の各色用の出力端子 1018 を、それぞれ R, G, B に添え字 n (n = 1, 2, ..., N) を付して表せば、この出力端子 1018 としては、 $R_1, G_1, B_1, R_2, G_2, B_2, \dots, R_N, G_N, B_N$ があり、そのため、 $3N$ 個の DA 変換回路 1016 および出力回路 1017 が必要になる。40

【0042】

ところで、実際の液晶表示装置における階調表示では、液晶材料の光透過特性と人の視覚特性との違いを調整し、自然な階調表示を行なうために補正を行っている。この補正としては、基準電圧発生回路 1019 にて、各種階調表示用アナログ電圧値を、内部抵抗を等分分割して発生させるのではなく、非等分に分割して発生させる方法が一般的である。

【0043】

図 18 は、補正を行った場合における、階調表示データ (デジタル表示データ) と液晶

駆動出力電圧（階調表示用アナログ電圧）との関係を示している。同図に示すように、デジタル表示データに対する階調表示用アナログ電圧値に折れ線特性を持たせている。

【0044】

この特性を実現するために、図15に示す基準電圧発生回路1019では、各抵抗器 R_0 、 \dots 、 R_7 内を等分に8分割するとともに、各抵抗器 R_0 、 \dots 、 R_7 の抵抗値としては、先の補正を実現できるような抵抗値としている。

【0045】

つまり、例えば、抵抗器 R_0 を構成する、直列に接続された8本の抵抗素子 R_{01} 、 R_{02} 、 \dots 、 R_{08} は全て同じ抵抗値とするとともに、各8本の抵抗素子を束ねた形で構成される抵抗器 R_0 、 R_1 、 \dots 、 R_7 の抵抗値の比を、先の補正を実現できるような比に変えることで、補正を実現している。

【0046】

前記液晶パネル901は、液晶を分極させないために、反転駆動（交流駆動）される。反転駆動の手法には、いわゆるドット反転駆動法といわゆるライン反転駆動法とがある。

【0047】

以後の説明では、前記液晶パネル901の画素（絵素）の配列が、6行5列であり、6本のゲート信号線および5本のソース信号線によって駆動されると仮定する。

【0048】

まず、前述の構成の液晶表示装置をライン反転駆動法を用いて駆動する場合の、該液晶表示装置の挙動を説明する。

【0049】

図19は、前記液晶表示装置内の前記ゲートドライバ903から6本のゲート信号線にそれぞれ与えられる走査信号 $S_{11a} \sim S_{11f}$ を示すタイミングチャートである。

【0050】

図20は、前記液晶表示装置において、前述の走査信号 $S_{11a} \sim S_{11f}$ のうちのいずれか1つの走査信号 S_{11a} と、ソースドライバ902から5本のソース信号線にそれぞれ与えられるデータ信号のうちの1つのデータ信号 S_{12} と、前記の対向電極907に印加される対向電極駆動電圧 S_{13} とのタイミングチャートである。

【0051】

図19と図20とを併せて説明する。

【0052】

走査信号 $S_{11a} \sim S_{11f}$ は、予め定めるフレーム表示期間 CH 毎に、予め定める単一の水平同期期間 WH の間だけ、ハイレベルをそれぞれ保ち、残余の期間はローレベルを保つ。水平同期期間単位で複数の走査信号 $S_{11a} \sim S_{11f}$ がそれぞれハイレベルを保つタイミングは、相互に異なる。ゆえに、いずれか1本のゲート信号線上の画素の行内の全ての画素には、該いずれか1本のゲート信号線に与えられた走査信号がハイレベルを保つ間に、前記保持させるべき電圧が書き込まれる。ゲート信号線上の画素の行とは、そのゲート信号線にゲート端子が接続された複数のTFTのドレイン端子に、それぞれ接続された画素電極を含む複数の画素の集合を指す。

【0053】

対向電極907に印加される対向電極駆動電圧 S_{13} の交流成分の周期は、水平期間 WH と等しい。すなわち、ライン反転駆動法が用いられる場合、通常、対向電極907は、单一の定電圧（5V）電源で水平期間 WH と同じ周期で交流駆動され、その電位（対向電極駆動電圧 S_{13} ）は電源電圧レベル（5V）とGND電圧レベル（0V）との間で変化する。

【0054】

データ信号 S_{12} （ソースドライバ902の出力）の交流成分は、対向電極907に印加される対向電極駆動電圧 S_{13} の交流成分の振幅中心を中心として、水平期間 WH 以下の予め定める周期で変化する。データ信号 S_{12} の交流成分の振幅は画素の階調に応じて変化する。画素の階調が最大である場合、すなわち画素を黒色にする場合のデータ信号 S_{12}

10

20

30

40

50

2 a の交流成分と、画素の階調が最小である場合、すなわち画素を白色にする場合のデータ信号 S 1 2 b の交流成分とは、ちょうど極性が反転した形となっている。

【 0 0 5 5 】

画素の階調が最大および最小である場合のデータ信号 S 1 2 a および S 1 2 b の振幅は、どちらも、対向電極 9 0 7 に印加される対向電極駆動電圧 S 1 3 の交流成分の振幅よりも小さい。

【 0 0 5 6 】

矢印 S 1 4 a ・ S 1 4 b は、画素に前記保持させるべき電圧を書込むために該画素内を流れる電流の極性、すなわち、該画素に前記保持させるべき電圧を書込む時点において、前記ソース信号線に保持させる電圧 S 1 2 b が、対向電極 9 0 7 に保持される電圧（対向電極駆動電圧 S 1 3 ）に対してどのような大小関係にあるかを示す。 10

【 0 0 5 7 】

矢印 S 1 4 a ・ S 1 4 b が上向きならば、前記ソース信号線（データ線）の電圧が前記対向電極 9 0 7 のセンター電圧（S 1 3 ）よりも高いので、画素内を流れる電流の極性はプラスになる。矢印 S 1 4 a ・ S 1 4 b が下向きならば、前記ソース信号線の電圧が前記対向電極 9 0 7 のセンター電圧（S 1 3 ）よりも低いので、画素内を流れる電流の極性はマイナスになる。画素内を流れる電流の極性がプラスである場合、前記電流はソース信号線から前記画素を通り前記対向電極 9 0 7 に向かって流れる。画素内を流れる電流の極性がマイナスである場合、前記電流は対向電極 9 0 7 から前記画素を通りソース信号線に向かって流れる。 20

【 0 0 5 8 】

図 2 1 (a) は、前記液晶表示装置が前記ライン反転駆動法を用いて駆動される場合に、或るフレーム（最初のフレームとする）において、液晶パネル 9 0 1 内の全ての画素に前記保持させるべき電圧をそれぞれ書込むための、全ての画素内の電流の極性を、それぞれ示す図である。

【 0 0 5 9 】

図 2 1 (b) は、前記場合に、図 2 1 (a) のフレームに続く次のフレームにおいて、前記全ての画素内の電流の極性をそれぞれ示す図である。行列状に並べられた複数の矩形は、6 行 5 列の前記液晶パネル 9 0 1 内の画素にそれぞれ相当する。前記矩形の行は、前記画素の行にそれぞれ相当する。前記矩形の列は、画素の列、すなわち任意の 1 本のソース信号線に T F T を介して接続された画素電極を含む全ての画素の集合に、それぞれ相当する。画素に流れる電流の極性がプラスの場合、該画素に相当する矩形内に「+」（正極性）を描き、前記極性がマイナスの場合、前記矩形内に「-」（負極性）を描いている。 30

【 0 0 6 0 】

以上、TFT 方式の液晶表示装置の階調表示を行うための駆動装置について述べた。

【 0 0 6 1 】

【発明が解決しようとする課題】

ところで、これまでの液晶表示装置は、テレビ用画面やパソコン用画面等への活用のため、大画面化の要求のもとで開発がすすめられてきた。しかし、一方では、最近、急速に市場が拡大している携帯電話やゲーム機器等の活用のため、携帯用表示装置に適した液晶表示装置並びにそれに搭載する液晶駆動装置も求められている。 40

【 0 0 6 2 】

この携帯端末の用途に合致した液晶表示装置並びに液晶駆動装置の画面サイズは、基本的には小型である。したがって、これら用途に合わせて液晶駆動装置も、小型、軽量、低消費電力化（電池駆動のため）、さらには表示品位の向上、低コスト化などが強く求められる。

【 0 0 6 3 】

しかしながら、従来の基準電圧発生回路 1 0 1 9 においては、以下のような問題がある。すなわち、最適な 補正を行った場合（図 1 8 に示す液晶駆動出力電圧の折れ線特性）は、液晶パネル 9 0 1 の画素数や液晶材料の種類によって異なり、液晶表示装置ごとに異な 50

る。そして、ソースドライバ902に内蔵される基準電圧発生回路1019の抵抗分割比は、ソースドライバ902の設計段階において決定されている。

【0064】

したがって、適用する液晶パネル1の液晶材料の種類や液晶パネル1の画素数に応じて補正特性を変更する場合には、その都度ソースドライバ902を作り換えなければならないという問題がある。

【0065】

なお、補正特性を変更する方法として、上記基準電圧発生回路902の中間調電圧入力端子V'0～V'64に供給される参照電圧（複数の中間調電圧）を調整する方法も考えられる。しかしながら、上記調整方法では、端子数が増加したり回路規模が大きくなつて、製造コストが増加するという問題がある。

10

【0066】

本発明は、上記従来の問題点に鑑みなされたものであり、その目的は、製造コストを増加させることなく液晶材料や液晶パネルの特性に応じて補正特性を該補正值電圧範囲内で容易に変更できる表示駆動装置およびそれを用いた表示装置を提供することにある。

【0067】

【課題を解決するための手段】

本発明の表示駆動装置は、上記の課題を解決するために、データ信号線を備えるアクティブラーマトリクス方式の表示パネルに対して、所定の周期で極性が反転されると共に、表示データに応じて変調される階調表示用電圧を該表示パネルのデータ信号線に印加する表示駆動装置において、階調数分の基準電圧を発生させる階調電圧発生器と、上記基準電圧の中から表示データに応じた基準電圧を選択して階調表示用電圧として出力するデジタル・アナログ変換器とを備え、上記階調電圧発生器は、上限電圧と下限電圧との間の電圧値を有する階調数分の基準電圧を発生させる基準電圧発生器と、上記上限電圧および下限電圧を発生させる上限・下限電圧発生器とを備え、上限・下限電圧発生器は、外部の電圧調整器で調整された入力電圧が入力され、上限電圧および下限電圧の両方を同一の入力電圧に基づいて変化させていることを特徴としている。

20

【0068】

上記構成によれば、外部の電圧調整器で入力電圧を調整することにより、表示駆動装置をいちいち作り換えることなく、表示パネル（液晶材料や液晶パネル）の特性に合わせて表示装置の特性（表示データの輝度値に対する表示パネルの表示輝度の特性）を簡単に調整することができる。

30

【0069】

また、上記構成では、上限電圧の発生と下限電圧の発生とを共通の外部電圧で調整することができるため、上記上限電圧および下限電圧を別々に調整して基準電圧発生器に外部から供給する場合と比較して、外部から供給する電圧が少なくて済むので、構成を簡素化することができると共に、特性の調整作業が容易になる。

【0070】

上記上限・下限電圧発生器は、上限電圧と下限電圧との差を一定に保つように構成されていることが好ましい。

40

【0071】

上記構成によれば、上限電圧と下限電圧との差が一定に保たれるので、表示パネルに表示される画像のコントラストを略一定に保つことができる。そのため、コントラストが低下したり、コントラストが高すぎてフリッカ（画面のちらつき）が知覚され易くなったりすることを回避しながら、表示パネルの特性に応じた特性の調整が容易に行える。

【0072】

なお、コントラストとは、最高輝度をL_{on}、最低輝度をL_{off}としたときに、(L_{on} - L_{off}) / L_{off}で表される、同一画像内における明暗の差の大きさを表すものとする。

【0073】

上記上限・下限電圧発生器は、入力電圧と電源電圧とから分圧により上限電圧を生成する

50

第1の分圧器と、入力電圧と固定電圧（接地電位等）とから分圧により下限電圧を生成する第2の分圧器とを備えていることが好ましい。また、第1および第2の分圧器は、抵抗分割により構成されていることが好ましい。

【0074】

上記上限・下限電圧発生器は、電源と接地電位との間に直列接続された第1ないし第4の抵抗器で構成され、第2の抵抗器と第3の抵抗器との間のノードに外部の電圧調整器からの入力電圧が供給され、かつ、第1の抵抗器と第2の抵抗器との間のノードに上限電圧、第3の抵抗器と第4の抵抗器との間のノードに下限電圧をそれぞれ発生させるようになつておる、さらに、第1の抵抗器の抵抗値をR1、第2の抵抗器の抵抗値をR2、第4の抵抗器の抵抗値をR3、第3の抵抗器の抵抗値をR4とすると、

$$R1 : R2 = R3 : R4$$

を満たすように抵抗値が設定されていることがさらに好ましい。

【0075】

上記構成によれば、抵抗分割により、入力電圧に応じた上限電圧および下限電圧を安定して生成することができると共に、上限電圧と下限電圧との差を一定に保つことが容易に実現できる。

【0076】

本発明の表示駆動装置は、好ましくは、上記基準電圧発生器は、階調数分の基準電圧を抵抗分割によって生成するものであり、上記上限・下限電圧発生器と基準電圧発生器との間には、上限電圧および下限電圧をバッファする第1のバッファが介在している構成である。

【0077】

上記構成によれば、上限電圧および下限電圧を低インピーダンス変換して基準電圧発生器に供給するので、表示パネルの画素への充放電時の電圧変動をなくし、基準電圧の安定化を実現することができる。また、基準電圧発生器に流れる電流値を抑えることができ、消費電力を低減できる。

【0078】

上記第1のバッファは、外部から供給される制御信号に応じて動作または停止することができるようになっていてもよい。

【0079】

上記構成によれば、第1のバッファの動作が不要であるときに第1のバッファによる動作を停止させることによって、更なる低消費電力化を図ることができる。

【0080】

本発明の表示駆動装置は、好ましくは、電源から供給された電源電圧を用いて上記表示パネルの対向電極を駆動するための対向電極駆動回路をさらに備え、上記対向電極駆動回路は、電源電圧をバッファする第2のバッファを備えており、上記第2のバッファは、外部から供給される制御信号に応じて動作または停止することができるようになっている構成である。

【0081】

上記構成によれば、第2のバッファの動作が不要であるときに第1のバッファによる動作を停止させることによって、更なる低消費電力化を図ることができる。

【0082】

本発明の表示駆動装置は、好ましくは、上記表示パネルの対向電極を駆動するための対向電極駆動回路をさらに備え、少なくとも上記階調電圧発生器、デジタル-アナログ変換器、および対向電極駆動回路が1つの集積回路内に形成されている構成である。

【0083】

上記構成によれば、従来はソースドライバIC内に形成されていた階調電圧発生器やデジタル-アナログ変換器等と、従来はソースドライバICとは別のICに形成されていた対向駆動電極回路とを、1つのICに形成したので、表示駆動装置を小型化できる。また、これにより、表示装置の小型化が図れる。

10

20

30

40

50

【0084】

本発明の表示駆動装置は、好ましくは、上記基準電圧発生器が、階調数分の正極性の基準電圧を発生させる正の基準電圧発生器と、階調数分の負極性の基準電圧を発生させる負の基準電圧発生器とからなり、上記階調電圧発生器が、上記階調表示用電圧の極性反転周期にしたがって、正および負の基準電圧発生器のどちらか一方を動作状態にし、他方を動作停止状態とする切替器をさらに備える構成である。

【0085】

上記構成によれば、正および負の基準電圧発生器のどちらか一方の動作が停止されるので、基準電圧発生器に流れる貫通電流を抑制できる。それゆえ、消費電力が低減された表示駆動装置を提供できる。

10

【0086】

本発明の表示装置は、上記の課題を解決するために、前記の何れかの構成の表示駆動装置と、上記表示駆動装置からデータ信号が入力されるデータ信号線を含むアクティブマトリクス方式の表示パネルと上記表示駆動装置に接続されたアクティブマトリクス方式の表示パネルと上記入力電圧を表示駆動装置に供給すると共に、入力電圧を調整可能な電圧調整器とを備えることを特徴としている。

【0087】

上記構成によれば、電圧調整器で入力電圧を調整することにより、表示駆動装置をいちいち作り換えることなく、表示パネル（液晶材料や液晶パネル）の特性に合わせて表示装置の特性を簡単に調整することができる。

20

【0088】

また、上記構成では、電圧調整器による入力電圧の調整のみで上限電圧および下限電圧の両方を調整できるため、上限電圧および下限電圧を別々に調整する電圧調整器を設ける場合と比較して、構成を簡素化することができると共に、特性の調整作業が容易になる。

【0089】

【発明の実施の形態】

〔実施の形態1〕

本発明の実施の一形態について、図1ないし図9に基づいて説明すれば、以下の通りである。

【0090】

30

図2は、アクティブマトリクス方式の代表例であるTFT（薄膜トランジスタ）方式の液晶表示装置のブロック構成を示している。図13に基づいて先に説明した従来の構成と同様に、この液晶表示装置は、液晶表示部とそれを駆動する液晶駆動装置とで構成されている。上記液晶表示部は、TFT方式の液晶パネル（表示パネル）1を含んでいる。

【0091】

この液晶パネル1内には、図示しない液晶表示素子と、後述の対向電極（共通電極）7とが設けられている。一方、この液晶駆動回路は、表示駆動装置としての複数のソースドライバ2からなるソース駆動回路2Aと、複数のゲートドライバ3からなるゲート駆動回路3Aと、コントローラ4と、液晶駆動電源5と、ソースドライバ2に対して外付け（外部に配設）された電子ボリューム（電圧調整器）6と、対向電極7の電位を制御するための対向電極駆動回路21とを含んでいる。

40

【0092】

ソースドライバ2やゲートドライバ3は、一般的には、それぞれICチップからなり、このICチップの端子が、液晶パネル1のITO等の透明導電体で形成されたソース信号線やゲート信号線の端子部に対して接続されることで、実装される。実装方法としては、一般的には、（1）絶縁フィルム上に配線を形成してなる配線基板上に上記ICチップを搭載したTCP（テープキャリアパッケージ）等の回路基板を、液晶パネル1のソース信号線やゲート信号線の端子部上に実装し、接続する方法、（2）上記ICチップをACF（異方性導電膜）を介して直接、液晶パネル1のソース信号線やゲート信号線の端子部に熱圧着して実装し、接続する方法等を用いることができる。

50

【0093】

本実施形態では、液晶表示装置の更なる小型化を図るため、対向電極駆動回路21が、ソースドライバ2に内蔵され、ソース信号線を駆動するための回路部分（後述する入力ラッチ回路12、シフトレジスタ回路13、サンプリングメモリ回路14、ホールドメモリ回路15、レベルシフタ回路16、階調電圧発生回路17、DA変換回路18、出力回路19、およびセレクタ回路20）と、対向電極駆動回路21とが、1つのICチップで構成されている。これにより、本実施形態では、更なる液晶表示装置の小型化に対応できる液晶駆動回路およびそれを用いた液晶駆動装置を提供することが可能となっている。

【0094】

コントローラ4は、デジタル化された表示データ（例えば、赤、緑、青に対応するRGBの各信号）Dおよび各種制御信号をソースドライバ2に出力すると共に、各種制御信号をゲートドライバ903にも出力している。ソースドライバ2への主な制御信号は、水平同期信号（ラッチ信号）、ソースドライバ用スタートパルス信号およびソースドライバ用クロック信号等があり、図中ではS1で示されている。一方、ゲートドライバ3への主な制御信号は、垂直同期信号やゲートドライバ用クロック信号等があり、図中ではS2で示されている。なお、図中、各ICを駆動するための電源は省略している。

10

【0095】

液晶駆動電源5は、ソースドライバ2やゲートドライバ3へ、液晶パネル1での階調表示のための表示用電圧（後述する電源電圧VCCや対向電極駆動電圧Vcom等）を供給するものである。

20

【0096】

外部から入力された表示データは、コントローラ4を通してデジタル信号をソースドライバ2へ上記表示データDとして入力される。

【0097】

ソースドライバ2は、コントローラ4から入力された表示データDを時分割で内部にラッチし、その後、コントローラ4から入力される水平同期信号（ラッチ信号LS（図3参照）とも言う）に同期してDA（デジタル-アナログ）変換を行なう。そして、ソースドライバ2は、DA変換によって得られた階調表示用のアナログ電圧（階調表示用電圧；データ信号）を、液晶駆動電圧出力端子から、後述するソース信号線（データ信号線）34を介して、その液晶駆動電圧出力端子に対応した、液晶パネル1内の液晶表示素子（図示せず）へそれぞれ出力する。ゲートドライバ3は、後述するゲート信号線（走査信号線）35に走査信号を出力し、後述するゲート信号線35を選択する。

30

【0098】

次に、上記液晶パネル1について、その構成を示す図3に基づいて説明する。

【0099】

液晶パネル1には、画素電極31、液晶である画素容量32、画素容量32への電圧印加をオン/オフするスイッチング素子としての TFT33、ソース信号線（データ信号線）34、ゲート信号線35、および対向電極7が設けられている。図中にAで示す領域が、1つの画素、すなわち1画素分の液晶表示素子である。

40

【0100】

ソース信号線34には、ソースドライバ2から、表示対象の画素の明るさに応じた階調表示電圧（ソース信号、データ信号）が与えられる。ゲート信号線35には、ゲートドライバ3から、縦方向に並んだTFT33が順次オンするように走査信号（ゲート信号）が与えられる。

【0101】

オン状態のTFT33を通して、該TFT33のドレインに接続された画素電極31にソース信号線34の階調表示電圧が印加されると、画素電極31と対向電極7との間の画素容量32に電荷が蓄積される。これにより、液晶（画素容量32）の光透過率が階調表示電圧に応じて変化し、表示が行なわれる。

【0102】

50

図4および図5に、液晶駆動信号の波形の一例を示している。これらの図中、101, 111はソースドライバ2からの出力信号(階調表示電圧)の波形、102, 112はゲートドライバ3からの出力信号(走査信号)の波形である。103, 113は対向電極7の電位を表す波形であり、104, 114は画素電極31の電位を表す波形である。液晶(画素容量32)に印加される電圧は、画素電極31と対向電極7との電位差であり、図中には斜線で示している。

【0103】

例えば、図4では、波形112で示すゲートドライバ3からの出力信号がHighレベルのときTFT33がオンし、駆動波形111で示すソースドライバ2からの出力信号と対向電極7の電位113との差が画素容量32に印加される。その後、駆動波形112で示すゲートドライバ3からの出力信号はLowレベルとなり、TFT33はオフ状態となる。このとき、画素容量32に電荷が保持されるため、画素電極31の電位は、オン状態のときの電位(駆動波形111で示すソースドライバ2からの出力信号の電位)に維持され、液晶(画素容量32)に印加される電圧が維持される。図5の場合も同様である。

【0104】

図4と図5とは、液晶に印加される電圧が異なる場合を示しており、図4の場合は、図5の場合と比べて印加電圧が高い。このように、液晶に印加される電圧をアナログ電圧として変化させることで、液晶の光透過率をアナログ的に変え、多階調表示を実現している。表示可能な階調数は、液晶に印加されるアナログ電圧の選択肢の数により決定される。

【0105】

ところで、本発明は、階調表示用の液晶駆動装置の中で特に大きな回路規模および消費電力を占めるソースドライバ2中の階調表示基準電圧発生回路(以後、階調電圧発生回路と称す)や対向電極駆動回路8に関するものであるため、以後、ソースドライバ2を中心に液晶駆動装置の説明を行う。

【0106】

図6は、本発明に係る液晶駆動装置の実施の一形態としてのソースドライバ2の概略の構成を示している。上記ソースドライバ2は、入力ラッチ回路12と、シフトレジスタ回路13と、サンプリングメモリ回路14と、ホールドメモリ回路15とレベルシフタ回路16と、階調電圧発生回路(階調電圧発生器)17と、DA変換回路(デジタル-アナログ変換器)18と、出力回路19と、セレクタ回路20と、対向電極駆動回路21とで構成されている。

【0107】

コントローラ4(図2参照)から転送されてきた、デジタル表示データDR・DG・DB(例えば各6ビット)からなる表示データDは、一旦、入力ラッチ回路12でラッチされる。なお、各デジタル表示データDR・DG・DBは、それぞれ赤、緑、青に対応している。

【0108】

一方、デジタル表示データDR・DG・DBの転送を制御するためのスタートパルス信号SPは、クロック信号CKに同期を取り、シフトレジスタ回路13内を転送され、シフトレジスタ回路13の各段(フリップフロップ)からサンプリングメモリ回路14に出力信号Sとして出力されると共に、シフトレジスタ回路13の最終段から次段のソースドライバ2にカスケード出力信号S(次段のソースドライバ2のスタートパルス信号SP)として出力される。

【0109】

このシフトレジスタ回路13の各段からの出力信号に同期して、先の入力ラッチ回路12にてラッチされたデジタル表示データDR・DG・DBは、時分割でサンプリングメモリ回路14内に一旦、記憶されると共に、次のホールドメモリ回路15に出力される。

【0110】

1水平同期期間の表示データ(表示パネルの1水平線(1ゲート線)の画素に対応する表示データ)がサンプリングメモリ回路14に記憶されると、ホールドメモリ回路15は、

10

20

30

40

50

水平同期信号（ラッチ信号 L S）に基づいてサンプリングメモリ回路 1 4 からの出力信号を取り込み、次のレベルシフタ回路 1 6 に出力すると共に、次の水平同期信号が入力されるまでのその表示データを維持する。

【 0 1 1 1 】

レベルシフタ回路 1 6 は、ホールドメモリ回路 1 5 からの出力信号（表示データ）の信号レベルを、次段の D A 変換回路 1 8 で液晶パネル 1 への印加電圧（アナログ電圧）に変換可能な範囲に適合させるために、昇圧等により変換する回路である。

【 0 1 1 2 】

階調電圧発生回路 1 7 は、図 1 に示す通り、外付けにて参照電圧入力端子 V_{ref} に接続される電子ボリューム 6 からの参照電圧 V_{ref} を基に、階調表示用アナログ電圧の範囲（下限電圧 V_L から上限電圧 V_H までの範囲）を、一定の幅（差）で、かつ、上下に調整可能な調整回路（上限・下限電圧発生器）4 1 6 と、後述する抵抗分割回路 4 1 2 ～ 4 1 3 での補正值を調整するためのボルテージフォロワ回路 4 1 4 ～ 4 1 5 からなるバッファ回路（第 1 のバッファ）4 1 1 と、正極性および負極性の交流駆動に対応するための 2 つの抵抗分割回路（基準電圧発生器）4 1 2 ～ 4 1 3 と有している。抵抗分割回路 4 1 2 ～ 4 1 3 は、それぞれ、正極性の複数の階調表示用アナログ電圧（基準電圧 $V_{+0} \sim V_{+63}$ ）および負極性の複数の階調表示用アナログ電圧（基準電圧 $V_{-63} \sim V_{-0}$ ）を発生させる。電子ボリューム 6 は、抵抗分割回路 4 1 2 ～ 4 1 3 での補正值を調整するものである。

【 0 1 1 3 】

すなわち、階調電圧発生回路 1 7 は、階調表示用最上位電圧（基準電圧の上限；電圧 V_{+6} または V_{-0} ）を決める上限電圧 V_H と、階調表示用最下位電圧（基準電圧の下限；電圧 V_{+0} または V_{-63} ）を決める下限電圧 V_L とが入力され、上限電圧 V_H と下限電圧 V_L との間の電圧値を有する階調数分の基準電圧 $V_{+0} \sim V_{+63}$ および $V_{-63} \sim V_{-0}$ を抵抗分割によって発生させる抵抗分割回路 4 1 2 ～ 4 1 3 と、上記上限電圧 V_H および下限電圧 V_L を発生させる調整回路 4 1 6 とを備えている。調整回路 4 1 6 は、外部の電子ボリューム 6 で調整された可変の参照電圧（入力電圧） V_{ref} が入力され、上限電圧 V_H および下限電圧 V_L の両方を同一の参照電圧 V_{ref} に基づいて変化させるようになっている。

【 0 1 1 4 】

また、本実施の形態における抵抗分割回路 4 1 2 ～ 4 1 3 は、図 1 5 に示す従来の基準電圧発生回路 1 0 1 9 の場合と同様に、6 4 通りの基準電圧を作成し上限電圧 V_H と下限電圧 V_L との間の中間電圧を生成するものであるが、正極性の参照電圧 V_{ref} に対応するための正極性用の抵抗分割回路（正の基準電圧発生器）4 1 2 と、負極性の参照電圧 V_{ref} に対応するための負極性用の抵抗分割回路（負の基準電圧発生器）4 1 3 とで構成されている。すなわち、抵抗分割回路 4 1 2 ～ 4 1 3 は、正極性の参照電圧 V_{ref} に対応した階調数分の正極性の基準電圧 $V_{+0} \sim V_{+63}$ を発生させる正極性用の抵抗分割回路 4 1 2 と、負極性の参照電圧 V_{ref} に対応した階調数分の負極性の基準電圧 $V_{-63} \sim V_{-0}$ を発生させる負極性用の抵抗分割回路 4 1 3 とで構成されている。

【 0 1 1 5 】

抵抗分割回路 4 1 2 ～ 4 1 3 には、コントローラ 4 から極性反転用端子 PLO を通して入力される極性反転用信号 REV の極性に応じて、抵抗分割回路 4 1 2 および抵抗分割回路 4 1 3 のうちの一方（出力を選択した方）を動作状態にし、他方を動作停止状態とする切替器が付加されている。すなわち、抵抗分割回路 4 1 2 ～ 4 1 3 は、極性反転用信号 REV と異なる極性の出力（階調表示用アナログ電圧）を選択し、それに応じた抵抗分割回路（4 1 2 又は 4 1 3）だけが動作し、正極性または負極性の基準電圧を発生させるように構成されている。

【 0 1 1 6 】

上記切替器には、正極性用の抵抗分割回路 4 1 2 に付加された極性反転用信号 REV が入力されるアナログスイッチ SA と、負極性用の抵抗分割回路 4 1 3 に付加されたアナログスイッチ SB と、極性反転用信号 PLO の極性を反転してアナログスイッチ SA に供給す

10

20

30

40

50

るためのインバータ 419 とが付加されている。

【0117】

抵抗分割回路 412 および 413 の極性の選択は、液晶駆動出力の極性反転用端子 PLO からの極性反転用信号 REV のレベル（“High”レベルであるか “Low” レベルであるか）に応じて、抵抗分割回路 412・413 内に設けられたアナログスイッチ SA 並びにアナログスイッチ SB のどちらか一方を開放状態とし他方は遮断状態とするよう構成されている。なお、ここでは、アナログスイッチ SA・SB は、“High” レベルの極性反転用信号 REV (印加電圧) がアナログスイッチ SA・SB のゲートに印加されることによって抵抗分割回路 412・413 のどちらか一方のみが導通状態となるように構成されている。すなわち、アナログスイッチ SA・SB は、正極性の信号が入力されたときのみ導通状態となるように構成されている。

10

【0118】

抵抗分割回路 412 は、正極性の参照電圧 Vref に対応するためのものであり、基準となる 補正を行うための抵抗比を有する抵抗器 RP0～RP5 と、極性反転用信号 REV の極性によってオン・オフが制御されるアナログスイッチ SA とによって構成されている。通常、上記抵抗器 RP0～RP5 は、高抵抗のポリシリコン（多結晶シリコン）によって形成されている。

【0119】

抵抗器 RP0～RP5 のうち、抵抗器 RP0 における一端には、バッファ回路 411 における上限電圧用のボルテージフォロワ回路 414 の出力が接続され、抵抗器 RP0 の他端には抵抗器 RP1 の一端が接続されている。抵抗器 RP1～RP4 のそれぞれは、複数本の抵抗素子が直列に接続されて構成されている。例えば、抵抗器 RP1 は、15 本の抵抗素子（図示なし）が直列接続されて構成されている。また、他の抵抗器 RP2～RP4 も、16 本の抵抗素子が直列接続されて構成されている。抵抗器 RP4 の他端には、抵抗器 RP5 の一端が接続されている。抵抗器 RP5 の他端には、アナログスイッチ SA を介して下限電圧用のボルテージフォロワ回路 415 の出力が接続されている。

20

【0120】

したがって、抵抗分割回路 412 は、合計 65 本の抵抗素子が直列接続されて構成されていることになる。

【0121】

30

一方、正極性に対応するための抵抗分割回路 412 と同様に、負極性に対応するための抵抗分割回路 413 も、基準となる 補正を行うための抵抗比を有する抵抗器 RN0～RN5 と、極性反転用信号 REV の極性によってオン・オフが制御されるアナログスイッチ SB とによって構成されている。通常、上記抵抗器 RN0～RN5 は、高抵抗のポリシリコンによって形成されている。

【0122】

抵抗器 RN0～RN5 のうち、抵抗器 RN0 における一端には、下限電圧用のボルテージフォロワ回路 415 の出力が接続され、抵抗器 RN0 の他端は抵抗器 RN1 の一端に接続される。抵抗器 RN1～RN4 のそれぞれは、複数本の抵抗素子が直列に接続されて構成されている。例えば、抵抗器 RN1 は、15 本の抵抗素子（図示なし）が直列接続されて構成されている。また、他の抵抗器 RN2～RN4 も、16 本の抵抗素子が直列接続されて構成されている。抵抗器 RN4 の他端は抵抗器 RN5 の一端と接続され、抵抗器 RN5 の他端は、アナログスイッチ SB を介して上限電圧用のボルテージフォロワ回路 414 の出力が接続される。

40

【0123】

したがって、抵抗分割回路 413 も、合計 65 本の抵抗素子が直列接続されて構成されていることになる。

【0124】

次に、前記の調整回路 416 の構成について、図 7 に基づいて詳細に説明する。

【0125】

50

調整回路416は、液晶駆動電源5と接地電位GNDとの間に直列接続された4つの抵抗素子からなる抵抗分割回路（抵抗分圧器）で形成されている。より詳細には、調整回路416は、電源電圧Vccの供給点（ノード）Aと上限電圧VHとの間の抵抗素子（第1の抵抗器）R1と、上限電圧VHの出力点と参照電圧Vrefの供給点（ノード）Bとの間の抵抗素子（第2の抵抗器）R2、接地電位GNDの供給点（ノード）Cと下限電圧VLとの出力点との間の抵抗素子（第4の抵抗器）R3、および参照電圧Vrefの供給点Bと下限電圧VLとの間の抵抗素子（第3の抵抗器）R4から構成されている。

【0126】

抵抗素子R1～R4は、抵抗素子R1の抵抗値をR1、抵抗素子R2の抵抗値をR2、抵抗素子R3の抵抗値をR3、抵抗素子R4の抵抗値をR4とすると、

$$R1 : R2 = R3 : R4$$

を満たすように抵抗値が設定されている。また、参照電圧入力端子Vrefには、外部より電源電圧VCCと接地電位GND（=0V）との間の電圧値に設定された参照電圧Vrefが入力されるようになっている。

【0127】

このように抵抗素子R1～R4の抵抗比をR1 : R2 = R3 : R4にすることで、ノードAに生成される上限電圧VH、およびノードCに生成される下限電圧VLは、

$$\begin{aligned} VH &= Vref + (VCC - Vref) \times R2 / (R1 + R2) \\ &= Vref \times R1 / (R1 + R2) + VCC \times R2 / (R1 + R2) \\ VL &= GND + (Vref - GND) \times R3 / (R3 + R4) \\ &= GND \times R4 / (R3 + R4) + Vref \times R3 / (R3 + R4) \\ &= GND \times R2 / (R1 + R2) + Vref \times R1 / (R1 + R2) \end{aligned}$$

となる。したがって、上限電圧VHと下限電圧VLとの差（電圧の範囲）は、

$$VH - VL = (VCC - GND) \times R2 / (R1 + R2)$$

となり、電圧Vrefの値に係わらず一定となる。

【0128】

このことから、参照電圧Vrefの電圧値の設定を変更するのみで、階調表示用の基準電圧の範囲を決める上限電圧VHおよび下限電圧VLの電圧値を、電圧差を一定に保ちながら可変制御することができる。

【0129】

次に、この点について、具体例に基づいて説明する。例えば、図7において抵抗素子R1～R4の抵抗比をR1 : R2 = 1 : 9、R3 : R4 = 1 : 9とし、VCC = 5V、GND = 0V、Vref = 2.5Vであるときの上限電圧VH、下限電圧VL、および上限電圧VHと下限電圧VLとの差を求めるとき、以下のようなになる。すなわち、上限電圧VHの電圧値は、

$$\begin{aligned} VH &= Vref + (VCC - Vref) \times R2 / (R1 + R2) \\ &= 2.5V + 2.25V \\ &= 4.75V \end{aligned}$$

となる。下限電圧VLの電圧値は、

$$\begin{aligned} VL &= GND + (Vref - GND) \times R3 / (R3 + R4) \\ &= 0V + 0.25V \\ &= 0.25V \end{aligned}$$

となる。上限電圧VHと下限電圧VLとの差は、

10

20

30

40

50

$$V_H - V_L = 4.75V - 0.25V = 4.5V$$

となる。

【0130】

また、参照電圧 V_{ref} のみを 3.0V に変更し、他の電圧条件を同一 ($V_{CC} = 5V$ 、 $GND = 0V$) としたときの上限電圧 V_H 、下限電圧 V_L 、および上限電圧 V_H と下限電圧 V_L との差を求める。すなわち、上限電圧 V_H の電圧値は、

$$\begin{aligned} V_H &= V_{ref} + (V_{CC} - V_{ref}) \times R2 / (R1 + R2) \\ &= 3.0V + 1.80V \\ &= 4.80V \end{aligned}$$

10

となる。下限電圧 V_L の電圧値は、

$$\begin{aligned} V_L &= GND + (V_{ref} - GND) \times R3 / (R3 + R4) \\ &= 0V + 0.30V \\ &= 0.30V \end{aligned}$$

となる。上限電圧 V_H と下限電圧 V_L との差は、

$$V_H - V_L = 4.80V - 0.30V = 4.5V$$

となる。

20

【0131】

このようにして、外付けにて入力端子 V_{ref} に接続された電圧調整器としての電子ボリューム 6 からの参照電圧 V_{ref} に応じて、階調表示用の 64 段階の基準電圧 $V_{+0} \sim V_{+6}$ または $V_{-63} \sim V_{-0}$ (下限電圧 V_L から上限電圧 V_H までの範囲) を、一定の幅 (電圧差 $V_H - V_L$) で、かつ、上下に容易に調整が可能となる。

【0132】

また、調整回路 416 のノード B と参照電圧入力端子 V_{ref} との間には、図 1 に示すように、ボルテージフォロワ回路 417 が挿入されている。このボルテージフォロワ回路 417 は、抵抗素子 R1 ~ R4 に貫通電流が流れることで消費される電力を低減するためのものである。ボルテージフォロワ回路 417 を挿入することにより、抵抗素子 R1 ~ R4 の抵抗値を高くし、抵抗素子 R1 ~ R4 に流れる電流値を抑制することができる。この結果、消費電力を低減することができる。ボルテージフォロワ回路 417 を挿入することで、低インピーダンスの電圧 (参照電圧 V_{ref}) を抵抗素子 R1 ~ R4 に供給できる。これにより、抵抗素子 R1 ~ R4 において上限電圧 V_H と下限電圧 V_L との差を確実に一定に保つことができる。なお、調整回路 416 内のボルテージフォロワ回路 417 を省いても、動作上、問題を生じることはない。

30

【0133】

セレクタ回路 20 は、抵抗分割回路 412 から出力される複数の階調表示用アナログ電圧 (基準電圧 $V_{+0} \sim V_{+63}$)、抵抗分割回路 413 から出力される複数の階調表示用アナログ電圧 (基準電圧 $V_{-63} \sim V_{-0}$) の何れか一方の組を、前記液晶駆動出力の極性反転用端子 PLO から供給される極性反転用信号 REV の極性に応じて選択し、DA 変換回路 18 へ出力させるものである。

40

【0134】

この基準電圧は、出力回路 38 を介して、各液晶駆動電圧出力端子 40 (以下、単に出力端子と記載する) から液晶パネル 1 の各ソース信号線 34 へ出力される。出力回路 38 は、後述する差動增幅回路を用いたボルテージフォロワ回路で構成される。

【0135】

セレクタ回路 20 は、極性反転用信号 REV によって制御される 1 つのアナログスイッチ (図示なし) により構成されている。セレクタ回路 20 は、液晶駆動電圧出力端子の 1 出力毎に前記、正極性に対応した抵抗分割回路 412 からの印加電圧 $+V_0 \sim +V_{63}$ 若しく

50

は負極性に対応した抵抗分割回路 413 からの印加電圧 $-V_0 \sim -V_{63}$ のどちらか一方を極性反転用端子 PLO から供給される極性反転用信号 REV の “High” レベル若しくは “Low” レベルに応じて選択し、DA 変換回路 18 へ出力させる。なお、該アナログスイッチは、印加電圧 “High” レベルがアナログスイッチのゲートに印加されることによって導通状態となるように構成されている。

【0136】

下記の表 1 に、前記の極性反転用信号 REV とセレクタ回路 20 にて選択される印加電圧の関係を示す。

【0137】

【表 1】

10

極性反転用信号 REV	セレクタ回路
“Low”	正極性 $V+0 \sim V+63$
“High”	負極性 $V-0 \sim V-63$

【0138】

DA 変換回路 18 は、階調電圧発生回路 17 から供給される各種階調表示用電圧（アナログ電圧）から、レベルシフタ回路 16 にてレベル変換された表示データに応じたアナログ電圧を 1 つ選択する。

20

【0139】

この階調表示を表すアナログ電圧は、出力回路 19 を介して、各液晶駆動電圧出力端子 22（以下、単に出力端子と記載する）から液晶パネルの各ソース信号線へ出力される。出力回路 19 は、差動增幅回路を用いたボルテージフォロワ回路で構成されるものである。

【0140】

DA 変換回路 18 および出力回路 19 としては、先に説明した従来の構成と同様に、図 17 に示す DA 変換回路 1016 および出力回路 1017 が好適に用いられる。DA 変換回路 1016 および出力回路 1017 については、前述した通りであるため、ここではその説明を省略する。

【0141】

30

対向電極駆動回路 21 は、図 8 に示す通り、電源電圧をバッファする第 2 のバッファとして、差動增幅回路 21a を用いたボルテージフォロワ回路（第 2 のバッファ）21b を内蔵している。対向電極駆動回路 21 は、極性反転用端子 PLO から供給される極性反転用信号 REV を、ボルテージフォロワ回路 21b で低インピーダンス変換を行った上で、液晶パネル 1 の対向電極 7 に対向電極駆動電圧 V_{com} として出力する。

【0142】

なお、上記説明においては、対向電極駆動回路 21 として、オペアンプ（演算増幅器）によるボルテージフォロワ回路 21b を備える例を挙げたが、この構成に限定されるものではない。例えば、他の構成の対向電極駆動回路 21 として、極性反転用信号 REV をレベルシフタ回路（例えば、ソースドライバ 2 内のレベルシフタ回路 16 と同じ回路）にて一旦、液晶駆動電圧にレベルシフトさせた後、出力バッファ回路（ボルテージフォロワ回路）を介して出力させることで同様の効果を実現できることは言うまでもない。また、ボルテージフォロワ回路 21b を用いて電圧レベルを保ったまま低インピーダンス変換するのではなく、差動增幅回路を反転増幅回路や非反転増幅回路として用いて、入力信号（電圧レベル）を増幅しても良い。

40

【0143】

以上のように、本実施形態に係る階調電圧発生回路 17 では、外付けにて 1 つの入力端子 V_{ref} に接続された電子ボリューム 6 からの参照電圧 V_{ref} を基に、階調表示用の 64 段階の基準電圧 $V_{+0} \sim V_{+63}$ または $V_{-63} \sim V_{-0}$ の範囲（階調表示用アナログ電圧の振幅電圧値）を、上限電圧 V_H および下限電圧により、一定の電圧幅で、かつ、容易に上下に

50

調整可能である。

【0144】

さらに、階調表示用の64段階の基準電圧 $V_{+0} \sim V_{+63}$ または $V_{-63} \sim V_{-0}$ を容易に調整することができることから、液晶パネル1の特性や液晶材料の種類等に応じて補正特性(特性)を補正値電圧範囲内で容易に変更することができる。より詳細に説明すると、まず、上述したように、補正を行う場合の液晶駆動出力電圧の折れ線特性は、液晶材料の種類や液晶パネルの画素数によって異なるものであるが、階調値が等しければ、その特性曲線における各階調間での電圧比は等しいものとなる。このため、理論的には、階調電圧発生回路17における上限電圧 V_H および下限電圧 V_L の電圧値を調整すれば、所望の補正を行うことができる。そして、階調電圧発生回路17では、その外部から入力される参照電圧 V_{ref} に応じて上限電圧 V_H および下限電圧 V_L が任意の電圧値を持つ直流電圧に調整されるので、抵抗分割回路412・413でのバイアス値(階調表示用アナログ電圧値)は、参照電圧 V_{ref} に応じて調整される。したがって、本実施形態の構成では、参照電圧 V_{ref} の調整のみで補正特性(特性)を容易に変更することができる。

10

【0145】

したがって、本実施形態の構成によれば、ソースドライバ2をいちいち作り換えることなく、液晶材料や液晶パネル1の特性に合わせて特性(補正量)を簡単に調整することができる。また、上限電圧 V_H と下限電圧 V_L との差が一定に保たれるので、表示パネル1に表示される画像のコントラストを略一定に保つことができる。そのため、コントラストが低下したり、コントラストが高すぎてフリッカ(画面のちらつき)が知覚され易くなったりすることを回避しながら、表示パネル1の特性に応じた特性の調整が容易に行える。

20

【0146】

すなわち、本実施形態の階調電圧発生回路17においては、抵抗分割回路412・413と調整回路416との組み合わせによって、内部で1つの参照電圧 V_{ref} から、階調表示用の64段階の基準電圧 $V_{+0} \sim V_{+63}$ または $V_{-63} \sim V_{-0}$ を生成することができる。したがって、図15に示す従来の階調表示基準電圧発生回路1019のように9個の中間調電圧入力端子 $V_0 \sim V_{64}$ を設ける必要がなく、外部から参照電圧 V_{ref} を入力するための1つの参照電圧入力端子 V_{ref} (および電源電圧 V_{CC} を入力するための端子)を設けるだけでよい。したがって、階調電圧発生回路17の端子数および回路規模を低減できるので、階調電圧発生回路17を小型化が図れると共に、製造コストを抑制できる。また、階調電圧発生回路17の構成が簡素化することで、ソースドライバ2が簡単な回路となり、1チップ化が容易となる。

30

【0147】

さらに、階調電圧発生回路17を備える本実施形態の液晶表示装置においては、中間調基準電圧(基準電圧 $V_{+0} \sim V_{+63}$ または $V_{-63} \sim V_{-0}$)を内部で発生させるため、階調電圧発生回路17の外部から中間調基準電圧を供給する必要がない。それゆえ、液晶表示装置における電圧供給部の構成を簡素化でき、小型化が図れると共に、製造コストを抑えることができる。また、1つの参照電圧 V_{ref} を電子ボリューム6で調整することにより、階調表示用の64段階の基準電圧 $V_{+0} \sim V_{+63}$ または $V_{-63} \sim V_{-0}$ を容易に調整することができるので、参照電圧 V_{ref} を調整するための構成も簡素化でき、小型化が図れると共に、製造コストを抑えることができる。

40

【0148】

また、本実施形態に係る表示駆動装置としてのソース駆動回路2Aは、ソース線を駆動する回路と対向電極駆動回路21とが1チップ(ソースドライバ2)で構成されたものであるため、更なる小型化が図られている。それゆえ、さらに小型の液晶駆動回路および液晶駆動装置の提供を実現することができる。

【0149】

また、本実施形態に係る表示装置としての液晶表示装置では、参照電圧 V_{ref} を基準電

50

圧入力端子 V_{ref} に供給すると共に基準電圧 V_{ref} を調整するための電子ボリューム 6 を階調電圧発生回路 17 に対して外付けしている。これにより、階調電圧発生回路 17 における液晶駆動電源 5 を新規に作り換えることなく 補正值を容易に調整できる。

【0150】

また、本実施形態では、抵抗分割回路 412・413 と調整回路 416との間に、上限電圧 V_H および下限電圧 V_L をバッファするバッファ回路 411を設けている。液晶表示負荷（画素）は容量性負荷であるため、階調表示用アナログ電圧（基準電圧 $V_{+0} \sim V_{+63}$ または $V_{-63} \sim V_{-0}$ ）の各レベルの安定度が特に重要である。本実施形態では、上限電圧 V_H および下限電圧 V_L を、バッファ回路 411を介して、抵抗分割回路 412・413 における最大電圧 V_H および最小電圧 V_L が入力されるラインの抵抗に入力しているので、10 入力電圧を低インピーダンス変換して容量負荷への充放電時の電圧変動をなくし、階調表示用アナログ電圧の安定化を実現することができる。また、抵抗分割回路 412・413 に流れる電流値を抑えることができ、消費電力を低減できる。なお、バッファ回路 411 の追加は、大きな消費電力の増大を招くものではない。

【0151】

図 9 に、極性反転用信号 REV と、対向電極駆動電圧 V_{com} と、ソースドライバ出力端子からの正極性および負極性による階調表示用アナログ電圧との関係を示す。

【0152】

負極性出力期間の場合には、図 9 に 5 本の実線および破線で示すように、階調表示用アナログ電圧として、電圧 V_L に近い 00 階調（16 進表示；10 進表示では 0 階調）表示用電圧（階調表示用最下位電圧）から電圧 V_H に近い 3F 階調（16 進表示；10 進表示では 63 階調）表示用電圧（階調表示用最上位電圧）までの各階調表示用電圧が出力される。一方、正極性出力期間の場合には、図 9 に 5 本の実線および破線で示すように、電圧 V_L に近い 3F 階調表示用電圧から電圧 V_H に近い 00 階調表示用電圧までの各階調表示用電圧が出力される。そして、各階調表示電圧と対向電極駆動電圧 V_{com} との差が実効電圧として液晶に印加され、階調表示がなされる。

【0153】

なお、本実施形態の構成は、抵抗分割回路（412・413）を 2 つの抵抗分割回路 412・413 に分割し、これらを切り替えるアナログスイッチ $S_A \cdot S_B$ を設けていたが、抵抗分割回路を 2 つに分割せず、アナログスイッチ $S_A \cdot S_B$ を省略することも可能である。但し、前述したように抵抗分割回路 412・413 に流れる貫通電流を低減するためには、抵抗分割回路（412・413）を 2 つの抵抗分割回路 412・413 に分割し、これらを切り替えるアナログスイッチ $S_A \cdot S_B$ を設けることが好ましい。また、バッファ回路（第 1 のバッファ）411を省略しても、消費電力は増大するものの、補正值を容易に調整できるという効果は得られる。

【0154】

〔実施の形態 2〕

本実施の他の実施形態を図 10 ないし図 12 と図 22 とに基づいて以下に説明する。

【0155】

本実施形態の発明は、実施の形態 1 の階調電圧発生回路 17 および対向電極駆動回路 21 について更なる低消費電力化を図ることを目的としている。

【0156】

本実施形態に係る表示駆動装置としてのソースドライバ 2 は、図 10 に示すように、実施の形態 1 のソースドライバ 2 に対して、“High” レベルまたは “Low” レベルの電圧レベルを持つ制御信号 CTR が印加される制御端子 CTR を新たに追加し、階調電圧発生回路 17 をこの制御信号 CTR に基づいて各部の動作を制御するように変更した階調電圧発生回路 41 とし、対向電極駆動回路 21 をこの制御信号 CTR に基づいて各部の動作を制御するように変更した対向電極駆動回路 42 とした点以外は実施の形態 1 のソースドライバ 2 と同一の構成を備えている。

【0157】

制御端子CTRに印加される制御信号CTRが“High”レベルおよび“Low”レベルのいずれであるかに応じて、階調電圧発生回路41内における、バッファ回路411のボルテージフォロワ回路414・415、調整回路416のボルテージフォロワ回路417、および対向電極駆動回路41のボルテージフォロワ回路41b（ボルテージフォロワ回路21bと同様のもの）が動作または停止するように構成される。

【0158】

ボルテージフォロワ回路414・415・417・21bの各々として使用可能なオペアンプの一例を以下に説明する。

【0159】

このオペアンプは、制御信号CTRが“High”レベルである通常の駆動時には差動増幅回路として動作する一方、制御信号CTRが“Low”レベルであるときには、出力がハイインピーダンス状態となり、停止状態となる。

10

【0160】

図22に示すように、オペアンプ381では、DIS端子には制御信号CTRが入力され、DISN端子には、図示しないインバータ回路を介して反転された制御信号CTRが入力されている。また、図22中のVBは、動作点を決める差動対を流れる定電流値を設定する電圧入力端子である。

【0161】

オペアンプ381では、制御信号CTRがHighレベル（Vddレベル）の時、NchMOSトランジスタ3811・3812がON状態となり、動作電流が供給されると共に、NchMOSトランジスタ3813およびPchMOSトランジスタ3814はOFF状態となることから通常の差動増幅回路として動作する。

20

【0162】

逆に、制御信号CTRがLowレベル（GNDレベル）の時、NchMOSトランジスタ3811・3812がOFF状態となり、動作電流の供給が停止されると共に、NchMOSトランジスタ3813およびPchMOSトランジスタ3814はON状態となる。このことから、出力段のNchMOSトランジスタ3815とPchMOSトランジスタ3816とをOFF状態、つまり、出力をハイインピーダンス状態にする。

【0163】

ボルテージフォロワ回路414・415・417・42bとしてオペアンプ381を用いた場合、オペアンプ381の動作としては、まず、1水平同期期間内に、該アナログスイッチのゲートに接続されたDIS端子（制御端子CTR）に“High”レベルの制御信号CTRが供給されると動作状態となる。これにより、通常通り、階調電圧発生回路41内における、バッファ回路411、調整回路416のボルテージフォロワ回路417、および対向電極駆動回路41の各々のオペアンプ381（ボルテージフォロワ回路414・415・417・42b）が動作される。

30

【0164】

一方、DIS端子（制御端子CTR）に印加電圧“Low”レベルが供給されると、階調電圧発生回路41内における、バッファ回路411、調整回路416のボルテージフォロワ回路417、および対向電極駆動回路41の各々のオペアンプ381（ボルテージフォロワ回路414・415・417・42b）が停止される。非動作時はオペアンプ381（ボルテージフォロワ回路414・415・417・42b）内の消費電流はカットされ、出力段はハイインピーダンス状態となる。

40

【0165】

図11、図12に、上記で説明した階調電圧発生回路41並びに対向電極駆動回路42の一例を示す。

【0166】

ボルテージフォロワ回路414・415・417・42bの動作／非動作の切替えは、例えば以下のように行なうことが好適である。例えば、一定時間TI（TIは、1水平期間内の値とする）が経過し、画素容量（液晶）への充放電が終了すると、ボルテージフォロワ

50

回路 414・415・417・42b の動作が停止状態となる制御信号を入力する、垂直同期プランキング期間においてボルテージフォロワ回路 414・415・417・21b の動作を停止する、などの制御によってボルテージフォロワ回路 414・415・417・42b における消費電力を低減できる。

【0167】

あるいは、携帯電話等、携帯機器に使用する液晶表示装置において、待ちうけ時間時や、待ちうけ時間時に走査信号を止めて TFT をオフさせ電荷を保持状態にしている時にボルテージフォロワ回路 414・415・417・42b の動作を停止することも効果がある。これによっても、消費電力を低減できる。

【0168】

10

【発明の効果】

本発明の表示駆動装置は、以上のように、階調数分の基準電圧を発生させる階調電圧発生器と、上記基準電圧の中から表示データに応じた基準電圧を選択して階調表示用電圧として出力するデジタル - アナログ変換器とを備え、上記階調電圧発生器は、上限電圧と下限電圧との間の電圧値を有する階調数分の基準電圧を発生させる基準電圧発生器と、上記上限電圧および下限電圧を発生させる上限・下限電圧発生器とを備え、上限・下限電圧発生器は、外部の電圧調整器で調整された入力電圧が入力され、上限電圧および下限電圧の両方を同一の入力電圧に基づいて変化させるようになっている構成である。

【0169】

20

上記構成によれば、外部の電圧調整器で入力電圧を調整することにより、表示駆動装置をいちいち作り換えることなく、表示パネルの特性に合わせて表示装置の特性を簡単に調整することができるという効果が得られる。また、上記構成では、共通の外部電圧で上限電圧および下限電圧を調整し、基準電圧の範囲を調整することができるため、外部から供給する電圧が少なくて済むので、入力端子の数を少なく抑えることができると共に、回路構成を簡素化することができるという効果が得られる。

【0170】

上記上限・下限電圧発生器は、上限電圧と下限電圧との差を一定に保つように構成されていることが好ましい。

【0171】

30

上記構成によれば、表示される画像のコントラストを略一定に保つことができるので、コントラストの低下や、過度なコントラストの上昇によるフリッカの発生を回避しながら特性の調整が容易に行える。

【0172】

上記上限・下限電圧発生器は、電源と接地電位との間に直列接続された第 1 ないし第 4 の抵抗器で構成され、第 2 の抵抗器と第 3 の抵抗器との間のノードに外部の電圧調整器からの入力電圧が供給され、かつ、第 1 の抵抗器と第 2 の抵抗器との間のノードに上限電圧、第 3 の抵抗器と第 4 の抵抗器との間のノードに下限電圧をそれぞれ発生させるようになっており、さらに、第 1 の抵抗器の抵抗値を R1、第 2 の抵抗器の抵抗値を R2、第 4 の抵抗器の抵抗値を R3、第 3 の抵抗器の抵抗値を R4 とすると、

$$R1 : R2 = R3 : R4$$

40

を満たすように抵抗値が設定されていることがさらに好ましい。

【0173】

上記構成によれば、抵抗分割により、入力電圧に応じた上限電圧および下限電圧を安定して生成することができると共に、上限電圧と下限電圧との差を一定に保つことが容易に実現できる。

【0174】

本発明の表示駆動装置は、好ましくは、上記基準電圧発生器は、階調数分の基準電圧を抵抗分割によって生成するものであり、上記上限・下限電圧発生器と基準電圧発生器との間には、上限電圧および下限電圧をバッファする第 1 のバッファが介在している構成である。

50

【 0 1 7 5 】

上記構成によれば、上限電圧および下限電圧を低インピーダンス変換して基準電圧発生器に供給するので、表示パネルの画素への充放電時の電圧変動をなくし、基準電圧の安定化を実現することができると共に、基準電圧発生器に流れる電流値を抑えて、消費電力を低減できる。

【 0 1 7 6 】

上記第1のバッファは、外部から供給される制御信号に応じて動作または停止することができるようになっていてもよい。

【 0 1 7 7 】

上記構成によれば、第1のバッファの動作が不要であるときに第1のバッファによる動作を停止させることによって、更なる低消費電力化を図ることができる。 10

【 0 1 7 8 】

本発明の表示駆動装置は、好ましくは、電源から供給された電源電圧を用いて上記表示パネルの対向電極を駆動するための対向電極駆動回路をさらに備え、上記対向電極駆動回路は、電源電圧をバッファする第2のバッファを備えており、上記第2のバッファは、外部から供給される制御信号に応じて動作または停止することができるようになっている構成である。

【 0 1 7 9 】

上記構成によれば、第2のバッファの動作が不要であるときに第1のバッファによる動作を停止させることによって、更なる低消費電力化を図ることができる。 20

【 0 1 8 0 】

本発明の表示駆動装置は、好ましくは、上記表示パネルの対向電極を駆動するための対向電極駆動回路をさらに備え、少なくとも上記階調電圧発生器、デジタル - アナログ変換器、および対向電極駆動回路が1つの集積回路内に形成されている構成である。

【 0 1 8 1 】

上記構成によれば、従来はソースドライバIC内に形成されていた階調電圧発生器やデジタル - アナログ変換器等と、従来はソースドライバICとは別のICに形成されていた対向駆動電極回路とを、1つのICに形成したので、表示駆動装置を小型化できる。また、これにより、表示装置の小型化が図れる。

【 0 1 8 2 】

本発明の表示駆動装置は、好ましくは、上記基準電圧発生器が、階調数分の正極性の基準電圧を発生させる正の基準電圧発生器と、階調数分の負極性の基準電圧を発生させる負の基準電圧発生器とからなり、上記階調電圧発生器が、上記階調表示用電圧の極性反転周期にしたがって、正および負の基準電圧発生器のどちらか一方を動作状態にし、他方を動作停止状態とする切替器をさらに備える構成である。 30

【 0 1 8 3 】

上記構成によれば、正および負の基準電圧発生器のどちらか一方の動作が停止されるので、基準電圧発生器に流れる貫通電流を抑制できる。それゆえ、消費電力が低減された表示駆動装置を提供できる。

【 0 1 8 4 】

本発明の表示装置は、上記の課題を解決するために、前記の何れかの構成の表示駆動装置と、上記表示駆動装置からデータ信号が入力されるデータ信号線を含むアクティブマトリクス方式の表示パネルと上記表示駆動装置に接続されたアクティブマトリクス方式の表示パネルと上記入力電圧を表示駆動装置に供給すると共に、入力電圧を調整可能な電圧調整器とを備えることを特徴としている。 40

【 0 1 8 5 】

上記構成によれば、電圧調整器で入力電圧を調整することにより、表示駆動装置をいちいち作り換えることなく、表示パネルの特性に合わせて表示装置の特性を簡単に調整することができるという効果が得られる。また、上記構成では、電圧調整器による入力電圧の調整のみで上限電圧および下限電圧の両方を調整できるため、上限電圧および下限電圧を 50

別々に調整する電圧調整器を設ける場合と比較して、構成を簡素化することができると共に、特性の調整作業が容易になるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係るソースドライバが備える階調電圧発生回路の回路構成を示す回路図である。

【図2】本発明の実施の一形態に係る液晶表示装置の概略の構成を示すブロック図である。

【図3】本発明の実施の一形態に係る液晶パネルの概略の構成を示す回路図である。

【図4】液晶表示装置における液晶駆動波形の一例を示す。

【図5】液晶表示装置における液晶駆動波形の他の一例を示す。

10

【図6】本発明の実施の一形態に係るソースドライバの概略の構成を示すブロック図である。

【図7】図1の階調電圧発生回路内における調整回路の部分の構成を示す回路図である。

【図8】図6のソースドライバにおける対向電極駆動回路の回路構成を示す回路図である。

【図9】極性反転用信号と、対向電極駆動電圧と、ソースドライバ出力端子からの正極性および負極性による階調表示用アナログ電圧との関係を示す図である。

【図10】本発明の他の実施の形態に係るソースドライバの概略の構成を示すブロック図である。

【図11】図10のソースドライバにおける階調電圧発生回路の回路構成を示す回路図である。

20

【図12】図10のソースドライバにおける対向電極駆動回路の回路構成を示す回路図である。

【図13】従来の液晶表示装置の概略のブロック構成例を示す。

【図14】従来のソースドライバの概略の構成を示すブロック図である。

【図15】従来のソースドライバが含む基準電圧発生回路の概略の構成を示す。

【図16】図15の基準電圧発生回路が含む抵抗分割回路を構成する詳細な説明図を示す。

【図17】従来のソースドライバが含むD/A変換回路と出力回路の概略の構成を示す。

【図18】補正を行った場合における、階調表示データと液晶駆動出力電圧との関係を示す。

30

【図19】走査信号を示すタイミングチャートである。

【図20】走査信号と、データ信号と、対向電極に印加される電圧とのタイミングチャートである。

【図21】(a)は、液晶表示装置がライン反転駆動法を用いて駆動される場合における、或るフレームにおける各画素内の電流の極性を示す図である。(b)は、(a)のフレームに続く次のフレームにおける各画素内の電流の極性を示す図である。

【図22】本発明に係る他の実施形態において使用可能なオペアンプの例を示す回路図である。

【符号の説明】

40

1 液晶パネル(表示パネル)

2、2' ソースドライバ(表示駆動装置)

2A ソース駆動回路(集積回路)

3 ゲートドライバ

3A ゲート駆動回路

4 コントローラ

5 液晶駆動電源

6 電子ボリューム(電圧調整器)

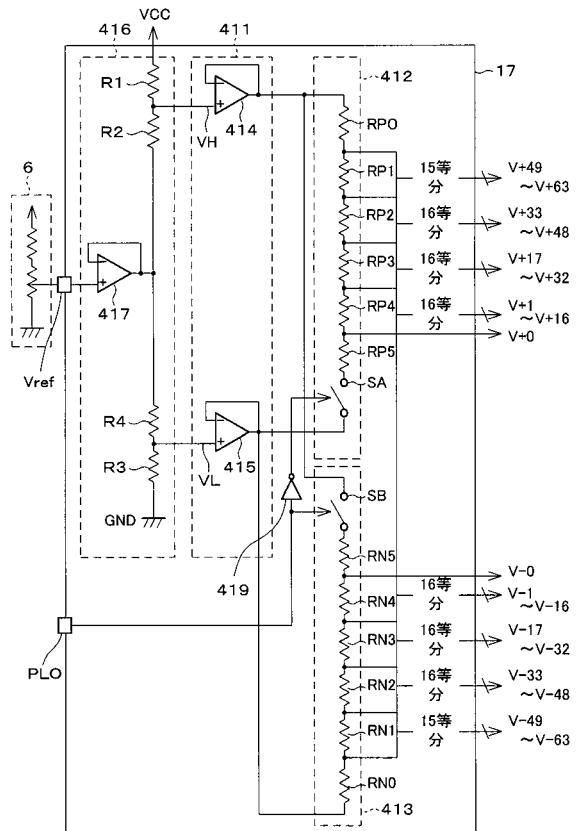
7 対向電極

8 対向電極駆動回路

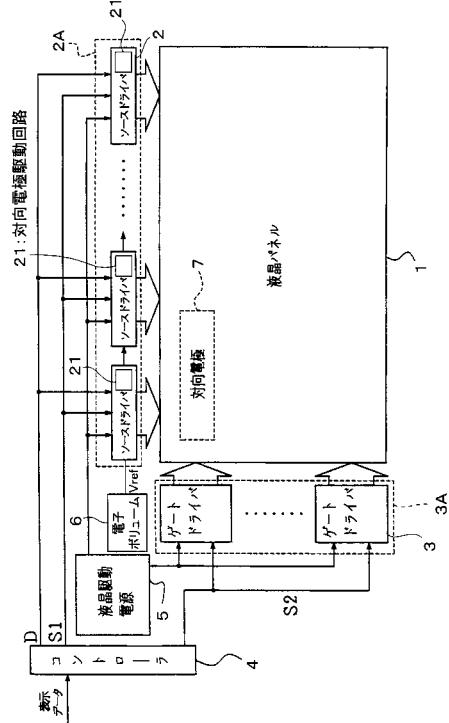
50

1 2	入力ラッチ回路	
1 3	シフトレジスタ回路	
1 4	サンプリングメモリ回路	
1 5	ホールドメモリ回路	
1 6	レベルシフタ回路	
1 7、4 1	階調電圧発生回路（階調電圧発生器）	
1 8	D A 変換回路（デジタル - アナログ変換器）	
1 9	出力回路	
2 0	セレクタ回路	
2 1、4 2	対向電極駆動回路	10
2 1 b	ボルテージフォロワ回路（第2のバッファ）	
2 2	液晶駆動電圧出力端子	
3 9	セレクタ回路	
3 4	ソース信号線（データ信号線）	
4 1 1	バッファ回路（第1のバッファ）	
4 1 2	抵抗分割回路（基準電圧発生器、正の基準電圧発生器）	
4 1 3	抵抗分割回路（基準電圧発生器、負の基準電圧発生器）	
4 1 4・4 1 5	ボルテージフォロワ回路	
4 1 6	調整回路（上限・下限電圧発生器）	
4 1 7	ボルテージフォロワ回路	20
4 1 9	インバータ	
C T R	制御信号	
G N D	接地電位	
R 1	抵抗素子（第1の抵抗器）	
R 2	抵抗素子（第2の抵抗器）	
R 3	抵抗素子（第4の抵抗器）	
R 4	抵抗素子（第3の抵抗器）	
R E V	極性反転用信号	
R N 1 ~ R N 4	抵抗器	
R P 1 ~ R P 4	抵抗器	30
S A	アナログスイッチ	
S B	アナログスイッチ	
V 0 ~ V 63	基準電圧	
V H	上限電圧	
V L	下限電圧	
V c c	電源電圧	
V c o m	対向電極駆動電圧	
V r e f	参照電圧	

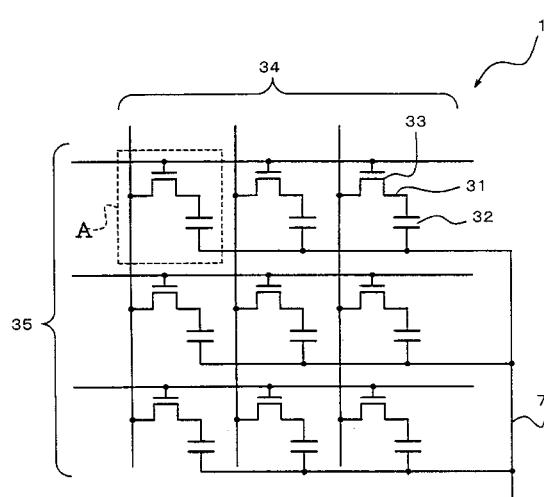
【図1】



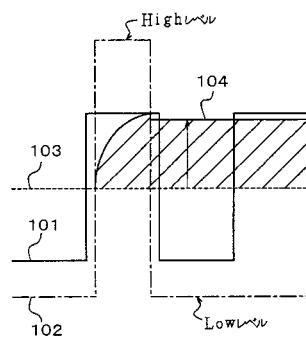
【図2】



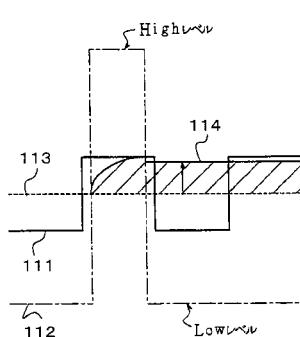
【図3】



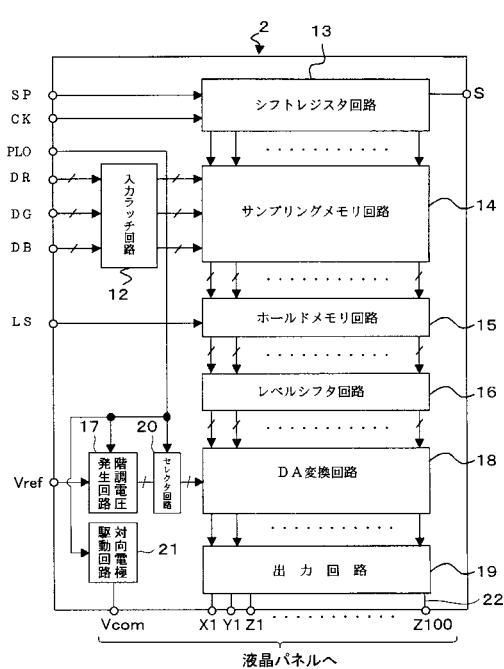
【図4】



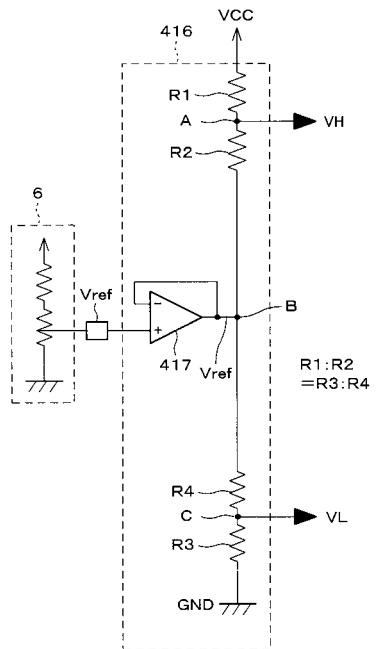
【図5】



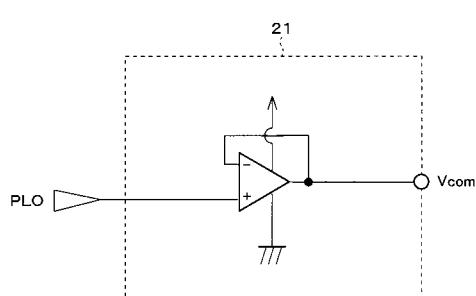
【図6】



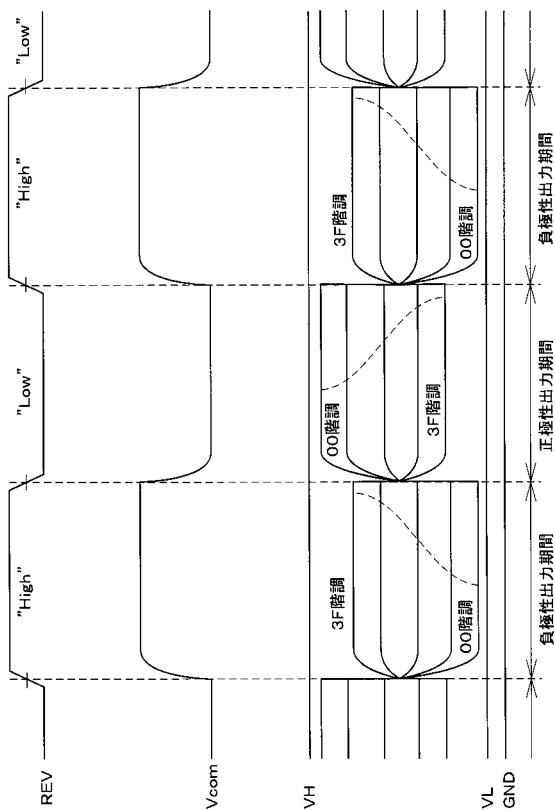
【図7】



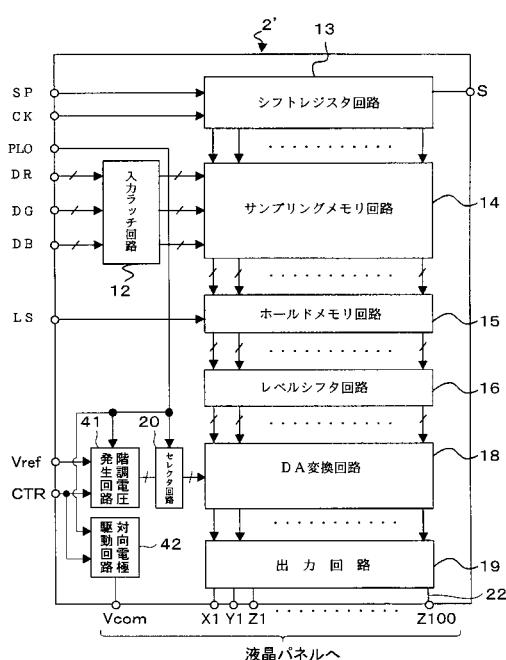
【図8】



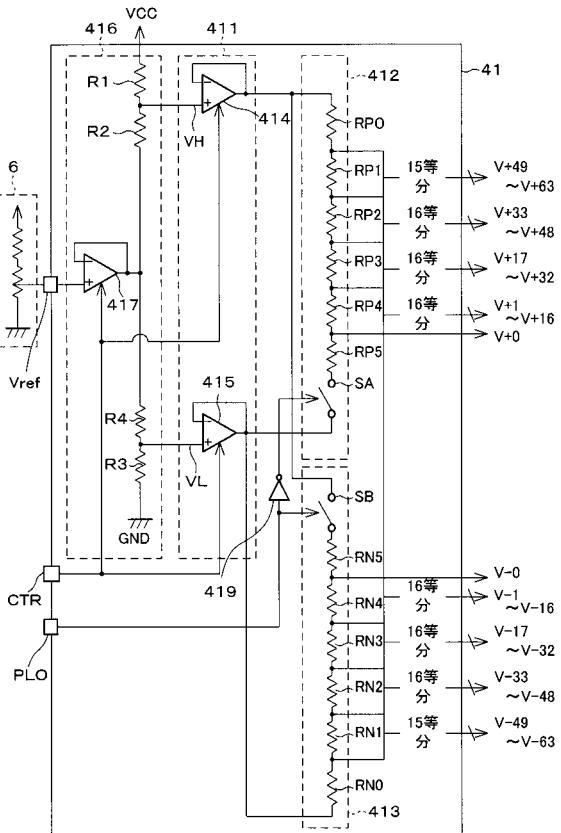
【図9】



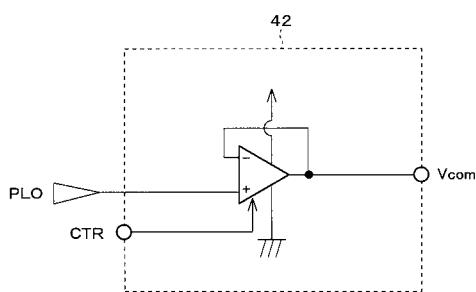
【図10】



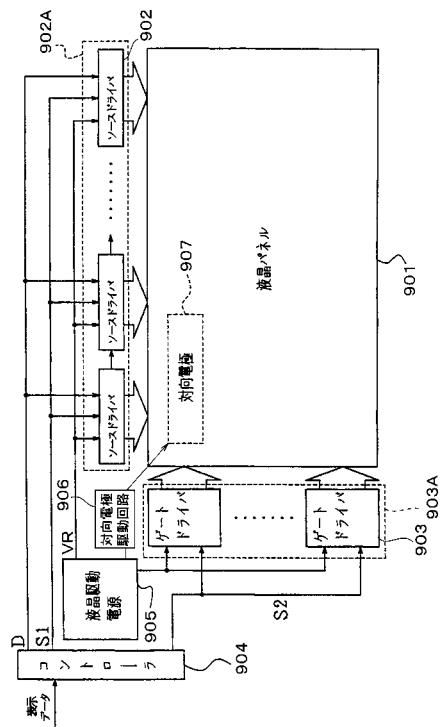
【図11】



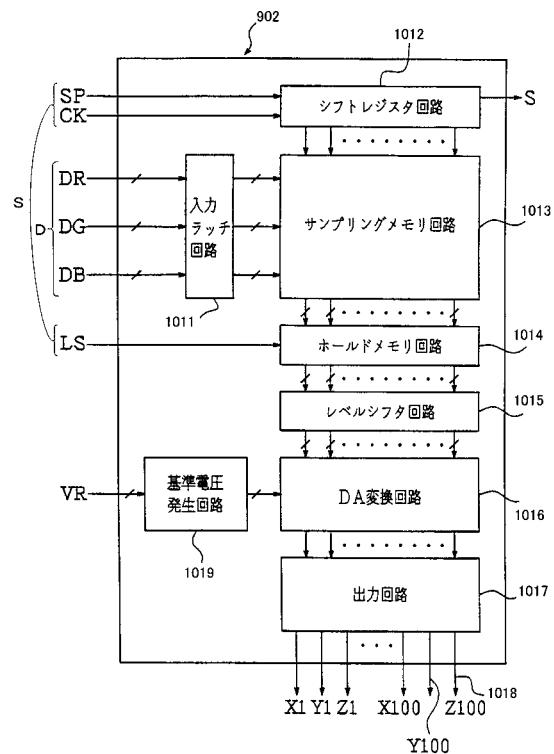
【 1 2 】



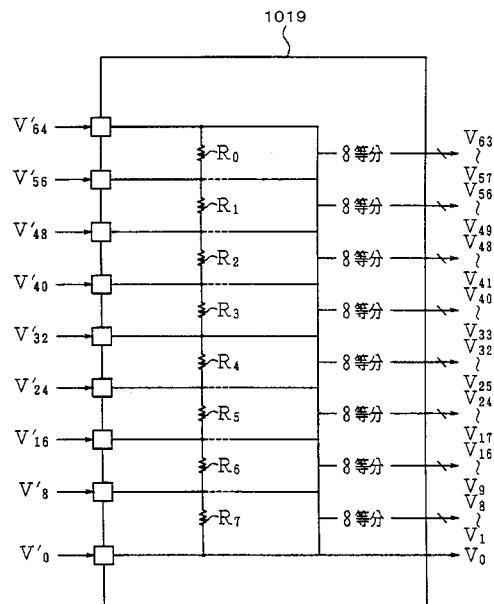
【 13 】



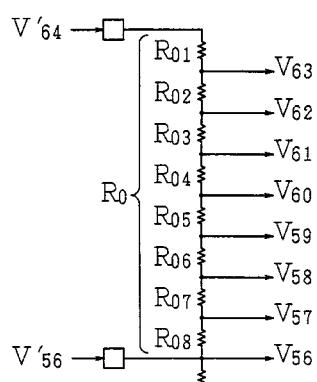
【図14】



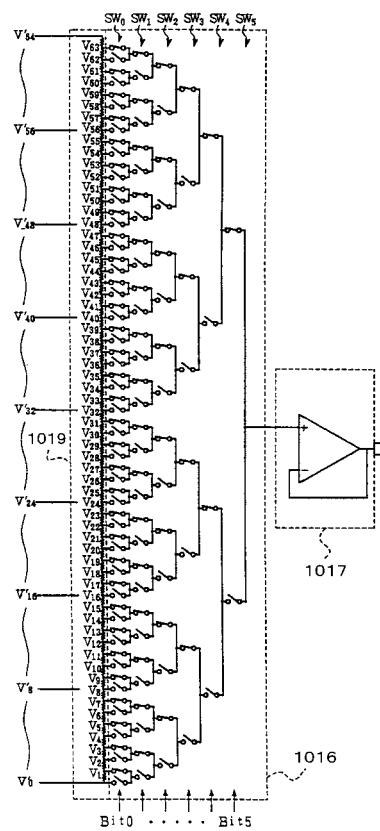
【図15】



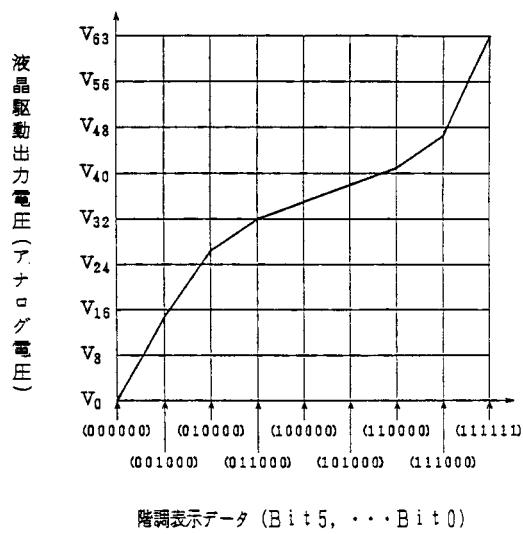
【図16】



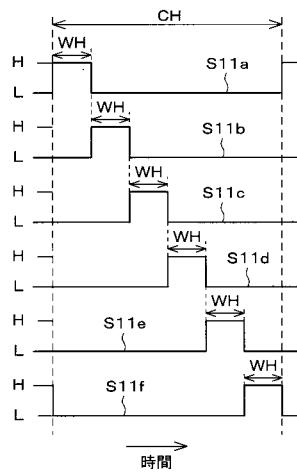
【図17】



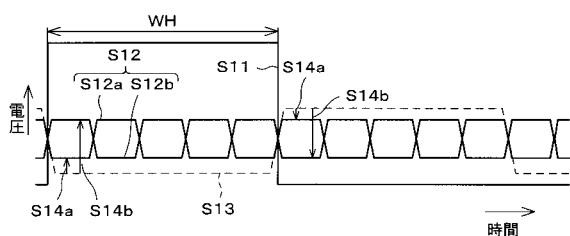
【図18】



【図19】



【図20】

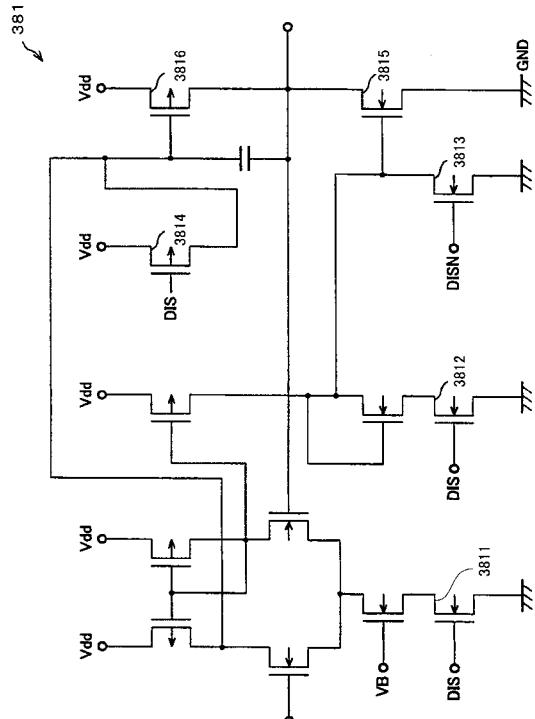


【図21】

		最初のフレーム				
行	列	1	2	3	4	5
1	+	+	+	+	+	+
2	-	-	-	-	-	-
3	+	+	+	+	+	+
4	-	-	-	-	-	-
5	+	+	+	+	+	+
6	-	-	-	-	-	-

		次のフレーム				
行	列	1	2	3	4	5
1	-	-	-	-	-	-
2	+	+	+	+	+	+
3	-	-	-	-	-	-
4	+	+	+	+	+	+
5	-	-	-	-	-	-
6	+	+	+	+	+	+

【図22】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 Q
G 0 9 G	3/20	6 8 0 G

(56)参考文献 特開平05-313612 (JP, A)

特開平04-143791 (JP, A)

特開2002-108312 (JP, A)

特開2000-250494 (JP, A)

特開2002-099262 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/36

G02F 1/133

G09G 3/20

专利名称(译)	显示驱动装置和使用其的显示装置		
公开(公告)号	JP4108360B2	公开(公告)日	2008-06-25
申请号	JP2002125028	申请日	2002-04-25
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	坂口修久		
发明人	坂口 修久		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3696 G09G3/3614 G09G3/3655 G09G3/3688 G09G2310/027 G09G2320/0276 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.F G09G3/20.612.G G09G3/20.621.B G09G3/20.621.M G09G3/20.623.F G09G3/20.624.E G09G3/20.641.C G09G3/20.641.Q G09G3/20.680.G		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA43 2H093/NA52 2H093/NC03 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC34 2H093/ND06 2H093/ND07 2H093/ND34 2H093/ND43 2H093/ND50 2H093/ND53 2H093/ND54 2H093/ND58 2H193/ZA04 2H193/ZC04 2H193/ZD22 2H193/ZF03 2H193/ZH40 5C006/AA16 5C006/AA22 5C006/AC26 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF61 5C006/AF68 5C006/AF69 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF14 5C006/BF24 5C006/BF25 5C006/BF43 5C006/EB05 5C006/FA47 5C006/FA56 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
审查员(译)	福村 拓		
其他公开文献	JP2003316333A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够根据液晶材料和液晶面板的特性容易地改变伽玛特性的显示驱动装置，而不增加制造成本，并提供一种显示驱动装置，其中显示驱动装置用来。解决方案：在源极驱动器2中，其设置有产生等于灰度数的参考电压的灰度电压产生电路17和D/A转换器电路18，D/A转换器电路18从参考电压中选择对应于显示数据的参考电压。输出它并将灰度显示的电压施加到有源矩阵系统的显示板的数据信号线，电阻分压电路412,413用于产生等于具有存在于上限电压VH和之间的电压值的灰度数的参考电压。用于产生上限电压VH和下限电压VL的下限电压VL和调节电路416设置在灰度电压产生电路17中。然后，由电子容量调节的参考电压Vref由电子容量调节。电路17的外部被提供给调节电路416和两个上限电压VH和基于参考电压Vref改变下限电压VL。Z

極性反転用信号REV	セレクタ回路
“Low”	正極性V+0~V+63
“High”	負極性V-0~V-63