

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4092132号
(P4092132)

(45) 発行日 平成20年5月28日 (2008. 5. 28)

(24) 登録日 平成20年3月7日 (2008. 3. 7)

(51) Int. Cl.

F I

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36 (2006.01)

H04N 5/66 (2006.01)

H01L 51/50 (2006.01)

G09G 3/20 633B

G09G 3/20 611A

G09G 3/20 612P

G09G 3/20 633H

G09G 3/20 633U

請求項の数 2 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2002-127484 (P2002-127484)
 (22) 出願日 平成14年4月26日 (2002. 4. 26)
 (65) 公開番号 特開2003-323147 (P2003-323147A)
 (43) 公開日 平成15年11月14日 (2003. 11. 14)
 審査請求日 平成17年2月9日 (2005. 2. 9)

(73) 特許権者 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100090158
 弁理士 藤巻 正憲
 (74) 代理人 100095407
 弁理士 木村 満
 (72) 発明者 春原 誠
 東京都港区芝五丁目7番1号 日本電気株
 式会社内
 (72) 発明者 田島 章光
 東京都港区芝五丁目7番1号 日本電気株
 式会社内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

1 対又は複数対の画像データ用配線と、前記画像データ用配線の一端に接続され、画像データに基づいて前記画像データ用配線の各対のいずれか一方を基準電位端子に接続し他方を浮遊状態とすることにより前記画像データを出力する表示コントローラと、前記画像データ用配線他端に接続され、前記表示コントローラが画像データ出力中のときは前記1 対又は複数対の画像データ用配線のうち前記基準電位端子に接続された配線に電流を流すことにより前記画像データに基づいた1 対又は複数対の相補の電流信号を生成しこの電流信号に基づいて駆動信号を生成し、前記表示コントローラが画像データ出力停止中のときは前記画像データ用配線のいずれの配線にも電流を流さないソースドライバと、前記駆動信号に基づいて画像を表示する表示パネルと、1 対のクロック信号用配線と、を有し、前記表示コントローラは前記クロック信号用配線の一端に接続され、クロック信号に基づいて前記1 対のクロック信号用配線のいずれか一方を基準電位端子に接続し他方を浮遊状態とすることにより前記クロック信号を出力し、前記ソースドライバは前記クロック信号用配線他端に接続され、前記表示コントローラがクロック信号出力中のときは前記1 対のクロック信号用配線のうち前記基準電位端子に接続された配線に電流を流すことにより前記クロック信号に基づいた1 対の相補の電流信号を生成し、前記表示コントローラがクロック信号停止中のときは前記クロック信号用配線のいずれの配線にも電流を流さないものであり、前記ソースドライバは、前記1 対のクロック信号用配線のうち前記基準電位端子に接続された配線に電流を流すことにより前記クロック信号に基づいた1 対の相補の電流

信号を生成しこの電流信号に基づいて前記クロック信号を再生成するクロック信号変換回路と、このクロック信号変換回路が前記クロック信号に基づいた電流信号を生成しているか否かを検出するクロック信号停止検出回路と、を有し、前記検出結果によって前記表示コントローラがクロック信号出力中かクロック信号出力停止中かを判断することを特徴とする表示装置。

【請求項 2】

1 対又は複数対の画像データ用配線と、前記画像データ用配線の一端に接続され、画像データに基づいて前記画像データ用配線の各対のいずれか一方を基準電位端子に接続し他方を浮遊状態とすることにより前記画像データを出力する表示コントローラと、前記画像データ用配線の他端に接続され、前記表示コントローラが画像データ出力中のときは前記 1 対又は複数対の画像データ用配線のうち前記基準電位端子に接続された配線に電流を流すことにより前記画像データに基づいた 1 対又は複数対の相補の電流信号を生成しこの電流信号に基づいて駆動信号を生成し、前記表示コントローラが画像データ出力停止中のときは前記画像データ用配線のいずれの配線にも電流を流さないソースドライバと、前記駆動信号に基づいて画像を表示する表示パネルと、を有し、前記表示コントローラは、所定量の前記画像データを読み込みこの画像データを順次出力するタイミングコントロール回路と、このタイミングコントロール回路が 1 駆動タイミング前に読み込んだ所定量の画像データと現在読み込む所定量の画像データとを比較してその結果を前記タイミングコントロール回路に対して出力するデータ比較回路と、前記タイミングコントロール回路から出力された画像データに基づいて前記画像データ用配線の各対のいずれか一方を基準電位端子に接続し他方を浮遊状態とする画像データスイッチング回路と、を有し、前記タイミングコントロール回路は前記データ比較回路の比較結果に基づいて画像データ出力中か画像データ出力停止中かを示すレシーバ制御信号を出力し、前記ソースドライバは、前記レシーバ制御信号が画像データ出力中を示す場合には前記 1 対又は複数対の画像データ用配線のうち前記基準電位端子に接続された配線に電流を流すことにより前記画像データに基づいた 1 対又は複数対の相補の電流信号を生成しこの電流信号に基づいて前記画像データを再生成し、前記レシーバ制御信号が画像データ出力停止中であることを示す場合には前記基準電位端子に接続された画像データ用配線に電流を流すことを停止するものであり、前記データ比較回路が前記タイミングコントロール回路に 1 駆動タイミング前に読み込まれた所定量の画像データが現在読み込まれる所定量の画像データを反転したデータと等しいと判断した場合に、前記ソースドライバが 1 駆動タイミング前に出力した駆動信号を反転した信号を出力することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は信号伝送手段として電流を使用するマトリクス型表示装置及びその駆動方法に関し、特に、消費電力の低減を図った表示装置及びその駆動方法に関する。

【0002】

【従来の技術】

液晶表示装置及びプラズマディスプレイパネル（以下、PDPともいう）等のマトリクス型表示装置においては、画像データを順次出力する表示コントローラと、この表示コントローラから出力された画像データに基づいて表示パネルを駆動する駆動信号を生成するソースドライバと、この駆動信号により画像を表示する表示パネルとが設けられている。

【0003】

従来、このような表示装置においては、表示コントローラとソースドライバとの間の信号の伝送は、電源電位及び接地電位の 2 値からなる電圧信号により行われていた。しかしながら、電圧信号を高速化しようとする、伝送路の寄生容量により遅延が生じるため、電圧信号の高速化には限界がある。

【0004】

そこで、本出願人は、電流により信号を伝送する技術を開発し、特開 2001-0535

10

20

30

40

50

98号公報において開示した。この技術により、伝送路の寄生容量の影響を抑制し、信号の高速化を図ることができる。また、この特開2001-053598号公報において、送信部に電源を設けず、受信部に電源を設ける技術も開示した。これにより、受信部の個数が変化しても、送信部の仕様を変更する必要がなく、送信部の設計が容易になる。

【0005】

具体的には、送信部と受信部との間に信号を伝送する1対の配線を設け、送信部において、送信したい信号に基づいて、前記配線の一方を接地電極に接続し、他方を浮遊状態（高インピーダンス状態）にする。これにより、受信部に設けられた電源から接地電極に接続されている配線に電流が流れ、他方の配線には電流が流れない。この結果、前記1対の配線により相補的な信号を伝送することができる。本出願人は、この伝送方式をCMADS (Current Mode Advanced Differential Signaling：差動電流転送) と命名した。

10

【0006】

図15は、このCMADSを適用した従来の液晶表示装置を示すブロック図である。図15に示すように、この従来の液晶表示装置においては、表示コントローラ101、ソースドライバ102及び液晶パネル103が設けられている。また、表示コントローラ101とソースドライバ102との間には、2対の配線104a及び104b並びに105a及び105bが設けられている。

【0007】

表示コントローラ101は外部からデジタルの2値電圧信号である画像データが入力され、この画像データを1ライン分ずつ出力するものである。表示コントローラ101においては、表示データメモリ106、タイミングコントロール回路107、画像データ用V-I変換回路108及びクロック信号用V-I変換回路109が設けられている。表示データメモリ106は、外部から画像データが入力され、1画面分の画像データを保持するものである。タイミングコントロール回路107は、表示データメモリ106から1ライン分の画像データを読み出すと共に、クロック信号用V-I変換回路109に対してクロック信号を出力し、このクロック信号に同期して前記1ライン分の画像データを画像データ用V-I変換回路108に対して順次出力するものである。画像データ用V-I変換回路108は1対の配線104a及び104bの一端に接続されており、画像データに基づいて配線104a及び104bのいずれか一方を接地電極に接続し、他方を浮遊状態とするものである。クロック信号用V-I変換回路109は1対の配線105a及び105bの一端に接続されており、クロック信号に基づいて1対の配線105a及び105bのいずれか一方を接地電極に接続し、他方を浮遊状態とするものである。

20

30

【0008】

また、ソースドライバ102には、画像データ用I-V変換回路121、クロック信号用I-V変換回路122、シフトレジスタ123、データラッチ回路124、階調選択回路125及び出力回路126が設けられている。画像データ用I-V変換回路121は、1対の配線104a及び104bの他端に接続されており、画像データ用V-I変換回路108が配線104a又は104bを接地電極に接続すると、この接地電極に接続された配線に電流を流し、1対の配線104a及び104bに相補的な電流信号を発生させ、これにより、画像データ用V-I変換回路108から画像データを電流信号として受信するものである。そして、この電流信号に基づいて、画像データを2値電圧信号に再変換し、データラッチ回路124に対して出力するものである。クロック信号用I-V変換回路122は、1対の配線105a及び105bの他端に接続されており、クロック信号用V-I変換回路109が配線105a又は105bを接地電極に接続すると、この接地電極に接続された配線に電流を流し、1対の配線105a及び105bに相補的な電流信号を発生させ、これにより、クロック信号用V-I変換回路109からクロック信号を電流信号として受信するものである。そして、この電流信号に基づいて、クロック信号を2値電圧信号に再変換し、シフトレジスタ123に対して出力するものである。

40

【0009】

シフトレジスタ123は、クロック信号が入力されて、複数の出力端子からパルス信号を

50

順次データラッチ回路124に対して出力するものである。データラッチ回路124はこのパルス信号に同期して複数の画像データを取り込み、この複数の画像データを階調選択回路125に対して同時に出力するものである。階調選択回路125はDAコンバータであり、データラッチ回路124の出力信号をデジタルアナログ変換(D/A変換)してアナログの電圧信号である階調信号を出力回路126に対して出力するものである。この階調信号の電圧は、液晶パネル103の各画素に印加する電圧となっている。出力回路126は、この階調信号を電流増幅して駆動信号を生成し、液晶パネル103の各画素に対して出力するものである。

【0010】

更に、液晶パネル103においては、対向して配列された2枚の透明基板(図示せず)と、この透明基板間に挟持された液晶層(図示せず)と、2枚の透明基板の後方に配置されたバックライト(図示せず)とが設けられている。また、液晶パネル103においては、マトリクス状に画素(図示せず)が配列されている。

10

【0011】

次に、この従来の液晶表示装置の動作について説明する。まず、表示データメモリ106に2値の電圧信号である画像データが入力され、1画面分保持される。そして、タイミングコントロール回路107が表示データメモリ106から1ライン分の画像データを読み出すと共に、2値の電圧信号であるクロック信号をクロック信号用V-I変換回路109に対して出力する。また、タイミングコントロール回路107は、このクロック信号に同期して画像データを画像データ用V-I変換回路108に対して順次出力する。

20

【0012】

次に、画像データ用V-I変換回路108が、画像データに基づいて、1対の配線104a及び104bのうち一方を接地電極に接続すると共に、他方を浮遊状態とする。例えば、画像データがハイのとき、配線104aを接地電極に接続し、配線104bを浮遊状態とし、画像データがロウのとき、配線104aを浮遊状態とし、配線104bを接地電極に接続する。また、クロック信号用V-I変換回路109が、クロック信号に基づいて、1対の配線105a及び105bのうち一方を接地電極に接続すると共に、他方を浮遊状態とする。

【0013】

これにより、画像データ用I-V変換回路121が、1対の配線104a及び104bのうち接地電極に接続されている配線に電流を流す。この電流は画像データ用I-V変換回路121から、配線104a又は104bを介して、接地電極に流れる。一方、浮遊状態にある配線には電流が流れない。この結果、電圧信号である画像データが相補的な1対の電流信号に変換され、1対の配線104a及び104bを介して、画像データ用V-I変換回路108から画像データ用I-V変換回路121に伝送される。そして、画像データ用I-V変換回路121は、この電流信号を2値電圧信号に再変換して画像データを再生成し、データラッチ回路124に対して出力する。

30

【0014】

同様に、クロック信号用I-V変換回路122が、1対の配線105a及び105bのうち接地電極に接続されている配線に電流を流す。一方、浮遊状態にある配線には電流が流れない。この結果、電圧信号であるクロック信号が相補的な1対の電流信号に変換され、1対の配線105a及び105bを介して、クロック信号用V-I変換回路109からクロック信号用I-V変換回路122に伝送される。そして、クロック信号用I-V変換回路122は、この電流信号を2値電圧信号に再変換してクロック信号を再生成し、シフトレジスタ123に対して出力する。

40

【0015】

そして、シフトレジスタ123がクロック信号用I-V変換回路122からクロック信号を取り込み、複数の出力端子からパルス信号を順次データラッチ回路124に対して出力する。そして、データラッチ回路124がこのパルス信号に同期して複数の画像データを画像データ用I-V変換回路121から取り込み、この複数の画像データを階調選択回路

50

125に対して同時に出力する。次に、階調選択回路125がこの出力信号をD/A変換してアナログの電圧信号である階調信号を生成し、出力回路126に対して出力する。次に、出力回路126が、この階調信号を電流増幅して駆動信号を生成し、液晶パネル103の各画素に印加する。

【0016】

一方、液晶パネル103においては、バックライトが各画素に対して光を照射する。そして、各画素の液晶層が印加される駆動信号の電圧に応じて光の透過率を変化させ、液晶パネル103全体として画像を形成する。

【0017】

【発明が解決しようとする課題】

しかしながら、上述の従来技術には、以下に示すような問題点がある。近時、特に携帯電話等の小型表示装置においては、減色モード等の画像データ量を節約する機能が標準的に搭載されている。これは、例えば26万色の画像データを8色に減色することにより、画像データ量を18ビットから3ビットに低減するものである。また、画像データを符号化して圧縮する技術も一般的に使用されつつある。

【0018】

このように、画像データ量を低減する場合は、表示コントローラとソースドライバとの間の信号転送において、画像を表示するために必要なデータ以外は、ダミー転送を行っている。このとき、従来のように画像データを電圧信号により伝送する場合は、画像データ量を低減することにより、消費電力を低減することができる。しかしながら、上述のように画像データを電流信号により伝送する場合は、ダミー転送を行っている間も、表示コントローラとソースドライバとの間の配線に電流が流れ続けるため、消費電力を低減する効果が得られないという問題点がある。

【0019】

本発明はかかる問題点に鑑みてなされたものであって、信号伝達の高速化及び消費電力の低減を図ることができる表示装置及びその駆動方法を提供することを目的とする。

【0020】

【課題を解決するための手段】

本発明に係る表示装置は、1対又は複数対の画像データ用配線と、前記画像データ用配線の一端に接続され、画像データに基づいて前記画像データ用配線の各対のいずれか一方を基準電位端子に接続し他方を浮遊状態とすることにより前記画像データを出力する表示コントローラと、前記画像データ用配線他端に接続され、前記表示コントローラが画像データ出力中のときは前記1対又は複数対の画像データ用配線のうち前記基準電位端子に接続された配線に電流を流すことにより前記画像データに基づいた1対又は複数対の相補の電流信号を生成しこの電流信号に基づいて駆動信号を生成し、前記表示コントローラが画像データ出力停止中のときは前記画像データ用配線のいずれの配線にも電流を流さないソースドライバと、前記駆動信号に基づいて画像を表示する表示パネルと、1対のクロック信号用配線と、を有し、前記表示コントローラは前記クロック信号用配線の一端に接続され、クロック信号に基づいて前記1対のクロック信号用配線のいずれか一方を基準電位端子に接続し他方を浮遊状態とすることにより前記クロック信号を出力し、前記ソースドライバは前記クロック信号用配線他端に接続され、前記表示コントローラがクロック信号出力中のときは前記1対のクロック信号用配線のうち前記基準電位端子に接続された配線に電流を流すことにより前記クロック信号に基づいた1対の相補の電流信号を生成し、前記表示コントローラがクロック信号停止中のときは前記クロック信号用配線のいずれの配線にも電流を流さないものであり、前記ソースドライバは、前記1対のクロック信号用配線のうち前記基準電位端子に接続された配線に電流を流すことにより前記クロック信号に基づいた1対の相補の電流信号を生成しこの電流信号に基づいて前記クロック信号を再生成するクロック信号変換回路と、このクロック信号変換回路が前記クロック信号に基づいた電流信号を生成しているか否かを検出するクロック信号停止検出回路と、を有し、前記検出結果によって前記表示コントローラがクロック信号出力中かクロック信号出力停止

10

20

30

40

50

中かを判断することを特徴とする。

【0021】

本発明においては、画像データに基づいた相補の電流信号を生成することにより、この電流信号が画像データ用配線を伝送する。これにより、画像データを高速で伝送することができる。また、前記表示コントローラが前記画像データに基づいて前記画像データ用配線の各対のいずれか一方を基準電位端子に接続し他方を浮遊状態としていないとき、即ち、画像データの出力が停止しているときは、画像データ用配線のいずれの配線にも電流を流さないことにより、消費電力を低減することができる。

【0023】

これにより、クロック信号に基づいた相補の電流信号を生成することにより、この電流信号がクロック信号用配線を伝送する。これにより、クロック信号を高速で伝送することができる。また、クロック信号の出力が停止しているときは、クロック信号用配線のいずれの配線にも電流を流さないことにより、消費電力を低減することができる。

【0026】

本発明に係る他の表示装置は、1対又は複数対の画像データ用配線と、前記画像データ用配線の一端に接続され、画像データに基づいて前記画像データ用配線の各対のいずれか一方を基準電位端子に接続し他方を浮遊状態とすることにより前記画像データを出力する表示コントローラと、前記画像データ用配線他端に接続され、前記表示コントローラが画像データ出力中のときは前記1対又は複数対の画像データ用配線のうち前記基準電位端子に接続された配線に電流を流すことにより前記画像データに基づいた1対又は複数対の相補の電流信号を生成しこの電流信号に基づいて駆動信号を生成し、前記表示コントローラが画像データ出力停止中のときは前記画像データ用配線のいずれの配線にも電流を流さないソースドライバと、前記駆動信号に基づいて画像を表示する表示パネルと、を有し、前記表示コントローラは、所定量の前記画像データを読み込みこの画像データを順次出力するタイミングコントロール回路と、このタイミングコントロール回路が1駆動タイミング前に読み込んだ所定量の画像データと現在読み込む所定量の画像データとを比較してその結果を前記タイミングコントロール回路に対して出力するデータ比較回路と、前記タイミングコントロール回路から出力された画像データに基づいて前記画像データ用配線の各対のいずれか一方を基準電位端子に接続し他方を浮遊状態とする画像データスイッチング回路と、を有し、前記タイミングコントロール回路は前記データ比較回路の比較結果に基づいて画像データ出力中か画像データ出力停止中かを示すレシーバ制御信号を出力し、前記ソースドライバは、前記レシーバ制御信号が画像データ出力中を示す場合には前記1対又は複数対の画像データ用配線のうち前記基準電位端子に接続された配線に電流を流すことにより前記画像データに基づいた1対又は複数対の相補の電流信号を生成しこの電流信号に基づいて前記画像データを再生成し、前記レシーバ制御信号が画像データ出力停止中であることを示す場合には前記基準電位端子に接続された画像データ用配線に電流を流すことを停止するものであり、前記データ比較回路が前記タイミングコントロール回路に1駆動タイミング前に読み込まれた所定量の画像データが現在読み込まれる所定量の画像データを反転したデータと等しいと判断した場合に、前記ソースドライバが1駆動タイミング前に出力した駆動信号を反転した信号を出力することを特徴とする。

【0028】

本発明においては、表示モードに応じて電流信号の周波数を調節することにより、画像データ量が少ない場合には電流信号の周波数を低くすることができる。

【0030】

また、前記表示パネルが液晶表示パネルであってもよく、プラズマディスプレイパネルであってもよく、有機EL (Electro Luminescence: エレクトロルミネセンス) 表示パネルであってもよい。

【0033】

【発明の実施の形態】

以下、本発明の実施例について添付の図面を参照して具体的に説明する。先ず、本発明の

10

20

30

40

50

第1の実施例について説明する。図1は本実施例に係る液晶表示装置を示すブロック図であり、図2は図1に示す液晶表示装置の画像データ用V-I変換回路を示す回路図であり、図3は図1に示す液晶表示装置の画像データ用I-V変換回路を示す回路図である。本実施例に係る液晶表示装置は、CMADSを適用した液晶表示装置である。

【0034】

図1に示すように、本実施例に係る液晶表示装置においては、表示コントローラ1、ソースドライバ2及び液晶パネル3が設けられている。また、表示コントローラ1とソースドライバ2との間には、2対の配線4a及び4b並びに5a及び5bが設けられ、更に、配線11が設けられている。なお、ソースドライバ2の数は液晶パネル3の大きさ及びソースドライバ2の性能に依存し、例えば、携帯電話等の小さい液晶パネルを備えた表示装置には1個のソースドライバが設けられており、大型ディスプレイには例えば10乃至12個程度のソースドライバが設けられている。

10

【0035】

表示コントローラ1は外部からデジタルの2値電圧信号として画像データが入力され、この画像データを画像の1ライン分ずつ出力するものであり、表示データメモリ6、タイミングコントロール回路7、画像データ用V-I変換回路8、クロック信号用V-I変換回路9及びモードレジスタ10が設けられている。表示データメモリ6は、外部から画像データが入力され、一定量の画像データ、例えば1画面分の画像データを保持するものである。モードレジスタ10は、例えば減色モード等の画像の表示モードに関するデータが入力され、この表示モードに応じて、制御信号を表示データメモリ6及びタイミングコントロール回路7に対して出力するものである。表示データメモリ6及びモードレジスタ10には入力端子が設けられている。

20

【0036】

タイミングコントロール回路7は、モードレジスタ10から出力される制御信号に基づいて表示データメモリ6から一定量の画像データ、例えば1ライン分の画像データを読み出すと共に、クロック信号用V-I変換回路9に対してクロック信号を出力し、このクロック信号に同期して前記制御信号に基づいて前記1ライン分の画像データを画像データ用V-I変換回路8に対して順次出力し、更に、クロック信号及び画像データが出力されているか否かを示すレシーバ制御信号を、配線11を通じてソースドライバ2に対して出力するものである。また、タイミングコントロール回路7は、ソースドライバ2を起動させる信号STHを出力する。信号STHは配線（図示せず）を通じてソースドライバ2に伝送される。

30

【0037】

図2に示すように、画像データ用V-I変換回路8においては、入力端子T1、2個のインバータINV1及びINV2、2個のNチャネル型MOSトランジスタQn9及びQn10、接地電極GND1及びGND2が設けられている。インバータINV1の入力端子は入力端子T1に接続され、出力端子はインバータINV2の入力端子及びトランジスタQn9のゲートに接続されている。インバータINV2の出力端子はトランジスタQn10のゲートに接続されている。また、トランジスタQn9のドレインは配線4aに接続され、ソースは接地電極GND1に接続されており、トランジスタQn10のドレインは配線4bに接続され、ソースは接地電極GND2に接続されている。

40

【0038】

クロック信号用V-I変換回路9の構成は、画像データ用V-I変換回路8の構成と同様であり、1対の配線5a及び5bの一端に接続されており、クロック信号に基づいて1対の配線5a及び5bのいずれか一方を接地電極（図示せず）に接続し、他方を浮遊状態とするものである。

【0039】

ソースドライバ2には、画像データ用I-V変換回路21、クロック信号用I-V変換回路22、シフトレジスタ23、データラッチ回路24、階調選択回路25及び出力回路26が設けられている。

50

【0040】

図3に示すように、画像データ用I-V変換回路21においては、バイアス端子T2、配線4aに接続された入力端子T3、配線4bに接続された入力端子T4、配線11に接続された入力端子T5及び出力端子T6が設けられている。また、画像データ用I-V変換回路21には、Pチャネル型MOSトランジスタQp1～Qp6、Nチャネル型MOSトランジスタQn1～Qn8、2出力のNANDゲートNAND1及びNAND2、インバータINV3が設けられている。トランジスタQp5により電流検出部27が構成され、トランジスタQp6、Qn7、Qn8により電位制御部28が構成され、トランジスタQp1、Qn1、Qp3、Qn3により第1電流供給部が構成され、トランジスタQp2、Qn2、Qp4、Qn4により第2電流供給部が構成されている。トランジスタQp1乃至Qp4の夫々により定電流源が構成され、トランジスタQn1～Qn4の夫々によりスイッチングトランジスタが構成されている。即ち、各電流供給部には1対の定電流源及びスイッチングトランジスタが設けられている。また、NANDゲートNAND1及びNAND2並びにインバータINV3によりRSラッチ回路29が構成されている。

10

【0041】

トランジスタQp5のソース並びにトランジスタQn7及びQn8のゲートは、電源電極VDD1に接続されている。トランジスタQp5、Qn5、Qn6のゲートはバイアス端子T2に接続されている。トランジスタQp5のドレイン並びにトランジスタQp1～Qp4及びQp6のソースはノードNcに接続されている。

20

【0042】

トランジスタQn5、Qn6、Qn8のソース及びトランジスタQp6のゲートは、スイッチS1に接続されており、スイッチS1は接地電極GND3又は電源電極VDD2に接続されるようになっている。即ち、スイッチS1は、配線11及び入力端子T5を通じて入力されたレシーバ制御信号により、トランジスタQn8のソースを、接地電極GND3に接続するか電源電極VDD2に接続するかを選択するようになっている。トランジスタQn8のソースを接地電極GND3に接続することにより、第1電流供給部及び第2電流供給部が機能し、第1電流供給部及び第2電流供給部のどちらかに電流が流れる。トランジスタQn8のソースを電源電極VDD2に接続することにより、第1電流供給部及び第2電流供給部の機能が停止し、第1電流供給部及び第2電流供給部の双方に電流が流れなくなる。なお、第1電流供給部及び第2電流供給部の機能を停止させる方法には他の方法もある。例えば、ノードNdを接地電極に接続してもよく、バイアス端子T2を電源電極に接続してもよい。

30

【0043】

トランジスタQp1及びQn1のドレインは、トランジスタQp1及びQp2のゲートに接続されている。トランジスタQn1～Qn4のゲート並びにトランジスタQp6及びQn7のドレインは、ノードNdに接続されている。トランジスタQn1及びQn3のソース並びにトランジスタQn5のドレインは、入力端子T3に接続されている。トランジスタQn2及びQn4のソース並びにトランジスタQn6のドレインは、入力端子T4に接続されている。トランジスタQp2及びQn2のドレイン並びにRSラッチ回路29のリセット入力であるNANDゲートNAND1の一方の入力端子は、ノードNaに接続されている。

40

【0044】

トランジスタQp3及びQn3のドレイン並びにRSラッチ回路29のセット入力であるNANDゲートNAND2の一方の入力端子は、ノードNbに接続されている。トランジスタQp4及びQn4のドレインは、トランジスタQp3及びQp4のゲートに接続されている。トランジスタQn7のソースはトランジスタQn8のドレインに接続されている。NANDゲートNAND1の出力端子はNANDゲートNAND2の他方の入力端子及びインバータINV3の入力端子に接続されており、NANDゲートNAND2の出力端子はNANDゲートNAND1の他方の入力端子に接続されている。RSラッチ回路29の出力端子であるインバータINV3の出力端子は、画像データ用I-V変換回路21

50

の出力端子T 6となっている。なお、ノードN a、N b、N c、N dの電位を夫々電位V a、V b、V c、V dとする。

【0045】

図1に示すクロック信号用I-V変換回路22の構成は、画像データ用I-V変換回路21の構成と同様であり、1対の配線5a及び5b並びに配線11に接続されている。

【0046】

シフトレジスタ23は、クロック信号用I-V変換回路22からクロック信号が入力されて、複数の出力端子(図示せず)からパルス信号を順次データラッチ回路24に対して出力するものである。シフトレジスタ23には、クロック信号の取り込みを開始するための信号S THも入力されるようになっている。データラッチ回路24はこのパルス信号に同期して、画像データ用I-V変換回路21から複数の画像データを取り込み、この複数の画像データを階調選択回路25に対して同時に出力するものである。階調選択回路25はD/Aコンバータであり、データラッチ回路24の出力信号をD/A変換してアナログの電圧信号である階調信号を生成し、これを出力回路26に対して出力するものである。この階調信号の電圧は液晶パネル3の各画素に印加する電圧となっている。出力回路26は、この階調信号を電流増幅して駆動信号を生成し、液晶パネル3の各画素に対して出力するものである。

10

【0047】

更に、液晶パネル3においては、対向して配列された2枚の透明基板(図示せず)と、この透明基板間に挟持された液晶層(図示せず)と、2枚の透明基板の後方に配置されたバックライト(図示せず)とが設けられている。また、液晶パネル3においては、マトリクス状に画素(図示せず)が配列されている。なお、1画素は、例えばR B Gの3セルにより形成されている。

20

【0048】

次に、本実施例に係る液晶表示装置の駆動方法について説明する。図4は本実施例に係る液晶表示装置の駆動方法を示すタイミングチャートであり、図5は本実施例に係る液晶表示装置の画像データ用V-I変換回路8及び画像データ用I-V変換回路21の動作を示すタイミングチャートである。

【0049】

図1及び図4に示すように、先ず、表示コントローラ1の表示データメモリ6に2値の電圧信号である画像データが入力され、表示データメモリ6が例えば1画面分の画像データを保持する。また、モードレジスタ10には画像の表示モードを示す信号が入力され、モードレジスタ10がこの表示モードに応じて表示データメモリ6及びタイミングコントロール回路7に対して制御信号を出力する。なお、表示モードには、26万色で画像を表示する通常モード、及び例えば8色で画像を表示する減色モードがある。

30

【0050】

次に、タイミングコントロール回路7が、モードレジスタ10から出力された制御信号に基づいて、表示データメモリ6から1ライン分の画像データを読み出すと共に、2値の電圧信号であるクロック信号をクロック信号用V-I変換回路9に対して出力する。また、タイミングコントロール回路7は、このクロック信号に同期して画像データを画像データ用V-I変換回路8に対して順次出力する。タイミングコントロール回路7は、図4に示すように、表示モードが通常モードであるときは、26万色分の画像データを順次出力し、表示モードが例えば8色の減色モードであるときは、8色分の画像データをまとめて出力し、余った時間はクロック信号及び画像データの出力を停止する。そして、タイミングコントロール回路7は、クロック信号及び画像データが出力されているか否かを示すレシーバ制御信号を、配線11を通じてソースドライバ2に対して出力する。このレシーバ制御信号は2値の電圧信号であり、例えば、クロック信号及び画像データが出力されているときはロウ(L)になっており、出力されていないときはハイ(H)になっている。

40

【0051】

次に、図2及び図5に示すように、画像データ用V-I変換回路8が、タイミングコント

50

ロール回路 7 から入力される画像データに基づいて、1 対の配線 4 a 及び 4 b のうち一方を接地電極に接続すると共に、他方を浮遊状態とする。例えば、入力端子 T 1 に入力される画像データがハイのとき、インバータ I N V 1 の出力端子がロウになり、トランジスタ Q n 9 のゲートがロウになり、トランジスタ Q n 9 のソースドレイン間がオフになる。これにより、配線 4 a が浮遊状態となる。また、インバータ I N V 2 の出力端子がハイになり、トランジスタ Q n 1 0 のゲートがハイになり、トランジスタ Q n 1 0 のソースドレイン間がオンになる。これにより、配線 4 b が接地電極 G N D 2 に接続される。同様に、画像データがロウのときには、配線 4 a が接地電極 G N D 1 に接続され、配線 4 b が浮遊状態となる。

【0052】

また、クロック信号用 V-I 変換回路 9 が、クロック信号に基づいて、1 対の配線 5 a 及び 5 b のうち一方を接地電極に接続すると共に、他方を浮遊状態とする。クロック信号用 V-I 変換回路 9 の動作は画像データ用 V-I 変換回路 8 の動作と同様である。

【0053】

図 3 及び図 5 に示すように、画像データ用 I-V 変換回路 2 1 においては、タイミングコントロール回路 7 からクロック信号及び画像データが出力されているとき、スイッチ S 1 は接地電極 G N D 3 に接続される。そして、画像データがロウであり、配線 4 a が接地電極 G N D 1 に接続されて接地電位になり、配線 4 b が浮遊状態となりフローティング電位となる場合、トランジスタ Q n 1 及び Q n 3 のゲート・ソース間電圧が V d となりオンし、電圧 V d に基づく電流駆動能力を発揮する。これにより、トランジスタ Q p 1 及び Q p 3 が、電圧 V c に基づいた定電流動作により、入力端子 T 3、配線 4 a を経由して画像データ用 V-I 変換回路 8 の接地電極 G N D 1 に向けて電流を流す。このとき、電圧 V b はロウとなる。一方、配線 4 b には電流が流れない。即ち、第 1 電流供給部が電流を配線 4 a に供給し、第 2 電流供給部が配線 4 b への電流の供給を停止する。このとき、配線 4 a の電位は接地電位になり、配線 4 b の電位はフローティング電位であるが接地電位よりは 100~200mV 程度高い電位となる。

【0054】

また、トランジスタ Q n 2 及び Q n 4 は、ゲート・ソース間電圧がゼロになり、オフする。トランジスタ Q p 2 及び Q p 4 は、定電流動作により、電位 V a をハイにする。これにより、R S ラッチ回路 2 9 は、セット入力が高となり、リセット入力がロウとなる。

【0055】

バイアス端子 T 2 には、所定の値のバイアス電圧 V s が印加される。これにより、トランジスタ Q p 5、Q n 5、Q n 6 はゲート・ソース間電圧が V s になりオンし、電圧 V s に基づく電流駆動能力を発揮する。

【0056】

一方、画像データがハイであり、配線 4 a が浮遊状態となりフローティング電位になり、配線 4 b が接地電極 G N D 2 に接続されて接地電位になる場合、トランジスタ Q n 1 及び Q n 3 は、ゲート・ソース間電圧がゼロになりオフする。また、トランジスタ Q p 1 及び Q p 3 は、定電流動作により、電位 V b をハイレベルにする。また、トランジスタ Q p 2 及び Q n 4 は、ゲート・ソース間電圧が V d になりオンし、電圧 V d に基づく電流駆動能力を発揮する。これにより、トランジスタ Q p 2 及び Q p 4 が、電圧 V c に基づく定電流動作により、入力端子 T 4 及び配線 4 b を経由して画像データ用 V-I 変換回路 8 の接地電極 G N D 2 に向けて電流を流す。一方、配線 4 a には電流が流れない。即ち、第 1 電流供給部が配線 4 a への電流の供給を停止し、第 2 電流供給部が配線 4 b に電流を供給する。このとき、配線 4 b の電位は接地電位になり、配線 4 a の電位はフローティング電位であるが接地電位よりは 100~200mV 程度高い電位となる。また、このとき、電圧 V a はロウとなる。これにより、R S ラッチ回路 2 9 は、セット入力が高となり、リセット入力が高となる。

【0057】

このように、画像データに基づいて配線 4 a 又は 4 b に電流が流れることにより、1 対の

10

20

30

40

50

配線 4 a 及び 4 b に、画像データに基づいた相補的な電流信号が発生する。これにより、画像データ用 V-I 変換回路 8 に入力された 2 値電圧信号である画像データが相補的な電流信号に変換され、この電流信号が 1 対の配線 4 a 及び 4 b を経由して画像データ用 V-I 変換回路 8 から画像データ用 I-V 変換回路 2 1 に伝送される。例えば、画像データがハイのときは、配線 4 a には電流が流れず、配線 4 b に電流が流れる。また、画像データがロウのときは、配線 4 a に電流が流れ、配線 4 b には電流が流れない。

【0058】

また、RS ラッチ回路 2 9 は、セット入力又はリセット入力が高レベルからロウレベルに変化するときに、保持する値を決定する。セット入力が高レベルからロウレベルに変化するときに、出力端子 T 6 の値はハイになり、リセット入力が高レベルからロウレベルに変化するときに、出力端子 T 6 の値はロウになる。この結果、画像データ用 I-V 変換回路 2 1 は、1 対の配線 4 a 及び 4 b に流れる電流信号を 2 値の電圧信号に変換し、画像データを再生成する。そして、この再生成された画像データをデータラッチ回路 2 4 に対して出力する。

【0059】

また、タイミングコントロール回路 7 からクロック信号及び画像データが出力されていないときは、スイッチ S 1 は電源電極 VDD 2 に接続される。これにより、第 1 電流供給部及び第 2 電流供給部はその機能を停止し、配線 4 a 及び 4 b のいずれにも電流を流さない。

【0060】

なお、伝送する画像データの周波数が決まると、必要な電流量が決まる。この電流量はバイアス端子 T 2 を通じて入力されるバイアス信号に基づいて、電流検出部 2 7 が制御する。

【0061】

また、画像データ用 I-V 変換回路 2 1 と同様な動作により、クロック信号用 I-V 変換回路 2 2 が、1 対の配線 5 a 及び 5 b のうち接地電極に接続されている配線に電流を流す。一方、浮遊状態にある配線には電流が流れない。この結果、電圧信号であるクロック信号が相補的な 1 対の電流信号に変換され、クロック信号用 V-I 変換回路 9 からクロック信号用 I-V 変換回路 2 2 に伝送される。そして、クロック信号用 I-V 変換回路 2 2 は、この電流信号を 2 値電圧信号に再変換してクロック信号を再生成し、シフトレジスタ 2 3 に対して出力する。なお、タイミングコントロール回路 7 からクロック信号及び画像データが出力されていないときは、クロック信号用 I-V 変換回路 2 2 は配線 5 a 及び 5 b のいずれにも電流を流さない。

【0062】

そして、シフトレジスタ 2 3 がクロック信号用 I-V 変換回路 2 2 からクロック信号を取り込み、複数の出力端子からパルス信号を順次データラッチ回路 2 4 に対して出力する。そして、データラッチ回路 2 4 がこのパルス信号に同期して画像データ用 I-V 変換回路 2 1 から複数の画像データを取り込み、この複数の画像データを階調選択回路 2 5 に対して同時に出力する。次に、階調選択回路 2 5 がこの出力信号を D/A 変換してアナログの電圧信号である階調信号を生成し、出力回路 2 6 に対して出力する。次に、出力回路 2 6 が、この階調信号を電流増幅して駆動信号を生成し、液晶パネル 3 の各画素に印加する。

【0063】

一方、液晶パネル 3 においては、バックライトが各画素に対して光を照射する。そして、各画素に駆動信号が印加される。これにより、各画素の液晶層が駆動信号の電圧に応じて光の透過率を変化させ、液晶パネル 3 全体として画像を形成する。

【0064】

本実施例においては、表示コントローラ 1 とソースドライバ 2 との間の画像データ及びクロック信号の伝送を、電流信号により行っている。このため、配線の寄生容量の影響を抑制して、信号の伝送を高速化することができる。この結果、従来の電圧伝送方式では、例えば 18 ビットの画像データを伝送するためには、18 本の配線が必要であり、クロック信号伝送用の 1 本の配線と合わせて、合計 19 本の配線が必要であったが、本実施例によ

10

20

30

40

50

れば、画像データ及びクロック信号の伝送を高速化することができるため、画像データ伝送用の1対の配線及びクロック信号伝送用の1対の配線の合計4本の配線のみで画像データ及びクロック信号を伝送することができる。この結果、配線の数を実減し、液晶表示装置の回路部分を小型化することができる。

【0065】

また、前述の如く、配線対4a及び4b並びに5a及び5bにおいて、電圧の振幅が100乃至200mV程度と小さいため、信号の伝送に伴う雑音が小さい。更に、送信側、即ち表示コントローラ1ではなく、受信側、即ちソースドライバ2に電流電源を設けているため、ソースドライバ2の数が増加しても表示コントローラの仕様を変更する必要がなく、表示コントローラの設計が容易である。

10

【0066】

更にまた、本実施例においては、表示コントローラ1にモードレジスタ10を設け、タイミングコントロール回路7から画像データ及びクロック信号が出力されているか否かを示すレシーバ制御信号を出力することにより、画像データ及びクロック信号が出力されていないときには、画像データ用I-V変換回路21及びクロック信号用I-V変換回路22が配線4a及び4b並びに配線5a及び5bに電流を流すことを停止している。これにより、減色モード等の画像データが少ない表示モードを採用する場合に、画像データが伝送されていない期間中に配線に電流が流れることを停止することができる。この結果、消費電力の低減を図ることができる。

20

【0067】

次に、本発明の第2の実施例について説明する。図6は本実施例に係る液晶表示装置を示すブロック図である。図6に示すように、本実施例に係る液晶表示装置においては、前述の第1の実施例に係る液晶表示装置（図1参照）と比較して、表示コントローラ1aにおいてタイミングコントロール回路7の替わりにタイミングコントロール回路7aが設けられ、ソースドライバ2aにおいてCLK停止検出回路30が設けられている。また、配線11は設けられていない。本実施例の液晶表示装置における上記以外の構成は、前述の第1の実施例に係る液晶表示装置の構成と同じである。

【0068】

タイミングコントロール回路7aは、第1の実施例のタイミングコントロール回路7と比較して、レシーバ制御信号を出力しない点が異なっている。これ以外の構成及び動作は、タイミングコントロール回路7と同じである。また、CLK停止検出回路30は、クロック信号用I-V変換回路22に接続されており、クロック信号用I-V変換回路22にクロック信号に基づいた電流信号が入力されているか否かを検出し、その結果をレシーバ制御信号として、画像データ用I-V変換回路21及びクロック信号用I-V変換回路22に対して出力するものである。そして、クロック信号用I-V変換回路22にクロック信号に基づいた電流信号が入力されていない場合には、画像データ用I-V変換回路21が配線4a、4bに電流を流すことを停止させる。

30

【0069】

次に、本実施例に係る液晶表示装置の駆動方法について説明する。図7は本実施例に係る液晶表示装置の駆動方法を示すタイミングチャートである。なお、本実施例の駆動方法における前述の第1の実施例の駆動方法と同様な部分は、その詳細な説明を省略する。

40

【0070】

先ず、図6及び図7に示すように、前述の第1の実施例と同様に、表示データメモリ6が2値の電圧信号である画像データを保持する。また、モードレジスタ10が表示モードに応じて表示データメモリ6及びタイミングコントロール回路7aに対して制御信号を出力する。

【0071】

次に、タイミングコントロール回路7aが、この制御信号に基づいて、表示データメモリ6から1ライン分の画像データを読み出すと共に、2値の電圧信号であるクロック信号をクロック信号用V-I変換回路9に対して出力する。また、タイミングコントロール回路

50

7 aは、このクロック信号に同期して画像データを画像データ用V-I変換回路8に対して順次出力する。このとき、表示モードが例えば8色の減色モードであるときは、図7に示すように、8色分の画像データをまとめて出力し、余った時間はクロック信号及び画像データの出力を停止する。なお、タイミングコントロール回路7 aは、第1の実施例のタイミングコントロール回路7と異なり、レシーバ制御信号は出力しない。

【0072】

次に、画像データ用V-I変換回路8が、タイミングコントロール回路7 aから入力される画像データに基づいて、1対の配線4 a及び4 bのうち一方を接地電極に接続すると共に、他方を浮遊状態とする。同様に、クロック信号用V-I変換回路9が、クロック信号に基づいて、1対の配線5 a及び5 bのうち一方を接地電極に接続すると共に、他方を浮遊状態とする。

10

【0073】

画像データ用I-V変換回路21においては、タイミングコントロール回路7 aからクロック信号及び画像データが出力されているとき、スイッチS1は接地電極GND3に接続される。そして、前述の第1の実施例と同様な動作により、配線4 a及び4 bのうち接地電極に接続されている配線に電流を流す。これにより、電圧信号である画像データを相補の1対の電流信号に変換して受信すると共に、この電流信号を再び電圧信号に変換して画像データを再生成する。同様に、クロック信号用I-V変換回路22がクロック信号を受信して再生成する。

20

【0074】

このとき、CLK停止検出回路30が、クロック信号用I-V変換回路22にクロック信号に基づく電流信号が入力されているか否かを検出し、その結果をレシーバ制御信号として画像データ用I-V変換回路21のスイッチS1（図3参照）に対して出力する。そして、クロック信号用I-V変換回路22に電流信号が入力されていない場合には、画像データ用I-V変換回路21のスイッチS1（図3参照）を切り替えて、トランジスタQn8のソースを電源電極VDD2に接続する。これにより、画像データ用I-V変換回路21が配線4 a及び4 bに電流を流すことを停止させる。なお、CLK停止検出回路30が、クロック信号用I-V変換回路22にクロック信号に基づく電流信号が入力されているか否かを検出するために、クロック信号用I-V変換回路22は、配線5 a及び5 bのいずれかに常に電流を流し続ける。

30

【0075】

以後の工程は、前述の第1の実施例と同じである。即ち、シフトレジスタ23がクロック信号を取り込み、データラッチ回路24が画像データを取り込み、この画像データを階調選択回路25に対して出力する。次に、階調選択回路25がこの出力信号をD/A変換してアナログの電圧信号である階調信号を生成し、出力回路26に対して出力する。次に、出力回路26が、この階調信号を電流増幅して駆動信号を生成し、液晶パネル3の各画素に印加する。そして、液晶パネル3が画像を表示する。

【0076】

本実施例においては、受信側、即ち、ソースドライバ2 aにCLK停止検出信号30を設け、クロック信号が停止しているか否かの判断をこのCLK停止検出信号30が行っている。これにより、レシーバ制御信号を表示コントローラ1 aとソースドライバ2 aとの間で伝送させることが不要になる。この結果、本実施例においては、前述の第1の実施例の効果に加えて、レシーバ制御信号を伝送するための配線（図1に示す配線11に相当）が不要になるという効果がある。

40

【0077】

次に、本発明の第3の実施例について説明する。図8は本実施例に係る液晶表示装置を示すブロック図である。図8に示すように、本実施例に係る液晶表示装置においては、前述の第1の実施例に係る液晶表示装置（図1参照）と比較して、表示コントローラ1 bにおいて、タイミングコントロール回路7の替わりにタイミングコントロール回路7 bが設けられ、データ比較回路12が設けられている。また、モードレジスタは設けられていない

50

。本実施例の液晶表示装置における上記以外の構成は、前述の第1の実施例に係る液晶表示装置の構成と同じである。

【0078】

データ比較回路12は、表示データメモリ6及びタイミングコントロール回路7bに接続されており、タイミングコントロール回路7bが表示データメモリ6から読み込んだ画像データを保持し、この画像データとタイミングコントロール回路7bが次に表示データメモリ6から読み込む画像データとを比較し、その結果をタイミングコントロール回路7bに対して出力するものである。また、タイミングコントロール回路7bは、第1の実施例のタイミングコントロール回路7と比較して、データ比較回路12の出力信号が入力され、これに基づいて画像データ及びクロック信号の出力を停止する点が異なっている。これ以外の構成及び動作は、タイミングコントロール回路7と同じである。

10

【0079】

次に、本実施例に係る液晶表示装置の駆動方法について説明する。図9は本実施例に係る液晶表示装置の駆動方法を示すタイミングチャートである。なお、本実施例の駆動方法における前述の第1の実施例の駆動方法と同様な部分は、その詳細な説明を省略する。

【0080】

先ず、図8及び図9に示すように、表示データメモリ6が2値の電圧信号である画像データを保持する。次に、タイミングコントロール回路7bが、表示データメモリ6から一定量の画像データを読み出す。このとき、この画像データは、データ比較回路12に対しても出力され、データ比較回路12がこの画像データを記憶する。そして、次にタイミングコントロール回路7bが表示データメモリ6から一定量の画像データを読み出すときに、データ比較回路12が、この画像データと記憶されている1回前の画像データとを比較して、その結果をタイミングコントロール回路7bに対して出力する。このとき、データ比較回路12は、例えば1画素分の画像データを、この画素に隣接する画素の画像データと比較し、相互に等しいかどうかを判断する。

20

【0081】

そして、データ比較回路12が隣接する画素の画像データが相互に等しくないと判断した場合に、タイミングコントロール回路7bはクロック信号をクロック信号用V-I変換回路9に対して出力すると共に、このクロック信号に同期して画像データを画像データ用V-I変換回路8に対して順次出力する。また、データ比較回路12が隣接する画素の画像データが相互に等しいと判断した場合には、タイミングコントロール回路7bはクロック信号及び画像データの出力を停止する。更に、タイミングコントロール回路7bは、クロック信号及び画像データが出力されているか否かを示すレシーバ制御信号を、配線11を通じてソースドライバ2に対して出力する。

30

【0082】

以後の工程は、前述の第1の実施例と同様である。即ち、画像データ用V-I変換回路8が、画像データに基づいて、1対の配線4a及び4bのうち一方を接地電極に接続すると共に、他方を浮遊状態とする。同様に、クロック信号用V-I変換回路9が、クロック信号に基づいて、1対の配線5a及び5bのうち一方を接地電極に接続すると共に、他方を浮遊状態とする。

40

【0083】

そして、ソースドライバ2が、画像データに基づく1対の電流信号及びクロック信号に基づく1対の電流信号を生成する。このとき、レシーバ制御信号に基づき、タイミングコントロール回路7bが画像データ及びクロック信号を出力していないときは、電流信号の生成を停止する。そして、これらの電流信号に基づいて液晶パネル3の駆動信号を生成し出力する。また、電流信号の生成が停止されているときは、前回の駆動信号と同じ駆動信号を出力する。そして、液晶パネル3がこの駆動信号に基づいて画像を表示する。例えば、1画素がRGBの3表示素子から構成され、各表示素子を駆動するデータが夫々6ビットであり、1画素分のデータが18ビットであるとする、データラッチ回路24は18ビットのデータをラッチし、階調選択回路25はRGB各6ビットのデータから3つのアナ

50

ログ信号を生成し、出力回路 26 は RGB の 3 表示素子を駆動する。

【0084】

このように、本実施例においては、隣接する画素間で画像データが等しい場合には、画素データを圧縮し、画像データの伝送を停止することができる。また、画像データが伝送されないときには、電流信号の生成を停止する。これにより、全白表示等の均一な画像を表示する場合に、伝送する画像データ量を減らし、画像データを伝送しないときには電流を停止することにより、画像データの伝送に伴う電力の消費を抑制することができる。

【0085】

なお、本実施例においては、隣接する 1 画素間の画像データを比較する例を示したが、本発明はこれに限定されない。例えば、複数の画素からなる画素群の画像データを、この画素群と同数の画素からなりこの画素群に隣接する画素群の画像データと比較してもよく、1 ライン分の画像データをこのラインに隣接する次の 1 ライン分の画像データを比較してもよい。また、本実施例においては、隣接する画素間の画像データが同一である場合に、タイミングコントロール回路 7b が画像データ及びクロック信号の出力を停止する例を示したが、本発明はこれに限定されず、例えば、ある画素の画像データが、この画素に隣接する画素の画像データを反転した画像データに等しい場合に、タイミングコントロール回路 7b が画像データ及びクロック信号の出力を停止するようにしてもよい。これにより、白黒モードの場合等に画像データ量を低減することができる。また、これ以外の方法により画素データを符号化して画像データを圧縮し、余った時間に画像データ及びクロック信号の出力を停止してもよい。

【0086】

次に、本発明の第 4 の実施例について説明する。図 10 は本実施例に係る液晶表示装置を示すブロック図である。図 10 に示すように、本実施例に係る液晶表示装置においては、前述の第 1 の実施例に係る液晶表示装置（図 1 参照）と比較して、表示コントローラ 1c において、タイミングコントロール回路 7 の替わりにタイミングコントロール回路 7c が設けられている。また、タイミングコントロール回路 7c から出力されるレシーバ制御信号が、画像データ用 I-V 変換回路 21 のバイアス端子 T2（図 3 参照）及びクロック信号用 I-V 変換回路 22 のバイアス端子に入力されるようになっている。本実施例の液晶表示装置における上記以外の構成は、前述の第 1 の実施例に係る液晶表示装置の構成と同じである。

【0087】

タイミングコントロール回路 7c は、モードレジスタ 10 から出力される制御信号に基づいて表示データメモリ 6 から一定量の画像データを読み出すと共に、クロック信号用 V-I 変換回路 9 に対してクロック信号を出力し、このクロック信号に同期して前記制御信号に基づいて所定量の画像データを画像データ用 V-I 変換回路 8 に対して順次出力するものである。このとき、タイミングコントロール回路 7c は、モードレジスタ 10 から出力される制御信号に基づいて、画像データ及びクロック信号の周波数を調節する。即ち、表示モードが減色モードであり、通常モードのときと比較して画像データの量が少ない場合には、画像データ及びクロック信号の周波数を低くする。また、タイミングコントロール回路 7c は、画像データ及びクロック信号の周波数を示すレシーバ制御信号を、配線 11 を通じてソースドライバ 2 に対して出力する。また、画像データ用 I-V 変換回路 21 及びクロック信号用 I-V 変換回路 22 は、このレシーバ制御信号に基づいて、配線 4a、4b、5a、5b に流す電流の大きさを調整する。

【0088】

次に、本実施例に係る液晶表示装置の駆動方法について説明する。図 11 は本実施例に係る液晶表示装置の駆動方法を示すタイミングチャートであり、図 12 は、横軸に伝送する電流信号の最大周波数 f_{max} をとり、縦軸にこの最大周波数の電流信号を伝送するのに必要な定電流値をとって、電流信号の最大周波数と必要電流との関係を示すグラフ図である。なお、本実施例の駆動方法における前述の第 1 の実施例の駆動方法と同様な部分は、その詳細な説明を省略する。

【0089】

まず、図10及び図11に示すように、前述の第1の実施例と同様に、表示データメモリ6が2値の電圧信号である画像データを保持する。また、モードレジスタ10が表示モードに応じて表示データメモリ6及びタイミングコントロール回路7cに対して制御信号を出力する。

【0090】

次に、タイミングコントロール回路7cが、この制御信号に基づいて、表示データメモリ6から所定量の画像データを読み出すと共に、クロック信号をクロック信号用V-I変換回路9に対して出力する。また、タイミングコントロール回路7cは、このクロック信号に同期して画像データを画像データ用V-I変換回路8に対して順次出力する。このとき、画像データ量に応じて、画像データ及びクロック信号の周波数を調節する。即ち、表示モードが例えば8色の減色モードであるときは、転送期間を最大限使用して8色分の画像データを送れるように、即ち、余剰時間が最小限になるように、周波数を低くする。

10

【0091】

次に、画像データ用V-I変換回路8が、タイミングコントロール回路7cから入力される画像データに基づいて、1対の配線4a及び4bのうち一方を接地電極に接続すると共に、他方を浮遊状態とする。同様に、クロック信号用V-I変換回路9が、クロック信号に基づいて、1対の配線5a及び5bのうち一方を接地電極に接続すると共に、他方を浮遊状態とする。

【0092】

画像データ用I-V変換回路21においては、トランジスタQn8のソースが常に接地電極GND3に接続されるように、スイッチS1が固定されている。そして、前述の第1の実施例と同様な動作により、配線4a及び4bのうち接地電極に接続されている配線に電流を流す。これにより、電圧信号である画像データを相補の1対の電流信号に変換して受信すると共に、この電流信号を再び電圧信号に変換して画像データを再生成する。同様に、クロック信号用I-V変換回路22がクロック信号を受信して再生成する。

20

【0093】

このとき、図11に示すように、画像データ及びクロック信号の周波数は、伝送される画像データの量により変動し、例えば減色モードのときは周波数が低減する。図12に示すように、伝送される電流信号の周波数が低ければ、この電流信号を伝送するために必要な定電流値は低くなる。本実施例においては、表示モードが減色モード等の画像データ量が少ないモードであるときは、レシーバ制御信号により、画像データ用I-V変換回路21及びクロック信号用I-V変換回路22の定電流値を低減する。例えば、画像データ用I-V変換回路21において、レシーバ制御信号がバイアス端子T2を介して、電流検出部27に入力される。これにより、画像データ用I-V変換回路21の定電流値を調節することができる。以後の工程は、前述の第1の実施例と同じである。

30

【0094】

本実施例においては、タイミングコントロール回路7cが画像データ量に応じて画像データ及びクロック信号の周波数を調節し、この周波数に基づいて、画像データ用I-V変換回路21及びクロック信号用I-V変換回路22がその定電流値を調節することにより、画像データ量が少ない場合には、定電流値を低くすることができる。これにより、消費電力を低減することができる。

40

【0095】

なお、本実施例においては、前述の第3の実施例に示すように、画像データを符号化することにより、画像データ量の低減を図ってもよい。

【0096】

次に、本発明の第5の実施例について説明する。図13は、本実施例に係る液晶表示装置を示すブロック図である。図13に示すように、本実施例は1台の液晶表示装置内に複数のソースドライバ2dが設けられている場合の例である。本出願人は、複数の受信機を効率的に駆動する技術として、受信機間で順次駆動信号を伝送する技術を開発し、特開20

50

02-026231号公報において開示した。本実施例は、この技術と本発明とを組み合わせた例である。本実施例に係る液晶表示装置においては、1個の表示コントローラ1、複数のソースドライバ2d及び1個の液晶パネル3が設けられている。なお、表示コントローラ1とソースドライバ2dとの間には、配線4a、4b、5a、5b、11が設けられているが、図13においては、配線4a及び11のみを示し、配線4b、5a、5bは図示が省略されている。配線4b、5a、5bの配設位置は配線4aと同様である。各ソースドライバ2dは、液晶パネル3の一部の列の画素を駆動し、画像を表示するものである。そして、表示コントローラ1は、画像データ、クロック信号及びレシーバ制御信号を、複数のソースドライバ2dに対して並列に出力している。また、表示コントローラ1は、シフトレジスタ23（図1参照）の動作を開始させる信号STHを、表示コントローラ1に最も近い位置に配置されているソースドライバ2dのみに対して出力する。そして、信号STHが入力されたソースドライバ2dは、このソースドライバ2dの隣に配置されたソースドライバ2dに対して信号STHを出力するようになっていく。このようにして、全てのソースドライバ2dにおいて、順次信号STHが入力されるようになっていく。本実施例に係る液晶表示装置の上記以外の構成は、前述の第1の実施例に係る液晶表示装置の構成と同様である。

10

【0097】

次に、本実施例に係る液晶表示装置の駆動方法について説明する。前述の第1の実施例と同様な方法により、表示コントローラ1が画像データに基づいて、配線4a及び4bの一方を浮遊状態にすると共に、他方を接地電極に接続する。また、クロック信号に基づいて、配線5a及び5bの一方を浮遊状態にすると共に、他方を接地電極に接続する。これにより、表示コントローラ1は、全てのソースドライバ2dに対して、同時に画像データ及びクロック信号を出力する。

20

【0098】

また、表示コントローラ1は、信号STHを1のソースドライバ2dに対して出力する。そうすると、この信号STHが入力されたソースドライバ2dは動作を開始し、入力された画像データに基づいて液晶パネル3の所定の列に画像を表示する。このとき、他のソースドライバ2dは停止状態にあり、画像データが入力されても液晶パネル3を駆動することがない。

【0099】

そして、この1のソースドライバ2dに必要な画像データがすべて入力されると、このソースドライバ2dは隣に配置された他の1のソースドライバ2dに対して信号STHを出力し、それ自身は動作を停止する。これにより、新たに信号STHが入力されたソースドライバ2dが動作を開始し、画像データに基づいて液晶パネル3を駆動する。そして、更に隣のソースドライバ2dに対して信号STHを出力し、自分自身は動作を停止する。このようにして、全てのソースドライバ2dが順次1ずつ動作し、液晶パネル3を駆動する。これにより、液晶パネル3全体として画像が表示される。本実施例における上記以外の動作は、前述の第1の実施例と同様である。

30

【0100】

本実施例においては、複数のソースドライバが設けられている場合においても、同じ画像データが複数のソースドライバに取り込まれることなく、正しい画像を表示することができる。本実施例における上記以外の効果は、前述の第1の実施例の効果と同様である。

40

【0101】

次に、本発明の第6の実施例について説明する。図14は本実施例に係るプラズマディスプレイパネル（PDP）を示すブロック図である。本実施例は、本発明をPDPに適用した例である。

【0102】

図14に示すように、本実施例に係るPDPにおいては、映像信号処理回路51、データドライバ52及びパネル53が設けられている。また、映像信号処理回路51とデータドライバ52との間には、1対の配線54a及び54bが設けられている。映像信号処理回

50

路51においては、逆ガンマ処理ブロック32、誤差拡散又はディザブロック33、平均輝度レベル計算ブロック34、SFコーディングブロック35、フレームメモリ36、駆動制御ブロック37及びV-I変換回路43が設けられている。また、データドライバ52においては、I-V変換回路44及び内部回路45が設けられている。V-I変換回路43は配線54a及び54bの一端に接続されており、I-V変換回路44は配線54a及び54bの他端に接続されている。V-I変換回路43の構成は、前述の第1の実施例における画像データ用V-I変換回路8（図2参照）と同様であり、I-V変換回路44の構成は、前述の第1の実施例における画像データ用I-V変換回路21（図3参照）と同様である。更に、駆動制御ブロック37の出力信号がパネル53に入力するようになっている。

10

【0103】

次に、本実施例に係るPDPの駆動方法について説明する。先ず、図14に示すように、TV映像、PC画面等の映像信号である画像データ31が逆ガンマ処理ブロック32に入力される。逆ガンマ処理ブロック32は、この映像信号の階調解像度を高める。例えば、映像信号はR、B、Gが夫々8ビットの階調を持つ信号として逆ガンマ処理ブロック32に入力され、逆ガンマ処理ブロック32がこの映像信号を $y = x^{2.2}$ の形に非線形変換する。このとき、入力階調精度と出力階調精度とが同じである場合、階調値が小さい入力映像、例えば、階調値0、2、5等は全て0となり、階調の違いを表現できず、階調劣化が起こる。この階調劣化を防止するために、逆ガンマ処理ブロック32の出力は10ビットとすることが一般的である。逆ガンマ処理ブロック32はその出力信号（10ビット）を、誤差拡散又はディザブロック33に対して出力する。誤差拡散又はディザブロック33は、例えば、入力された映像信号の階調解像度10ビットのうち、下位2ビットを空間拡散させ、8ビットの信号として出力する。逆ガンマ処理及び誤差拡散又はディザ処理が施された映像信号は、平均輝度レベル計算ブロック34に入力され、平均輝度レベル計算ブロック34が映像の平均輝度レベル（Average Picture Level：APL）値38を計算し、駆動制御ブロック37及びSFコーディングブロック35に対して出力する。

20

【0104】

駆動制御ブロック37は、このAPL値8を映像の輝度を決定する維持パルス数に変換し、維持パルス出力41としてパネル53に対して出力する。また、サブフィールド（SF）コーディングブロック35が、パネル53において階調表現を行うため、映像信号をSFコーディングデータに変換して、フレームメモリ36に対して出力する。一般的には、8ビットの映像信号を12個のSFデータに変換する。フレームメモリ36は、この12個のSFデータを映像信号出力42に変換し、V-I変換回路43に対して出力する。V-I変換回路43は、2値の電圧信号である映像信号出力42に基づいて、1対の配線54a及び54bのうち、一方を接地電極（図示せず）に接続し、他方を浮遊状態とする。

30

【0105】

データドライバ52のI-V変換回路44は、1対の配線54a及び54bのうち接地電極に接続されている配線に電流を流す。これにより、I-V変換回路44は映像信号出力42を1対の相補的な電流信号に変換して受信し、この電流信号を電圧信号に変換して映像信号出力42を再生成する。また、映像信号出力42が伝送されていないときは、電流信号を停止する。そして、I-V変換回路44は、再生成された映像信号出力42を内部回路45に対して出力する。

40

【0106】

次に、内部回路45が映像信号出力42の転送タイミング及び転送速度を調整してパネル53のデータドライバ（図示せず）に対して転送する。これにより、パネル53は、映像信号出力42に基づいて、パネル53の各表示セル（図示せず）において書込放電を発生させて壁電荷の書込みを行い、各表示セルの発光／非発光を決定する。一方、維持パルス出力41はパネル53の維持ドライバ（図示せず）に転送され、各表示セルにおける書込放電後の維持放電のパルス数を決定する。通常、パルス間隔は一定であるため、各SF（サブフィールド）のパルス数は各SFの発光時間に対応する。これにより、各表示セルの

50

輝度が制御される。このようにして、映像信号出力 4 2 及び維持パルス出力 4 1 によって、パネル 5 3 を駆動して映像を表示する。

【0107】

本実施例においては、映像信号出力を映像信号処理回路 5 1 からデータドライバ 5 2 に転送する部分に、本発明の特徴である V-I 変換回路及び I-V 変換回路を使用している。これにより、高速データ転送を実現することができると共に、消費電力の低減を図ることができる。PDP は液晶表示装置と異なり、データ書き込み時間は輝度に寄与しないため、書き込み不良を起こさない範囲でデータ書き込みを高速化することができる。即ち、データ書き込み速度は、パネルへの書き込み不良が起こるまで高速化することができ、データ書き込み速度は、パネルの性能により決まる。但し、下位 SF においては多少の書き込み不良があっても目立たないため、ある程度書き込み不良を許容して、高速書き込みを行うこともできる。

10

【0108】

なお、PDP においては、液晶表示装置と異なり、1 SF 毎にデータを転送する。従って、前述の第 3 の実施例に示すような方法により、1 SF 分のデータ同士を比較して符号化し、データ量を低減することができる。特に、上位 SF のデータは、自然画においても大きくは変化しないため、データ量の低減を効果的に行うことができる。

【0109】

また、PDP においては、書き込み時間（転送時間）と発光時間とが別々に設定されている。従って、転送時間以外の時間、即ち、維持期間及び予備放電期間等においては、データの転送が行われない。従って、これらの時間において、レシーバ（I-V 変換回路）を停止させることができるため、消費電力の低減効果が大きい。

20

【0110】

なお、PDP においては、通常、1 のデータドライバが駆動する画素数は例えば 256 又は 192 である。パネルの 1 ラインの画素数が 640×3 色であるとする、192 個の画素を駆動するデータドライバは 10 個必要となる。従って、前述の第 5 の実施例に示すような方法により、10 個のデータドライバに並行してデータを転送することが好ましい。

【0111】

上述の第 1 乃至第 6 の実施例においては、本発明を液晶表示装置又は PDP に適用する例を示したが、本発明はこれに限定されず、有機 EL 表示パネル等、他のマトリクス型表示装置に適用することも可能である。

30

【0112】

【発明の効果】

以上詳述したように、本発明によれば、表示装置において、表示コントローラとソースドライバとの間で画像データを伝送するときには、画像データを電流信号により伝送し、画像データを伝送しないときには電流を停止することにより、信号伝達の高速化及び消費電力の低減を図ることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例に係る液晶表示装置を示すブロック図である。

40

【図 2】図 1 に示す液晶表示装置の画像データ用 V-I 変換回路を示す回路図である。

【図 3】図 1 に示す液晶表示装置の画像データ用 I-V 変換回路を示す回路図である。

【図 4】本実施例に係る液晶表示装置の駆動方法を示すタイミングチャートである。

【図 5】本実施例に係る液晶表示装置の画像データ用 V-I 変換回路及び画像データ用 I-V 変換回路の動作を示すタイミングチャートである。

【図 6】本発明の第 2 の実施例に係る液晶表示装置を示すブロック図である。

【図 7】本実施例に係る液晶表示装置の駆動方法を示すタイミングチャートである。

【図 8】本発明の第 3 の実施例に係る液晶表示装置を示すブロック図である。

【図 9】本実施例に係る液晶表示装置の駆動方法を示すタイミングチャートである。

【図 10】本発明の第 4 の実施例に係る液晶表示装置を示すブロック図である。

50

【図 1 1】本実施例に係る液晶表示装置の駆動方法を示すタイミングチャートである。

【図 1 2】横軸に伝送する電流信号の最大周波数 f_{max} をとり、縦軸にこの最大周波数の電流信号を伝送するのに必要な定電流値をとって、電流信号の最大周波数と必要電流との関係を示すグラフ図である。

【図 1 3】本発明の第 5 の実施例に係る液晶表示装置を示すブロック図である。

【図 1 4】本発明の第 6 の実施例に係るプラズマディスプレイパネル (PDP) を示すブロック図である。

【図 1 5】CMADS を適用した従来の液晶表示装置を示すブロック図である。

【符号の説明】

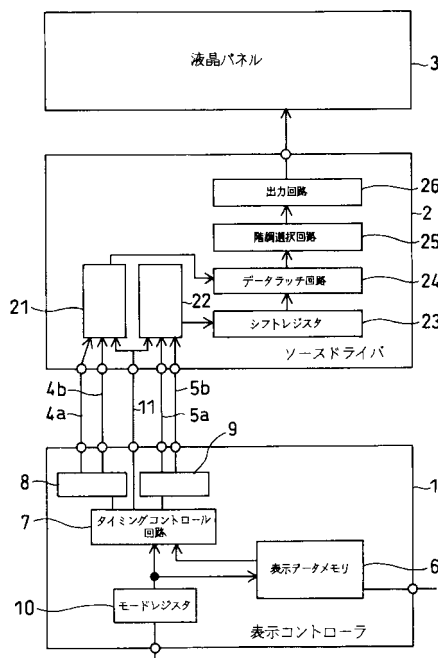
1、1 a、1 b、1 c ; 表示コントローラ	10
2、2 a、2 d ; ソースドライバ	
3 ; 液晶パネル	
4 a、4 b、5 a、5 b、1 1 ; 配線	
6 ; 表示データメモリ	
7、7 a、7 b、7 c ; タイミングコントロール回路	
8 ; 画像データ用 V-I 変換回路	
9 ; クロック信号用 V-I 変換回路	
1 0 ; モードレジスタ	
1 2 ; データ比較回路	
2 1 ; 画像データ用 I-V 変換回路	20
2 2 ; クロック信号用 I-V 変換回路	
2 3 ; シフトレジスタ	
2 4 ; データラッチ回路	
2 5 ; 階調選択回路	
2 6 ; 出力回路	
2 7 ; 電流検出部	
2 8 ; 電位制御部	
2 9 ; RS ラッチ回路	
3 0 ; CLK 停止検出回路	
3 1 ; 画像データ	30
3 2 ; 逆ガンマ処理ブロック	
3 3 ; 誤差拡散又はディザブロック	
3 4 ; 平均輝度レベル計算ブロック	
3 5 ; SF コーディングブロック	
3 6 ; フレームメモリ	
3 7 ; 駆動制御ブロック	
3 8 ; 平均輝度レベル (Average Picture Level : APL) 値	
4 1 ; 維持パルス出力	
4 2 ; 映像信号出力	
4 3 ; V-I 変換回路	40
4 4 ; I-V 変換回路	
4 5 ; 内部回路	
5 1 ; 映像信号処理回路	
5 2 ; データドライバ	
5 3 ; パネル	
5 4 a、5 4 b ; 配線	
1 0 1 ; 表示コントローラ	
1 0 2 ; ソースドライバ	
1 0 3 ; 液晶パネル	
1 0 4 a、1 0 4 b、1 0 5 a、1 0 5 b ; 配線	50

106 ; 表示データメモリ
 107 ; タイミングコントロール回路
 108 ; 画像データ用 V-I 変換回路
 109 ; クロック信号用 V-I 変換回路
 121 ; 画像データ用 I-V 変換回路
 122 ; クロック信号用 I-V 変換回路
 123 ; シフトレジスタ
 124 ; データラッチ回路
 125 ; 階調選択回路
 126 ; 出力回路
 GND1、GND2、GND3 ; 接地電極
 INV1、INV2、INV3 ; インバータ
 NAND1、NAND2 ; NANDゲート
 Na、Nb、Nc、Nd ; ノード
 Qn1~Qn10 ; Nチャンネル型MOSトランジスタ
 Qp1~Qp8 ; Pチャンネル型MOSトランジスタ
 S1 ; スイッチ
 STH ; 信号
 T1、T3、T4、T5 ; 入力端子
 T2 ; バイアス端子
 T6 ; 出力端子
 VDD1、VDD2 ; 電源電極

10

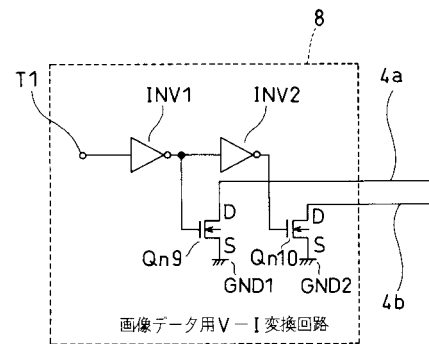
20

【図1】



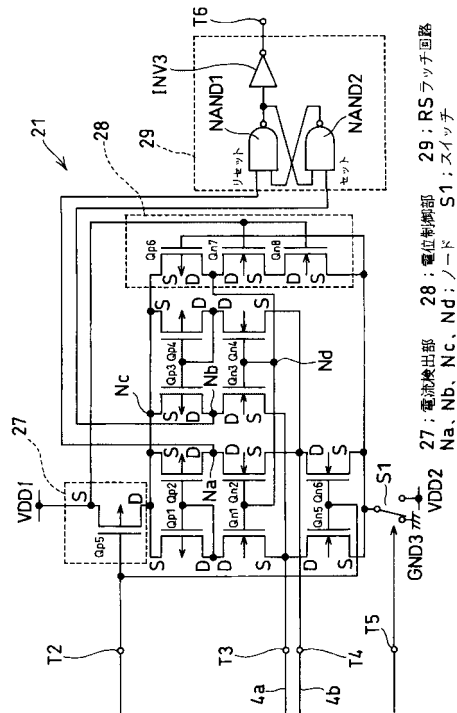
4a、4b、5a、5b、11 ; 配線
 8 ; 画像データ用 V-I 変換回路 9 ; クロック信号用 V-I 変換回路
 21 ; 画像データ用 I-V 変換回路 22 ; クロック信号用 I-V 変換回路

【図2】

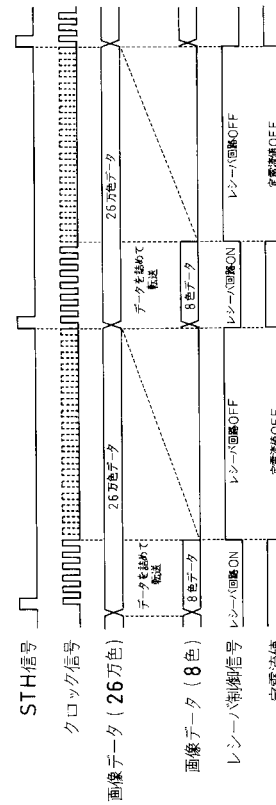


GND1、GND2 ; 接地電極 INV1、INV2 ; インバータ
 Qn9、Qn10 ; Nチャンネル型MOSトランジスタ T1 ; 入力端子

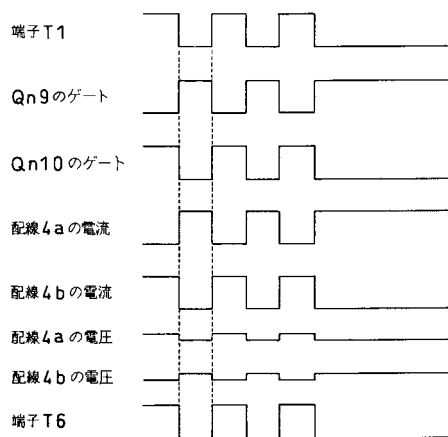
【図 3】



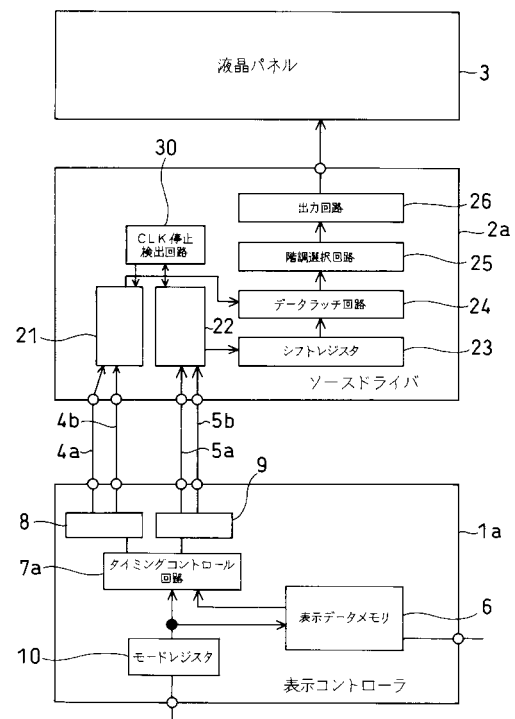
【図 4】



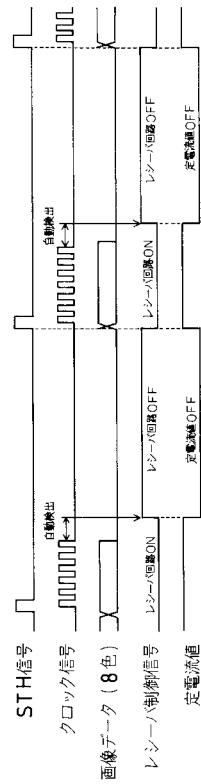
【図 5】



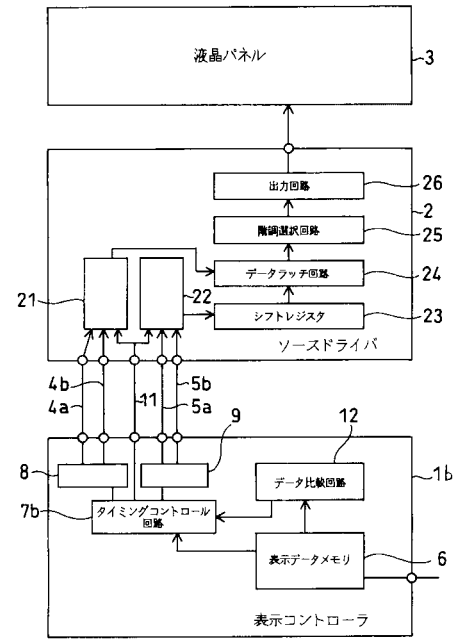
【図 6】



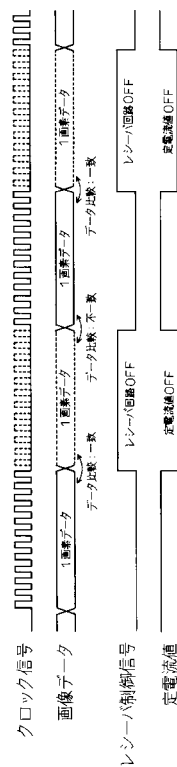
【図 7】



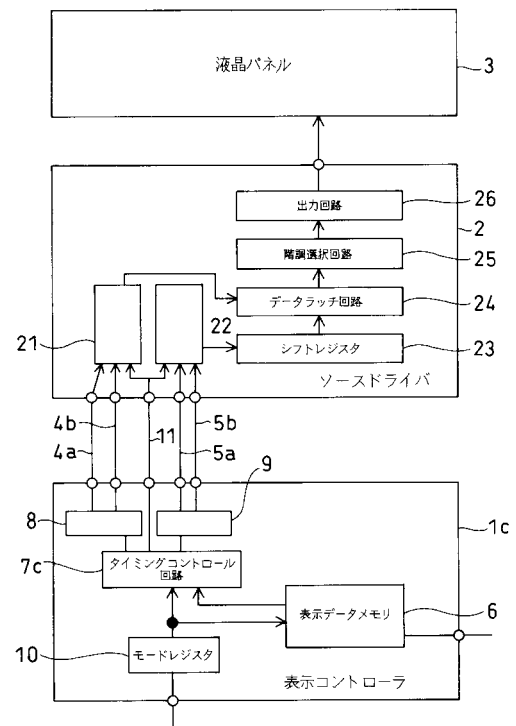
【図 8】



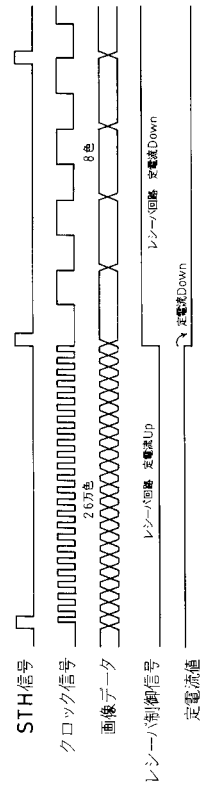
【図 9】



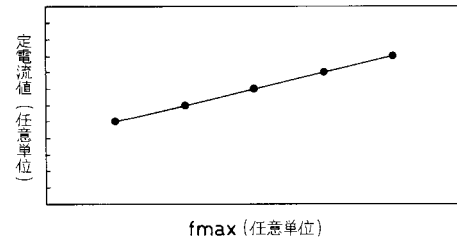
【図 10】



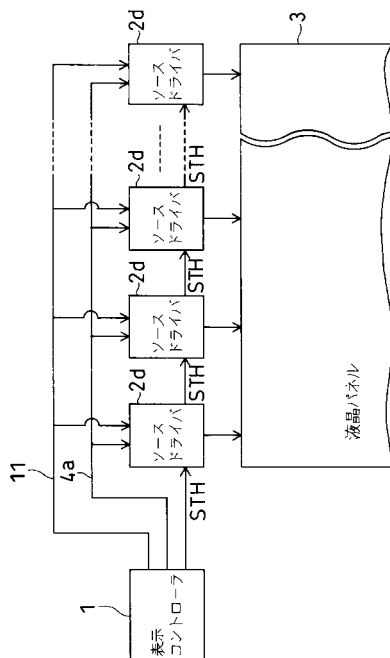
【図 1 1】



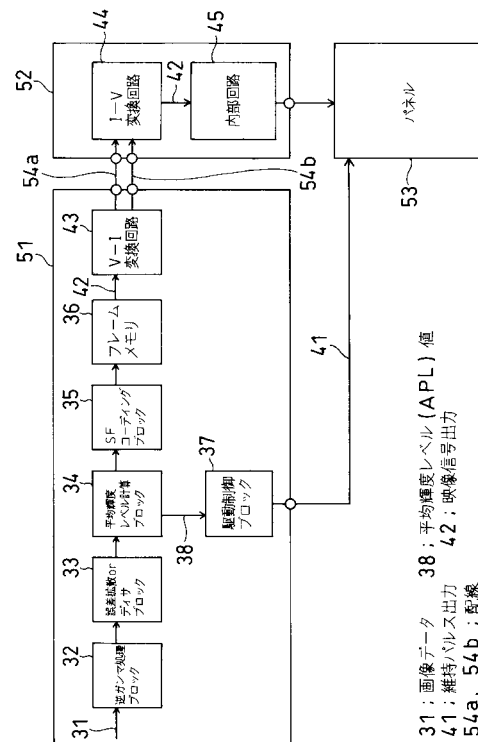
【図 1 2】



【図 1 3】

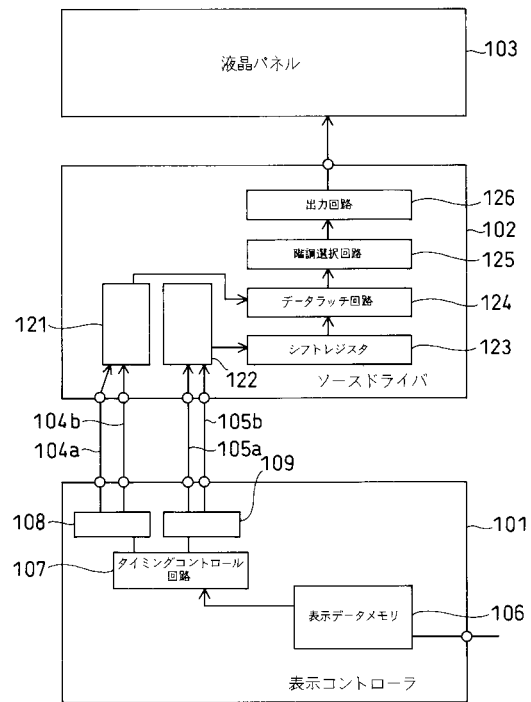


【図 1 4】



31: 画像データ 38: 平均輝度レベル (APL) 値
41: 維持パルス出力 42: 映像信号出力
54a、54b: 配線

【図 15】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 5 0
G 0 9 G 3/36
H 0 4 N 5/66 A
H 0 5 B 33/14 A

(72)発明者 山口 雅之
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 久米田 誠之
神奈川県川崎市中原区小杉町一丁目403番53 エヌイーシーマイクロシステム株式会社内

審査官 福村 拓

(56)参考文献 特開平07-230077 (JP, A)
特開平11-133921 (JP, A)
特開2000-347640 (JP, A)
特開2002-026231 (JP, A)
特開平04-330489 (JP, A)
特開平11-327712 (JP, A)
特開平09-159993 (JP, A)

(58)調査した分野(Int.Cl., DB名)

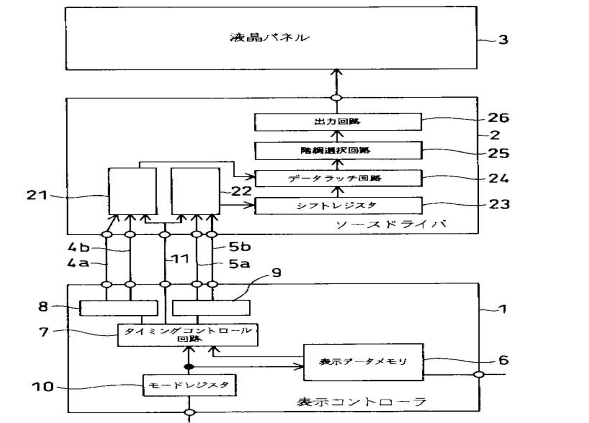
G09G 3/20
G02F 1/133
G09G 3/36
H01L 51/50
H04N 5/66

专利名称(译)	表示装置		
公开(公告)号	JP4092132B2	公开(公告)日	2008-05-28
申请号	JP2002127484	申请日	2002-04-26
[标]申请(专利权)人(译)	NEC电子股份有限公司 NEC微系统有限公司		
申请(专利权)人(译)	NEC电子公司 NEC微系统有限公司		
当前申请(专利权)人(译)	NEC电子公司		
[标]发明人	春原誠 田島章光 山口雅之 久米田誠之		
发明人	春原 誠 田島 章光 山口 雅之 久米田 誠之		
IPC分类号	G09G3/20 G02F1/133 G09G3/36 H04N5/66 H01L51/50 G09G5/00		
CPC分类号	G09G5/006 G09G3/28 G09G3/36 G09G2320/103 G09G2330/021 G09G2330/022		
FI分类号	G09G3/20.633.B G09G3/20.611.A G09G3/20.612.P G09G3/20.633.H G09G3/20.633.U G02F1/133.550 G09G3/36 H04N5/66.A H05B33/14.A		
F-TERM分类号	2H093/NC16 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC28 2H093/NC34 2H093/ND07 2H093/ND34 2H093/ND39 2H193/ZA04 3K007/AB05 3K007/BA06 3K007/DB03 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC14 3K107/HH00 3K107/HH04 5C006/AF45 5C006/AF68 5C006/BB11 5C006/BC12 5C006/BF03 5C006/BF04 5C006/BF14 5C006/BF26 5C006/BF27 5C006/FA13 5C006/FA37 5C006/FA47 5C058/AA05 5C058/BA01 5C058/BA04 5C058/BA25 5C058/BA26 5C058/BB25 5C080/AA05 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD26 5C080/DD30 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	木村充		
审查员(译)	福村 拓		
其他公开文献	JP2003323147A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置及其驱动方法，能够加速信号传输并降低功耗。ŽSOLUTION：布置显示控制器1，源极驱动器2和液晶面板3，并且在显示控制器1和源极驱动器2之间布置两对布线4a，4b和5a，5b。显示控制器1是设置有助于图像数据的VI转换器电路8和模式寄存器10，并且源极驱动器2设置有助于图像数据的IV转换器电路21。V-I转换器电路8基于图像数据将一对布线4a和4b中的一个连接到接地电极，并使另一个浮置。用于图像数据的I-V转换器电路21使电流从布线4a，4b流过连接到接地电极的布线，并将图像数据转换为一对相互补偿的电流信号以接收它们。此外，当不发送图像数据时，来自模式寄存器10的控制信号使电流信号停止

図 1



4a、4b、5a、5b、11：配線
 8：画像データ用V-I変換回路
 21：画像データ用I-V変換回路
 9：クロック信号用V-I変換回路
 22：クロック信号用I-V変換回路