

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4050240号
(P4050240)

(45) 発行日 平成20年2月20日 (2008. 2. 20)

(24) 登録日 平成19年12月7日 (2007. 12. 7)

(51) Int. Cl.

F I

G 0 9 G 3/36 (2006. 01)

G 0 2 F 1/133 (2006. 01)

G 0 9 G 3/20 (2006. 01)

G 0 9 G 3/36

G 0 2 F 1/133 5 7 0

G 0 2 F 1/133 5 7 5

G 0 9 G 3/20 6 2 1 F

G 0 9 G 3/20 6 4 1 H

請求項の数 27 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2004-52301 (P2004-52301)
 (22) 出願日 平成16年2月26日 (2004. 2. 26)
 (65) 公開番号 特開2005-242026 (P2005-242026A)
 (43) 公開日 平成17年9月8日 (2005. 9. 8)
 審査請求日 平成17年2月25日 (2005. 2. 25)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (74) 代理人 100080034
 弁理士 原 謙三
 (74) 代理人 100113701
 弁理士 木島 隆一
 (74) 代理人 100116241
 弁理士 金子 一郎
 (72) 発明者 古川 智朗
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置の駆動システム

(57) 【特許請求の範囲】

【請求項 1】

階調表示する表示装置の駆動システムにおいて、
 m は 9 以上の整数であり、n は 8 以上 m 未満の整数であり、
 m ビットの入力信号の上位 8 ビットデータにノイズパターンを付加して得られるデータの上位 n ビットを出力データとして出力する、擬似多階調化を行う擬似多階調化ブロックと、

画像表示に関しオーバーシュート駆動処理を行うためのオーバーシュート駆動ブロックとを有し、

上記ノイズパターンのノイズ量が、8 ビットデータにおける 1 以下であり、
 かつ、上記オーバーシュート駆動ブロックは、その演算が 8 ビットデータで行われるように設定されていることを特徴とする、表示装置の駆動システム。

【請求項 2】

上記擬似多階調化ブロックがオーバーシュート駆動ブロックの前段に位置しており、オーバーシュート駆動ブロックの演算は、該オーバーシュート駆動ブロックへの入力信号 n ビットデータの上位 8 ビットを用いて行われることを特徴とする、請求項 1 に記載の表示装置の駆動システム。

【請求項 3】

上記擬似多階調化ブロックがオーバーシュート駆動ブロックの後段に位置しており、オーバーシュート駆動ブロックの演算は、該ブロックへ入力信号 m ビットデータの上位 8 ビ

10

20

ットを用いて行われることを特徴とする、請求項 1 に記載の表示装置の駆動システム。

【請求項 4】

さらに、擬似多階調化ブロックの前段に、R、G、B の信号をそれぞれ独立に m ビットデータに変換する、独立 γ 処理ブロックを有することを特徴とする、請求項 1 又は 2 に記載の表示装置の駆動システム。

【請求項 5】

さらに、オーバーシュート駆動ブロックの前段に、R、G、B の信号をそれぞれ独立に m ビットデータに変換する、独立 γ 処理ブロックを有することを特徴とする、請求項 1 又は 3 に記載の表示装置の駆動システム。

【請求項 6】

上記独立 γ 処理ブロックに供給される信号が 6 b i t から m b i t であることを特徴とする、請求項 4 又は 5 に記載の表示装置の駆動システム。

【請求項 7】

さらに、上記独立 γ 処理ブロックの前段に、入力階調信号の一部階調レベルをカットするまたは一部階調レベルを含まない領域に圧縮する、階調カットブロックを有することを特徴とする、請求項 4 ないし 6 の何れか 1 項に記載の表示装置の駆動システム。

【請求項 8】

さらに、上記独立 γ 処理ブロックの後段に、階調信号の少なくとも上下いずれかの階調を対象にカットまたは圧縮する、階調カットブロックを有することを特徴とする、請求項 4 ないし 6 の何れか 1 項に記載の表示装置の駆動システム。

【請求項 9】

上記独立 γ 処理ブロックは、独立 γ 処理ブロックの変換規則と階調カットブロックの変換規則とを組み合わせる統合したルックアップテーブルを有することを特徴とする請求項 7 又は 8 に記載の表示装置の駆動システム。

【請求項 10】

上記独立 γ 処理ブロックにおける変換データとオーバーシュート駆動ブロックのオーバーシュートパラメーターとを組み合わせる指定した変換規則を備えたルックアップテーブルを有することを特徴とする、請求項 4 ないし 6 の何れか 1 項に記載の表示装置の駆動システム。

【請求項 11】

上記独立 γ 処理ブロックにおける変換データとオーバーシュート駆動ブロックのオーバーシュートパラメーターとを別々の L U T で指定していることを特徴とする、請求項 4 ないし 10 の何れか 1 項に記載の表示装置の駆動システム。

【請求項 12】

上記付加するノイズパターンが $4 * 4 * R G B$ 、 $8 * 8 * R G B$ 、または $16 * 16 * R B G$ の領域の局所座標で定義されていることを特徴とする、請求項 1 ないし 11 の何れか 1 項に記載の表示装置の駆動システム。

【請求項 13】

上記ノイズパターンが m ビットデータの下位 (m - n) ビット情報およびフレームカウンタによって定義されていることを特徴とする、請求項 1 ないし 12 の何れか 1 項に記載の表示装置の駆動システム。

【請求項 14】

上記生成したノイズパターンのブロックは、8 フレーム周期または 16 フレーム周期で繰り返したものであることを特徴とする、請求項 1 ないし 13 の何れか 1 項に記載の表示装置の駆動システム。

【請求項 15】

上記オーバーシュート駆動部は、擬似多階調化ブロックで処理された 8 ビットデータを現フレームデータ、およびそれをフレームメモリに格納された前フレームデータによりオーバーシュート駆動処理を行い、その結果を 8 ビットデータとして出力するものであることを特徴とする、請求項 1 ないし 14 の何れか 1 項に記載の表示装置の駆動システム。

10

20

30

40

50

【請求項 16】

上記オーバーシュート駆動部は、階調カットブロック、独立 γ 処理ブロック、擬似多階調化ブロックの順、もしくは独立 γ 処理ブロック、階調カットブロック、擬似多階調化ブロックの順で処理された8ビットデータを現フレームデータ、およびそれをフレームメモリに格納したデータを前フレームデータとしてオーバーシュート駆動処理を行い、その結果を8ビットデータとして出力することを特徴とする、請求項7ないし9の何れか1項に記載の表示装置の駆動システム。

【請求項 17】

各画素に対し階調表示する表示装置の駆動システムであって、

6 $k < m$ の整数に対し、

階調表示のために入力される k ビットの入力データにおいて、

$k = 7$ の場合、入力データの下位 $(8 - k)$ ビットに0を付加した8ビットデータを、

$k = 8$ の場合、入力データの上位8ビットデータを、

フレームメモリに格納するとともに、

入力された k ビットの入力データを独立 γ 処理ブロックにて m ビットの γ 処理データとし、

上記 γ 処理データの上位8ビットデータを現フレームデータ、前記フレームメモリに格納したデータを前フレームデータとしてオーバーシュート駆動処理を行い、

オーバーシュート駆動処理の結果データに対し現データの下位 $(m - 8)$ ビットデータを付加した m ビットのオーバーシュート駆動処理データを作成し、

オーバーシュート駆動処理したデータを擬似多階調化ブロックで処理して8ビットデータとして出力することを特徴とする、表示装置の駆動システム。

【請求項 18】

各画素に対し階調表示する表示装置の駆動システムであって、

6 $k < m$ の整数に対し、

階調表示のために入力される k ビットのデータにおいて、

$k = 7$ の場合、データの下位 $(8 - k)$ ビットに0を付加した8ビットデータを、

$k = 8$ の場合、データの上位8ビットデータを、

フレームメモリに格納するとともに、

入力された k ビットのデータを独立 γ 処理ブロック、擬似多階調化ブロックの順で処理して8ビットデータ化したものを、現フレームデータ、前記フレームメモリに格納したデータを前フレームデータとしてオーバーシュート駆動処理を行い、

オーバーシュート駆動処理した結果データを8ビットデータとして出力することを特徴とする、表示装置の駆動システム。

【請求項 19】

各画素に対し階調表示する表示装置の駆動システムであって、

6 $k < m$ の整数に対し、

階調表示のために入力される k ビットのデータにおいて、

$k = 7$ の場合、データの下位 $(8 - k)$ ビットに0を付加した8ビットデータを、

$k = 8$ の場合、データの上位8ビットデータを、

フレームメモリに格納するとともに、

入力された k ビットの入力データを階調カットブロック、独立 γ 処理ブロックの順、もしくは独立 γ 処理ブロック、階調カットブロックの順で m ビットデータとし、

その上位8ビットデータを現フレームデータ、前記フレームメモリに格納したデータを前フレームデータとしてオーバーシュート駆動処理を行い、

オーバーシュート駆動処理した8ビットデータ結果に対し現データの下位 $(m - 8)$ ビットデータを付加した m ビットデータを作成し、

上記付加した m ビットデータを擬似多階調化ブロックで処理した8ビットデータを出力することを特徴とする、表示装置の駆動システム。

【請求項 20】

各画素に対し階調表示する表示装置の駆動システムであって、

6 $k < m$ の整数に対し、

階調表示のために入力される k ビットのデータにおいて、

階調カットブロックで処理した後、

$k = 7$ の場合、データの下位 $(8 - k)$ ビットに 0 を付加した 8 ビットデータを、

$k = 8$ の場合、データの上位 8 ビットデータを、

フレームメモリに格納するとともに、

入力された k ビットのデータを独立 y 処理ブロックで m ビットデータとし、

上記 m ビットの y 処理データの上位 8 ビットデータを現フレームデータ、前記フレームメモリに格納したデータを前フレームデータとしてオーバーシュート駆動処理を行い、

オーバーシュート駆動処理した結果データに対し現データの下位 $(m - 8)$ ビットデータを付加した m ビットデータを作成し、

上記付加した m ビットデータを擬似多階調化ブロックで処理した 8 ビットデータとして出力することを特徴とする、表示装置の駆動システム。

【請求項 2 1】

各画素に対し階調表示する表示装置の駆動システムであって、

6 $k < m$ の整数に対し、

階調表示のために入力される k ビットのデータにおいて、

$k = 7$ の場合、データの下位 $(8 - k)$ ビットに 0 を付加した 8 ビットデータを、

$k = 8$ の場合、データの上位 8 ビットデータを、

フレームメモリに格納するとともに、

入力された k ビットのデータを階調カットブロック、独立 y 処理ブロック、擬似多階調化ブロックの順、もしくは独立 y 処理ブロック、階調カットブロック、擬似多階調化ブロックの順で 8 ビットデータ化したものを、現フレームデータ、前記フレームメモリに格納したデータを前フレームデータとしてオーバーシュート駆動処理を行い、

上記オーバーシュート駆動処理した結果データを 8 ビットデータとして出力することを特徴とする、表示装置の駆動システム。

【請求項 2 2】

各画素に対し階調表示する表示装置の駆動システムであって、

6 $k < m$ の整数に対し、

階調表示のために入力される k ビットのデータにおいて、

上記データを階調カットブロックで処理して処理データを得た後、

$k = 7$ の場合、処理データの下位 $(8 - k)$ ビットに 0 を付加した 8 ビットデータを、

$k = 8$ の場合、処理データの上位 8 ビットデータを、

フレームメモリに格納するとともに、

入力された k ビットのデータを、独立 y 処理ブロック、擬似多階調化ブロックの順で 8 ビットデータ化したものを、現フレームデータ、前記フレームメモリに格納したデータを前フレームデータとしてオーバーシュート駆動処理を行い、

上記オーバーシュート駆動処理した結果データを 8 ビットデータとして出力することを特徴とする、表示装置の駆動システム。

【請求項 2 3】

メモリを挟まない連続した各ブロックを合成した変換ブロックに統合して、各ブロックでの処理に用いる各ルックアップテーブルの少なくとも一部を共通化することを特徴とする、請求項 1 7 ないし 2 2 の何れか 1 項に記載の表示装置の駆動システム。

【請求項 2 4】

フレームメモリを挟まない連続した各ブロックを合成した変換ブロックに統合して、各ブロックでの処理に用いる各ルックアップテーブルの少なくとも一部を共通化することを特徴とする、請求項 1 7 ないし 2 3 の何れか 1 項に記載の表示装置の駆動システム。

【請求項 2 5】

上記表示装置の本来の 8 b i t 階調輝度特性が、入力信号が想定している出力 y 値より

10

20

30

40

50

小さくないことを特徴とする、請求項 1 ないし 2 4 の何れか 1 項に記載の表示装置の駆動システム。

【請求項 2 6】

上記出力 γ 値が 2 . 5 から 3 . 0 であることを特徴とする請求項 2 5 に記載の表示装置の駆動システム。

【請求項 2 7】

出力 γ 値が、階調カットブロックによる最大出力に相当する最終階調に対応する部分までは γ 値が大きく、そうでない部分は比較的小さい γ 値であることを特徴とする、請求項 7、8、9、1 6、1 9、2 0、又は 2 1 に記載の表示装置の駆動システム。

10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、液晶表示パネルを用いて画像を表示する液晶表示装置といった表示装置の駆動システムに関し、特に表示品位を改善できる表示装置の駆動システムに関するものである。

【背景技術】

【0 0 0 2】

近年、表示装置の一種としてのフラットパネルディスプレイ (F P D) の進歩は目覚しく、ブラウン管モニターがさまざまな F P D に置き換えられつつある。特に、F P D のさ

20

きがけ的な存在である液晶ディスプレイ (Liquid Crystal Display : L C D) は、技術進歩目覚しく、日常生活のさまざまな場面で利用されるようになり、その発展にはより一層の期待が高まっている。

【0 0 0 3】

しかしながら、L C D には未だ大きな弱点がいくつか残されている。そのうちの一つは応答速度の改善であり、また別の一つは表現力の向上である。これらの解決策として、L C D に 2 つの技術が導入された。

【0 0 0 4】

一つの技術は、オーバーシュート駆動 (O S 駆動) と呼ばれ、本来スイッチングに必要な電位差よりも大きな電位差を印加することによって、液晶を強制的に高速応答させる駆動方法である。この O S 駆動の一例として、特許文献 1 に記載の液晶制御回路が挙げられる。

30

【0 0 0 5】

他の一つの技術は、擬似多階調化と呼ばれ、L C D のドライバーが扱えるデータ幅 n ビットで、本来、表現可能な $2 n$ 階調に対し、ノイズパターンを印加することによって、 n ビットデータで m ビットデータが表現可能な $2 m$ 階調 ($m > n$) まで階調表現力を向上させる技術である。ディザもこれにあたる。

【0 0 0 6】

L C D のドライバーのコストは、扱えるデータのビット幅が大きくなるほど高額になるので、擬似多階調化はドライバーのコストアップを伴わず L C D の表現階調数を増加できる有力な手法である。この擬似多階調化技術としては、例えば特許文献 2 に記載の画像処理装置およびそれを備えた画像表示装置が挙げられる。

40

【0 0 0 7】

したがって、この O S 駆動および擬似多階調化技術の両者を組み合わせることで、高速応答、高表現力の L C D を得ることができる。

【0 0 0 8】

ここで、上記の通り、O S 駆動は信号ブースターとしての意味を持ち、擬似多階調化技術はノイズ発生器の意味を持つ。この両者を組み合わせて、高速応答、高表現力の L C D を作り上げる上で、この組み合わせ方法を誤ると、ノイズがブースターによって増幅されることになり、ノイズだらけの映像を出力する表示装置 (ディスプレイ) ができかねない

50

という問題を生じている。

【特許文献1】日本国特許第2708746号公報（登録日：1997年10月17日）

【特許文献2】特開2001-337667号公報（公開日：2001年12月7日）

【発明の開示】

【発明が解決しようとする課題】

【0009】

上記問題を解決するため、従来はOS駆動処理を行った後、擬似多階調化を行っていた。しかしながら、この従来方式ではOS駆動部の回路の肥大化によるコストアップが避けられないという問題点がある。

【0010】

10

まず、擬似多階調化の例についてもう少し詳細に述べる。これはnビット出力のLCDに、 $m > n$ であるmビット信号が入力され、回路によりmビット入力データの上位nビットデータに周期的ノイズパターンが印加され、nビットデータとして出力されるものである。ノイズパターンは、これを一定周期分平均すると、mビットデータのあるデータになるように工夫されている。

【0011】

すなわち、このnビットデータは、ノイズパターンが印加されたことにより、擬似的にmビットデータの階調表現力を持つことになる。つまり、擬似多階調化の入力はmビットデータであり、出力はnビットデータなのである。この前段にOS駆動処理を行おうとすれば、そのOS駆動処理はmビットデータに対して行われなければならない。

20

【0012】

ここで、OS駆動処理についても、もう少し詳細に述べる。OS駆動処理は、1フレーム目の階調データと(1-1)フレーム目の階調データとを比較し、その階調変化量からデータ増幅量を決定する。ここで、(1-1)フレーム目のデータは、入力データをフレームメモリにバッファしておくことで作成される、前フレームのデータである。

【0013】

従って、OS駆動処理で扱うデータ幅が増えれば、その分フレームメモリの必要容量も増え、回路規模として肥大することになる。これはそのままコストに跳ね返る。ここでは本来nビットデータでOS駆動処理を行えばよく、nビット分のフレームメモリをもつOS駆動回路を用意すればよかったのだが、擬似多階調化ブロックがその後段にあるため、mビットのOS駆動処理を行わなければならない。

30

【0014】

従って、OS駆動回路が持つべきフレームメモリはmビットに増加し、この分回路のコストアップにつながってしまうことになり、前記問題点が生じる。また、OS駆動処理において、データの増幅量を規定するOSパラメータもmビットで格納するため、OSパラメータ格納用のメモリ必要量も増大することになり、これも回路のコストアップにつながり、前記問題点が生じる。

【0015】

本発明の表示装置の駆動システムおよび駆動方法は、これらの課題である問題点の解決に鑑み、映像破綻がなくかつ回路の大幅な肥大化およびコストアップを伴わずに、高速応答、高表現力のLCDといった表示装置の駆動システムおよび駆動方法を提供することを目的としている。

40

【課題を解決するための手段】

【0016】

本発明の表示装置の駆動システム（駆動回路）は、以上の課題を解決するために、階調表示する表示装置の駆動システムにおいて、9以上の整数mおよび8以上m未満の整数nに対し、mビットの入力信号D0の上位8ビットデータにノイズパターンを付加して得られるデータD1の上位nビットを出力データD2として出力する、擬似多階調化を行うブロックと、OS駆動を行うブロックを同時にもつLCD等の表示装置の駆動システムであって、上記ノイズパターンのノイズ量が、8ビットデータにおける1以下であり、かつ、

50

OS 駆動ブロックの演算が 8 ビットデータで行われることを特徴としている。

【0017】

すなわち、8 ビット以上の n ビット出力を行う表示装置を用い、擬似多階調化においてデータに付加されるノイズ量を可能な限り小さくすること、および OS 駆動処理を常に 8 ビットで行うことにより、擬似多階調化を行った後に OS 駆動処理を行う、または、OS 駆動処理を行った後に擬似多階調化を行う、のどちらのアルゴリズムに対しても、同規模の回路で同様の効果を得ることが可能になる。

【0018】

ここで、8 ビット以上出力の表示装置に限定しているのは、以下の理由による。すなわち、高表現力を目的とした表示装置は最低でも 8 ビット出力、すなわち 256 階調、1677 万色の表現力が求められると考えるからである。これより低い階調表現しかできない表示装置では、高表現力を歌うことにそもそも無理がある。

10

【0019】

また、これより高い階調表現が可能な表示装置を用いるのは、現在はドライバーコストの観点から望ましくないが、将来的にこれは解決される可能性がある。従って、8 ビット以上出力の表示装置で本発明を行うことが最も効果がある。

【0020】

また、OS 駆動処理は、元の映像信号に何らかの理由で付帯するノイズを誤って増幅しないように、ある階調遷移量以下の場合 OS 駆動処理を行わないというスルー階調幅を備えている。

20

【0021】

このスルー階調幅の具体的な数値は表示装置の用途によって変わってくるが、ハイビジョン放送対応の表示装置の場合、256 階調換算で 3 階調程度のスルー階調幅が設けられている。従って、本発明の「256 階調換算で 1 以下」のノイズ量が擬似多階調化で発生しても、OS 駆動処理にはなんの影響も及ぼさない。従って、本発明を「擬似多階調化を行った後に OS 駆動処理を行う」というアルゴリズムにも適応することができる。

【0022】

また、OS 駆動処理に n ビットデータを入力する場合、本来であれば n ビットデータのまま OS 駆動処理を行うのが理想だが、実は 8 ビットで OS 駆動処理を行えば十分であることがわかっている。

30

【0023】

従って、入力 n ビットの上位 8 ビットで OS 駆動処理の演算を行い、下位 ($n - 8$) ビットは OS 駆動処理をスルーして、OS 演算結果の 8 ビットデータに、その下位ビットとして付加すればよい。これにより、OS 駆動処理を n ビット演算に拡張する必要がなくなり、回路のコストアップは回避される。

【0024】

また、下位 ($n - 8$) ビットには OS 駆動処理はかからないが、実際問題として OS 演算は 8 ビット程度で行えば十分であり、下位 ($n - 8$) ビットをスルー（略）することによる映像への影響は無視できる。このアルゴリズムで高表現力と高速応答性をともに満たす表示装置を、大幅なコストアップを行うことなく得ることが可能になる。

40

【0025】

また、OS 駆動処理に m ビットのデータを入力する場合、その上位 8 ビットで OS 駆動処理の演算を行い、下位 ($m - 8$) ビットは OS 駆動処理をスルーして、OS 演算結果の 8 ビットデータに、その下位ビットとして付加することにする。これにより、OS 駆動処理を m ビット演算に拡張する必要がなくなり、回路のコストアップは防止される。

【0026】

また、下位 ($m - 8$) ビットには OS 駆動処理はかからないが、実際問題として OS 演算は 8 ビット程度で行えば十分であり、下位 ($m - 8$) ビットをスルーすることによる映像への影響は無視できる。従って、本発明を「OS 駆動処理を行った後に擬似多階調化を行う」というアルゴリズムにも適応することができ、このアルゴリズムで高表現力と高速

50

応答性をともに満たす表示装置を、大幅なコストアップを抑制しながら得ることが可能になる。

【0027】

また、擬似多階調化において付加されるノイズ量が256階調換算で1以下、より好ましくは1未満であるようにするには、例えば特願平2003-175251号に記載されている方法が有効である。すなわち、以下の方法でノイズパターンを決定すればよい。つまり、(画面を適当な大きさのブロックに分割し、そのブロック内で)入力データmビットのうち、下位(m-n)ビットデータとフレームカウンターの値に応じて、上位8ビットの最下位ビットにノイズとして1を加えるか否かを判定するようにする。

【0028】

ここで、ブロックの大きさは回路で規定するので、 2^j (jは正の整数)画素単位で規定されるものが望ましい。このとき、ブロックの大きさが小さすぎれば多階調化の効果が不十分になり、逆に大きすぎれば回路規模が肥大化してコストがアップする。本発明では、 $4 \times 4 \times RGB$ 、 $8 \times 8 \times RGB$ 、 $16 \times 16 \times RGB$ のブロックで、十分な多階調化の効果が得られることがわかった。つまり、上記のj値としては、2、3、4が好ましいことがわかった。

【0029】

また、フレームカウンターも回路で規定するため、21フレーム分のフレームカウンターを設けるのが望ましい。フレームカウンターも、少なすぎれば多階調化の効果が不十分であるし、多すぎれば回路規模が肥大化してコストがアップする。本発明では8フレームまたは16フレームのフレームカウンターを持たせたときに、十分な多階調化の効果が得られることがわかった。

【0030】

さらに、本発明の駆動システムでは、R、G、Bの信号(入力されるデータ)をそれぞれ独立にmビットデータに変換する、独立γ処理ブロックが上記擬似多階調化とOS駆動ブロックの前段に設けられていてもよい。

【0031】

独立γ処理は色補正を行うための有効手段であるが、例えば8ビット入力、8ビット出力の表示装置で独立γ処理を行った場合、階調つぶれや階調とびをおこし、γ曲線がガタガタになる。入力信号をmビットに拡張する階調拡張機能を独立γ処理ブロックに持たせることで、独立γ処理に伴う階調つぶれや階調とびをおこさず、なめらかなγ値曲線を実現することができる。

【0032】

このときの入力信号は、ソース映像によって決まってくるが、通常は6ビット以上である。また、mビットより大きい入力信号は、入力信号の下位ビット情報をカットしてしまうことになるので、階調拡張の意味を持たず、本発明の趣旨から外れる。

【0033】

さらに、本発明の駆動システムにおいては、上記独立γ処理のブロックの前段もしくは後段に、入力階調信号の一部階調レベルをカットするまたは一部階調レベルを含まない領域に圧縮する、階調カットブロックを有していてもよい。

【0034】

通常のOS駆動処理では、信号が0から255階調に対しOSパラメーターも0から255で規定されるので、0階調近傍および255階調近傍には事実上OS駆動処理が利かないことになる。階調カットブロックを導入すると、階調表示のための入力信号は例えば8階調から248階調となるが、OSパラメーターは0から255で設定できるので、すべての階調でOS駆動処理が利くようにできる。なお、液晶などの表示の応答速度が十分に高速であり、階調カットブロックを設けなくても十分に0階調近傍および255階調近傍への応答速度が高速である場合は、階調カットブロックは設けなくてもよい。

【0035】

この階調カットブロックは独立γ処理ブロックと併用するのが効果的であり、特に、独

10

20

30

40

50

立 γ 処理ブロックと階調カットブロックが隣り合っている場合、階調カットブロックでの階調変換規則と独立 γ 処理ブロックでの階調変換規則を組み合わせた変換規則を1枚のlookupアップテーブル(以下、LUTと略記する)として指定すれば、メモリ等の回路規模を節約することができる。

【0036】

さらに、本発明の駆動システムでは、上記のOS駆動、擬似多階調化、独立 γ 処理、階調カットの各ブロックを有する表示装置の駆動システムにおいて、独立 γ 処理ブロックにおける変換データとOS駆動ブロックのOSパラメーターとを組み合わせた変換規則を1枚のLUTで指定するようにしてもよい。

【0037】

本発明を構成するOS駆動、擬似多階調化、独立 γ 処理の各ブロックでは、そのすべての各ブロックにおいて、変換用のLUTが必要であり、かつ、それらを格納するメモリが必要であるため、メモリの必要量が莫大になる。これを回避するには、LUTを統合すればよいが、擬似多階調化ブロックのLUTは、ノイズ発生パターンであり、他の階調変換のLUTと性格を異にする。

【0038】

そこで、OS駆動と独立 γ 処理のLUTを組み合わせ、統合LUTとすることで、メモリの節約を図り、回路の肥大化および高額化を防止できる。ただし、本発明を適用できるのは、OS駆動ブロックが擬似多階調化ブロックの前段に位置している場合であり、逆の構成の場合はLUTを統合するのは困難である。

【0039】

そこで、本発明の駆動システムにおいては、上記のOS駆動、擬似多階調化、独立 γ 処理、階調カットの各ブロックを有する表示装置の駆動システムにおいて、独立 γ 処理ブロックにおける変換データとOSブロックのOSパラメーターが別々のLUTで指定してもよい。

【0040】

このような指定は、OS駆動ブロックが擬似多階調化ブロックの後段に位置している場合に有効だが、使用可能なメモリが多く用意されている場合は、OS駆動ブロックが擬似多階調化ブロックの前段に位置している場合でも有効である。

【0041】

本発明の駆動システムでは、独立 γ 処理ブロック、擬似多階調化ブロックの順で処理された8ビットデータを現フレームデータ、およびそれをフレームメモリに格納したデータを前フレームデータとしてOS駆動処理を行い、その結果を8ビットデータとして出力するように設定してもよい。

【0042】

また、本発明の駆動システムにおいては、階調カットブロック、独立 γ 処理ブロック、擬似多階調化ブロックの順、もしくは独立 γ 処理ブロック、階調カットブロック、擬似多階調化ブロックの順で処理された8ビットデータを現フレームデータ、およびそれをフレームメモリに格納したデータを前フレームデータとしてOS駆動処理を行い、その結果を8ビットデータとして出力してもよい。

【0043】

次に、本発明に係る表示装置の駆動システムにおける内容の具体的構成を示す。本発明の駆動システム(駆動方法)においては、 $6 \leq k < m$ の整数に対し、階調表示のために入力される k ビットのデータにおいて、 $k < 7$ の場合、データの下位 $(8 - k)$ ビットに0を付加した8ビットデータを、一方、 $k = 8$ の場合、データの上位8ビットデータを、フレームメモリに格納すると共に、入力された k ビットのデータを独立 γ 処理ブロックで m ビットデータとし、その上位8ビットデータを現フレームデータ、前記フレームメモリに格納したデータを前フレームデータとしてOS駆動処理を行い、その結果に対し現データの下位 $(m - 8)$ ビットデータを付加した m ビットデータを作成し、それを擬似多階調化ブロックで処理した8ビットデータを出力してもよい。

【 0 0 4 4 】

また、本発明の駆動システムでは、 $6 \leq k < m$ の整数に対し、階調表示のために入力される k ビットのデータにおいて、 $k = 7$ の場合、データの下位 $(8 - k)$ ビットに0を付加した8ビットデータを、一方、 $k = 8$ の場合、データの上位8ビットデータを、フレームメモリに格納すると共に、入力された k ビットのデータを独立 γ 処理ブロック、擬似多階調化ブロックの順で処理して8ビットデータ化したものを、現フレームデータ、前記フレームメモリに格納したデータを前フレームデータとしてOS駆動処理を行い、その結果を8ビットデータとして出力してもよい。

【 0 0 4 5 】

また、本発明の駆動システムにおいては、 $6 \leq k < m$ の整数に対し、階調表示のために入力される k ビットデータにおいて、 $k = 7$ の場合、入力データの下位 $(8 - k)$ ビットに0を付加した8ビットデータを、一方、 $k = 8$ の場合、データの上位8ビットデータを、フレームメモリに格納すると共に、入力された k ビットのデータを階調カットブロック、独立 γ 処理ブロックの順、もしくは独立 γ 処理ブロック、階調カットブロックの順で m ビットデータとし、その上位8ビットデータを現フレームデータ、前記フレームメモリに格納したデータを前フレームデータとしてOS駆動処理を行い、その結果に対し現データの下位 $(m - 8)$ ビットデータを付加した m ビットデータを作成し、それを擬似多階調化ブロックで処理した8ビットデータを出力してもよい。

【 0 0 4 6 】

また、本発明の駆動システムでは、 $6 \leq k < m$ の整数に対し、階調表示のために入力される k ビットのデータについて、階調カットブロックで処理した後、 $k = 7$ の場合、データの下位 $(8 - k)$ ビットに0を付加した8ビットデータを、一方、 $k = 8$ の場合、データの上位8ビットデータを、フレームメモリに格納すると共に、入力された k ビットのデータを独立 γ 処理ブロックで m ビットデータとし、その上位8ビットデータを現フレームデータ、前記フレームメモリに格納したデータを前フレームデータとしてOS駆動処理を行い、その結果に対し現データの下位 $(m - 8)$ ビットデータを付加した m ビットデータを作成し、それを擬似多階調化ブロックで処理した8ビットデータを出力するようにしてもよい。

【 0 0 4 7 】

また、本発明の駆動システムにおいては、 $6 \leq k < m$ の整数に対し、階調表示のために入力される k ビットのデータにおいて、 $k = 7$ の場合、入力データの下位 $(8 - k)$ ビットに0を付加した8ビットデータを、一方、 $k = 8$ の場合、データの上位8ビットデータを、フレームメモリに格納すると共に、入力される k ビットのデータを階調カットブロック、独立 γ 処理ブロック、擬似多階調化ブロックの順、もしくは独立 γ 処理ブロック、階調カットブロック、擬似多階調化ブロックの順で8ビットデータ化したものを、現フレームデータ、前記フレームメモリに格納したデータを前フレームデータとしてOS駆動処理を行い、その結果を8ビットデータとして出力してもよい。

【 0 0 4 8 】

また、本発明の駆動システムでは、 $6 \leq k < m$ の整数に対し、階調表示のために入力される k ビットのデータについて、階調カットブロックで処理した後、 $k = 7$ の場合、データの下位 $(8 - k)$ ビットに0を付加した8ビットデータを、一方、 $k = 8$ の場合、データの上位8ビットデータを、フレームメモリに格納すると共に、入力される k ビットのデータを、独立 γ 処理ブロック、擬似多階調化ブロックの順で8ビットデータ化したものを、現フレームデータ、前記フレームメモリに格納したデータを前フレームデータとしてOS駆動処理を行い、その結果を8ビットデータとして出力してもよい。

【 0 0 4 9 】

さらに、上記8つの駆動システムにおいて、メモリを挟まない連続した各ブロックの少なくとも一部を合成した変換ブロックに統合して統合LUTを用いることで、LUT数を削減してもよい。特に、フレームメモリを挟まない連続した各ブロックの少なくとも一部を合成した変換ブロックに統合して統合LUTを用いることによりLUT数を削減しても

10

20

30

40

50

よい。

【 0 0 5 0 】

ここで、本発明を適応するための表示装置の γ 特性は、入力信号が想定している出力 γ 値より小さくないことが望ましい。一般に、入力されるデータを含む映像信号は、表示装置のディスプレイの γ 値が 2 . 2 であることを想定している。

【 0 0 5 1 】

従って、本発明を適応した表示装置の γ 値が、 $\gamma = 2 . 2$ より小さい γ 特性では、そもそも想定した映像が正しく表示できないことになる。一方、 $\gamma = 2 . 2$ のまま本駆動システムを適応した場合、独立 γ 処理ブロックと階調カットブロックで処理された信号に対し、新たに $\gamma = 2 . 2$ で階調を振り分けなおすことになる。この振り分けは 9 ビット以上のデータに対して行われるので、前述の通り再振り分け後の階調特性は階調つぶれ、階調とびをおこさずになめらかにつながられる。

10

【 0 0 5 2 】

そして、階調カットで表示階調としては失われた上下の電圧領域を OS 駆動用の電圧領域として使用できるので、OS を十分効かせた高速応答のディスプレイを得ることができる。従って、本発明では、 $\gamma = 2 . 2$ の特性をより正しく表現できる高速な表示装置を得ることができる。

【 0 0 5 3 】

しかしながら、黒側の階調カットにより、黒輝度が浮いてしまい、コントラストが低下すると言う不都合が発生する。そこで、 γ 値を 2 . 2 よりも大きくして、黒側を意識的につぶすことで、黒浮きの不都合を解決できるので、表示装置側の γ 値を大きくしておくことが求められる。また、入力される信号のビット数拡張による効果は、特に黒側の表現力を大きく向上させることにある。

20

【 0 0 5 4 】

したがって、これをより効果的にすることからも、表示装置側の γ 値をより大きく設定することが有効である。さらに、階調カットブロックで黒側の信号も一部カットされることになるので、カットされたあとの黒側における表現力の向上は大きな課題となる。この意味からも、表示装置側の γ 値を大きくしておくことが求められる。ただし、余りに大きな γ 特性を設定すると、黒がつぶれすぎる等の弊害が出るため、好ましくは、 $\gamma = 2 . 5$ から 3 . 0 程度である。

30

【 0 0 5 5 】

さらに、独立 γ 処理ブロックではデジタル処理により γ 特性を変化させることができる。階調カットブロックにより黒側、白側の一部の階調をカットされると、表示装置は表示階調領域において、必然的にその本来の γ 特性よりも小さい γ 特性になる。従って独立 γ 処理ブロックにおいて、表示階調における γ 特性を本来の γ 特性より大きくすることで、表示階調領域において元の γ 特性を保つことができる。このとき、必然的に表示階調領域以外の γ 特性は、表示階調領域の γ 特性より小さくなる。

【 発明の効果 】

【 0 0 5 6 】

本発明の表示装置の駆動システムは、9 以上の整数 m および 8 以上 m 未満の整数 n に対し、 m ビットの入力信号 $D0$ の上位 8 ビットデータにノイズパターンを付加して得られるデータ $D1$ の上位 n ビットを出力データ $D2$ として出力する、擬似多階調化を行うブロックと、OS 駆動を行うブロックとを備え、上記ノイズパターンのノイズ量が、8 ビットデータにおける 1 以下であり、かつ、OS 駆動ブロックの演算が 8 ビットデータで行われる構成である。

40

【 0 0 5 7 】

上記構成によれば、8 ビット以上の n ビット出力を行う表示装置を用い、擬似多階調化においてデータに付加されるノイズ量を可能な限り小さくすること、および OS 駆動処理を常に 8 ビットで行うことにより、擬似多階調化を行った後に OS 駆動処理を行う、または、OS 駆動処理を行った後に擬似多階調化を行う、のどちらのアルゴリズムに対しても

50

、同規模の回路で同様の効果を得ることが可能になる。

【 0 0 5 8 】

これにより、上記構成は、OS駆動処理による高速応答と、擬似多階調化とによって、高品質な画像表示を実現しながら、OS駆動処理するためのデータビット数を低減できて、データビット数の増加に伴うOS駆動処理におけるメモリ容量や演算処理数の増大化に起因する高コスト化を回避できるという効果を奏する。

【発明を実施するための最良の形態】

【 0 0 5 9 】

以下、本発明の実施の形態について、図1ないし図23に基づき説明するが、本発明は以下の実施の各形態に限定されるものではない。また、以下の説明は、表示装置としてのLCDの出力nビットが8ビットであり、入力mビットが10ビットであるとして説明する。

10

【 0 0 6 0 】

上記LCDは、図示しないが、映像信号に応じたカラー画像を表示するための表示手段としての表示部と、映像信号を上記表示部の表示特性に合わせて処理する画像処理装置とを備えている。上記表示部は、各画素とそれらに対応する各カラーフィルタとをマトリクス状に備え、カラーでの階調表示可能なLCDパネルと、このLCDパネルを駆動させるための駆動手段としてのソースドライバおよびゲートドライバとを含んでいる。

【 0 0 6 1 】

上記ソースドライバは、上記画像処理装置により処理された映像信号が入力され、入力された映像信号に対応する電圧をLCDパネルのソース電極線（図示せず）に印加するようになっている。

20

【 0 0 6 2 】

一方、上記ゲートドライバは、同期信号発生回路（図示せず）から出力される同期信号（水平同期信号H、垂直同期信号V）が入力され、入力された同期信号に対応する電圧をLCDパネルのゲート電極線（図示せず）に印加するようになっている。

【 0 0 6 3 】

上記画像処理装置では、カラー表示のための階調表示方式として、ディザ等の面積変調方式が出力される映像信号を擬似多階調化するために用いられている。なお、上記階調表示方式としては、他の階調表示方式である、振幅変調方式やフレームレートコントロール方式を用いることもできる。

30

【 0 0 6 4 】

さらに、上記画像処理装置においては、表示部の高速応答化のために、映像信号に対しOS駆動処理が施されている。OS駆動処理とは、表示部における光学応答の過度時に、標準印加電圧より大きな過大電圧を瞬間的に印加することで、上記光学応答を高速化するものである。

【 0 0 6 5 】

（実施の第一形態）

図1は、上記画像処理装置に含まれる本発明に係る駆動システムの実施の第一形態を示す構成図である。上記駆動システムは、擬似多階調化部（擬似多階調化ブロック）2と、OS駆動部（オーバーシュート駆動ブロック）3とを各回路ブロックとしてそれぞれ備えている。

40

【 0 0 6 6 】

擬似多階調化ブロックには10ビットデータが入力され、8ビットデータとして出力される。このとき、入力10ビットデータの下位2ビット分の情報、表示領域を特定の大きさの微小領域に分割したときのデータの局所座標、および回路のフレームカウンタ（図示せず）の値に従って、出力8ビットデータの最下位ビットにノイズ量1以下のノイズパターンが付加される。

【 0 0 6 7 】

微小領域の大きさは8 * 8 * RGBとし、フレームカウンタは8フレーム毎にリセッ

50

トされるように設定されていることが好ましい。OS 駆動部 3 は、擬似多階調化部 2 からの 8 ビットデータが入力され、その 8 ビットすべてを用いて演算を行う。OS 駆動部 3 における OS パラメータは 8 ビットデータであり、LUT として OS 駆動部 3 に格納されている。

【0068】

これらの擬似多階調化部 2 および OS 駆動部 3 の前段にさらに、入力される 8 ビットのデータを 10 ビットデータに変換する機能を含んだ独立 y 処理部 1 が配置されていることが望ましい。この独立 y 処理部 1 は、8 ビットの入力階調を 10 ビットに変換する独立 y ブロック 1 a と、階調表示のための入力信号の一部における階調レベルをカットするまたは一部階調レベルを含まない領域に圧縮する、階調カットブロック 1 c とを含んでいる。

10

【0069】

階調カットブロック 1 c と独立 y ブロック 1 a との配置順序（つまり処理順序）は、そのときの目的に合わせて入れ替えればよい。独立 y ブロック 1 a と階調カットブロック 1 c の変換規則は、それぞれ演算で行うのが理想だが、機種別の調整を考えると LUT 1 b、1 d としてそれぞれ格納しておくのが好ましい。また、独立 y 処理部 1 では、カラー表示のための RGB の各色に対応して、それぞれ独立 y 処理ブロックを備えていることが望ましい。

【0070】

従って、本実施の第一形態における信号処理は、例えば、入力 8 ビット信号がまず独立 y ブロック 1 a に入力される。独立 y ブロック 1 a では独立 y ブロック 1 a で 10 ビット信号に拡張され、その後、階調カットブロック 1 c にて 10 ビット信号で 32 階調から 992 階調までの信号に圧縮されて出力される。このように y 処理され、圧縮された 10 ビット信号が独立 y 処理部 1 の出力となり、擬似多階調化部 2 に送られる。

20

【0071】

擬似多階調化部 2 では、この入力 10 ビット信号が 8 階調から 248 階調の 8 ビット信号に変換され、かつ変換された 8 ビット信号に対し、ノイズパターンが付加されて出力される。これは 10 ビット情報をもつ 8 ビットデータと言える。上記ノイズパターンは、LUT 2 c に予め格納された前記規則でノイズ量が 1 以下であるように、ノイズ発生器 2 b で生成されたものである。

【0072】

30

この 8 ビットデータが OS 駆動部 3 に入力される。OS 駆動部 3 においては、この 8 ビットデータの全てが、まず、フレームメモリ 3 a に格納されると共に、OS 演算ブロック 3 b に入力される。OS 演算ブロック 3 b では、入力された 8 ビットデータと、前フレームの 8 ビットデータと、また、LUT 3 c から読み取られた OS パラメータとに基づき、OS 演算が実行され、OS 演算処理されたデータを出力する。

【0073】

このように OS 演算処理されたデータは、擬似多階調化も施されており、前記の LCD パネルに印加されて、高速応答で、多階調であることによって表示品質に優れた画像を LCD パネル上にて表示できるものとなっている。

【0074】

40

（実施の第二形態）

図 2 は本発明の LCD が備える駆動システムの実施の第二形態を示す構成図である。本実施の第二形態では、独立 y 処理部 1 と、上記実施の第一形態に記載の OS 駆動部 3 に代えた OS 駆動部 3 1 と、擬似多階調化部 2 とがこの順にて結合されて設けられている。

【0075】

OS 駆動部 3 1 は、10 ビットデータが入力され、下記 2 ビット分離ブロック 3 d にて上位 8 ビットデータと下位 2 ビットデータとに分離され、上記の上位 8 ビットを用いて、前述と同様に演算を行う。OS 駆動処理における OS パラメータは 8 ビットデータであり、LUT 3 c として OS 駆動部 3 1 に格納されている。

【0076】

50

下位 2 ビットは O S 駆動部 3 1 をスルー（処理されずに通過）し、上位 8 ビットによる演算結果の下位に対し、下位 2 ビット結合ブロック 3 e にて付加・結合される。結果として、O S ブロックからは 1 0 ビットデータが出力される。

【 0 0 7 7 】

擬似多階調化部 2 には O S 駆動部 3 1 からの 1 0 ビットデータが入力され、8 ビットデータとして出力される。このとき、入力 1 0 ビットデータの下位 2 ビット分の情報、表示領域を特定の大きさの微小領域に分割したときのデータの局所座標および回路のフレームカウンターの値に従って、出力 8 ビットデータの最下位ビットにノイズ量 1 以下のノイズパターンが付加される。

【 0 0 7 8 】

10

微小領域の大きさは $8 * 8 * R G B$ とし、フレームカウンターは 8 フレーム毎にリセットがかかるようにする。これらのブロックの前段にさらに、入力 8 ビットデータを 1 0 ビットデータに変換する機能を含んだ、前述の独立 γ 処理部 1 を配置する。この独立 γ 処理部 1 は、8 ビットの入力階調を 1 0 ビットに変換する独立 γ ブロック 1 a と、入力階調信号の一部階調レベルをカットするまたは一部階調レベルを含まない領域に圧縮する、階調カットブロック 1 c を含んでいる。

【 0 0 7 9 】

階調カットブロック 1 c と独立 γ ブロック 1 a の順序は、そのときの目的に合わせて入れ替えればよい。独立 γ ブロック 1 a と階調カットブロック 1 c の変換規則は、演算で行うのが理想だが、機種別の調整を考えると各 L U T 1 b、1 d として格納しておくのが好ましい。

20

【 0 0 8 0 】

従って、本実施の第二形態における信号処理は、例えば、入力 8 ビット信号が独立 γ 処理部 1 に入力される。独立 γ 処理部 1 では、独立 γ 処理ブロック 1 a により入力 8 ビット信号が 1 0 ビット信号に拡張され、その後、階調カットブロック 1 c にて 1 0 ビット信号で 3 2 階調から 9 9 2 階調までに圧縮されて出力される。これが独立 γ 処理部 1 の出力となり、O S 駆動部 3 1 に送られる。

【 0 0 8 1 】

O S 駆動部 3 1 は、この 1 0 ビット信号のうち上位 8 ビットデータを用いて L U T 3 c から O S パラメータを読み取り、それに基づいた 8 ビット信号に入力 1 0 ビット信号の下位 2 ビットを付加した 1 0 ビット信号を擬似多階調化部 2 へ出力する。

30

【 0 0 8 2 】

擬似多階調化部 2 では、この入力 1 0 ビット信号が 8 階調から 2 4 8 階調の 8 ビット信号に変換され、かつ変換された 8 ビット信号に対し上記規則でノイズ量が 1 であるノイズパターンが付加されて出力される。これは 1 0 ビット情報をもつ 8 ビット信号と言える。

【 0 0 8 3 】

従って、実施の第一及び第二の各形態は、どちらも最終出力は 8 ビット信号ながら、その信号のデータには 1 0 ビットの情報が含まれており、1 0 ビットの表現力を持つ 8 ビットシステムとなっている。

【 0 0 8 4 】

40

この、実施の第一及び第二の各形態の駆動システムを L C D に組み込み、図 1 7 (a) に示すようなグラデーションパターンを表示させた。このグラデーションパターンは、左上が黄色、右下が青色であり、左下が暗部、右上が明部に設定し、L C D の外部から 8 ビットデータとして入力したものである。グラデーションパターンそのものは γ 曲線のなめらかさを直接反映する。使用した L C D は H D T V 用のものであり、ドット反転駆動により表示されるものである。比較として、図 2 0 に示すような、1 0 ビットへのデータ拡張機能を持たないリアル 8 ビットの駆動システム（第一比較例）にて同様の確認を行った。

【 0 0 8 5 】

その結果、リアル 8 ビットシステムでは、図 1 9 に示すように、独立 γ 処理を行ったことによる、がたがたの γ 曲線の影響で、グラデーション表示が図 1 7 (b) に示すように

50

なめらかにならなかった。本実施の第一及び第二の各形態のように、10ビット拡張した駆動システムでは、上記双方とも独立 γ 処理後も γ 曲線が図18に示すようになめらかにつながり、図17(c)及び図17(d)に示すように、自然なグラデーションが得られた。また、実施の第一及び第二の各形態では、それらの各表示の差は見られなかった。

【0086】

続いて、このグラデーションパターンをスクロールすることにより、本発明の有効性を確認した。このグラデーションパターンのスクロールは以下の現象を引き起こし、擬似多階調化によるノイズの影響を際立たせる。その影響についてまずは簡単な例により説明する。

【0087】

まず、図14(a)に示す8ビットのグラデーションパターンを擬似多階調化によって図14(b)に示す10ビット表現にする。ただし、便宜上、そのときの階調値は8ビットベースで記載している。これを、図15(a)及び図15(b)に示すように、左上方向にスクロールすることを考える。このとき、本当の10ビット表示が行われているのであれば、スクロールによって表示上の不具合が起こることはないが、実際には擬似多階調化による10ビット表現であるので、ベース階調である8ビットデータと、それに付加される時間周期をもった0または1のどちらかであるノイズパターンの組み合わせによって以下の映像不具合が生じる。

【0088】

図16(a)及び図16(b)に示すように、グレーで網掛けされた領域のなかで、特に黒く塗りつぶされた場所では、スクロールによるベース階調の変化、及びノイズパターンの変化によって、本来なら1の階調変化しか起こさないはずのノイズパターンで、2の階調変化を起こしている。実はこの場所はノイズパターンをどのように設定しても周期的に現れるため、上記現象を起こす場所は縞状となって観察されることになる。

【0089】

これが目立てば、高品位のLCDとしては問題である。しかしながら、本実施の第一及び第二の各形態ともに、この縞はほとんど目立たず、品位としては問題がないことがわかった。さらに、OS駆動処理のON、OFFに関わらず、本実施の第一及び第二の各形態ともに、この縞はほとんど目立たず、表示品位としてはどちらの形態でも問題がないことがわかった。

【0090】

さらに、本実施の第一及び第二の各形態にて、自然画による映像確認を行った。その結果、本実施の第一及び第二の各形態はどちらも独立 γ 後も γ 曲線がなめらかにつながっており、色とびや階調つぶれの影響がない高画質の映像が得られた。また、擬似多階調化によるノイズ感は、本実施の第一及び第二の各形態の双方で問題がなく、映像品位もほぼ同一であった。

【0091】

ここで、本実施の第一及び第二の各形態にて、擬似多階調化部2が発生するノイズ量を2として、グラデーションパターンによる評価を行った。その結果、本実施の第二形態ではグラデーションスクロール時に、周期的なノイズが目立つようになった。また、本実施の第一形態では本実施の第二形態よりもさらに周期的ノイズが目立つようになった。

【0092】

さらに、本実施の第一及び第二の各形態において、ノイズパターンを発生させる領域の大きさを $2 \times 2 \times \text{RGB}$ 、 $4 \times 4 \times \text{RGB}$ 、 $16 \times 16 \times \text{RGB}$ 、 $32 \times 32 \times \text{RGB}$ と変化させ、同様にスクロールパターンで評価した。その結果、 $2 \times 2 \times \text{RGB}$ では十分な多階調化の効果が得られなかった。また、 $32 \times 32 \times \text{RGB}$ では、多階調化の効果は十分だったが、回路が肥大化してしまった。

【0093】

さらに、本実施の第一及び第二の各形態において、ノイズパターンの繰り返し周期を4フレーム、8フレーム、16フレーム、32フレームと変化させ、同様にスクロールパタ

10

20

30

40

50

ーンで評価した。

【 0 0 9 4 】

その結果、4フレームでは、例えば擬似インパルス駆動を行った際にノイズパターンが半分消失してしまい、十分な多階調化の効果が得られなかった。8フレーム以上の周期のノイズでは、擬似インパルス駆動においてノイズパターンが半分消失しても、残りのパターンで十分な擬似多階調化の効果をすることができた。また、32フレームでは、多階調化の効果は十分だったが、回路が肥大化してしまった。

【 0 0 9 5 】

ここで、本実施の第一及び第二の各形態は、どちらも階調カット、独立 γ 、OS駆動の各ブロックにそれぞれの信号変換規則を記述したLUTが必要であり、さらに擬似多階調化部2のノイズパターンを格納したLUTが必要である。すなわち、LUTを最低4種類持つ必要があるので、回路が必要なメモリ量が大きくなる。そこで、LUTのうちいくつかを統合し、LUTの枚数を削減するような構成を考えた。ここで、擬似多階調化部2のLUTは他のブロックのLUTと性格を異にしているので、これは他ブロックのLUTと統合するのは困難である。

【 0 0 9 6 】

(実施の第三形態)

そこで、本発明の実施の第三形態として、図3又は図4に示すように、本実施の第一及び第二の各形態に記載の独立 γ 処理部1における階調カットブロック1cと独立 γ 処理ブロック1aの各LUT1b、1dを統合し、かつ、前記両ブロックを統合したブロック1eと、前記の統合されたLUT1b、1dを有する独立 γ 処理部11を、前記擬似多階調化部2、又はOS駆動部31の前段に配置する。この形態において、LUTは3種類でよく、1種類分のLUTが省略できることになる。

【 0 0 9 7 】

(実施の第四形態)

さらに、本発明の実施の第四形態では、図5に示すように、前記実施の第二形態における独立 γ 処理部1と、OS駆動部31とを統合して、OS演算と8→10ビット変換と階調カットの各機能を備えたOS演算ブロック3fと、前記LUT3c及び各LUT1b、1dとを統合した10ビットデータを格納した統合LUT3gとを有するOS駆動部32を設け、かつその統合LUT3fを有するOS駆動部32の後段に擬似多階調化部2が位置する構成とする。この形態において、LUTは2種類でよい。

【 0 0 9 8 】

前記実施の第一形態の構成ではOS駆動部3のLUT3cと独立 γ 処理部1の各LUT1b、1dの統合が困難であるため、この形態をとることは困難である。従って、本実施の第三及び第四の各形態は、回路の構成および使用可能なメモリ量で使い分ける必要がある。

【 0 0 9 9 】

そこで、本発明の第一、第二、第三、及び第四の各形態におけるそれぞれの駆動システムをLCDに組み込み、図18に示すグラデーションパターンを表示した。その結果、すべての形態において自然なグラデーションが得られ、表示における上記各形態の間に差は見られなかった。

【 0 1 0 0 】

また、上記各形態においてこのグラデーションパターンをスクロールさせた。その結果、各形態ともOS駆動処理のON、OFFにかかわらず擬似多階調化によるノイズ感は見られなかった。

【 0 1 0 1 】

さらに、各形態において自然画による映像確認を行った。その結果、各形態とも独立 γ 処理後も γ 曲線がなめらかにつながっており、色とびや階調つぶれの影響がない高画質の映像が得られた。また、擬似多階調化によるノイズ感は、各形態で問題がなく、映像品位もほぼ同一であった。

【 0 1 0 2 】

次に、本発明の第一、第二、第三、及び第四の各形態におけるLCDの応答速度を、OS駆動処理のON、OFFの各状態で測定した。比較として、図21に示すような、階調カットブロックを省いた駆動システム（第二比較例）での応答速度を測定した。この図21の駆動システムは、その独立 γ 処理部12に階調カットの機能を含んでいない。

【 0 1 0 3 】

その結果、図21の駆動システムでは、0階調および255階調近傍への階調遷移時にOS駆動処理がほとんど効かず、この領域への階調遷移を含む応答速度が、図23に示すように、OS駆動OFF時とOS駆動ON時でほとんど変化しなかった。また、図21のシステムにおいては、中間調間の遷移はOS駆動処理の効果が得られ、OS駆動OFF時に比較してOS駆動ON時は応答速度が高速化していた。

10

【 0 1 0 4 】

これに対し、本発明の第一、第二、第三、及び第四の各形態においては、階調カットブロックにより、0階調の下側および255階調の上側の各電圧領域がOS駆動専用の電圧領域として確保され、全階調においてOS駆動が効果的に機能した。それにより、OS駆動OFF時に比較してOS駆動ON時の応答速度は、図22に示すように、すべての階調遷移において高速化していた。

【 0 1 0 5 】

次に、本発明の第一、第二、第三、及び第四の各形態において、前記表示部（ディスプレイ）の持つ本来の γ 特性を変化させて、そのときの映像を評価した。このとき、独立 γ 処理部1、11において、表示部本来の γ 特性を変化させるような設定は行わなかった。 γ 値は2.0、2.2、2.5、2.8、3.0、3.2の各値で評価した。

20

【 0 1 0 6 】

その結果、 $\gamma = 2.0$ では黒の表現力が不十分であり、映像として問題であった。 $\gamma = 2.2$ では、問題ない映像であったが、階調カットブロックで黒側の8階調がカットされている影響で、黒輝度がやや浮いてしまい、コントラストが低下した。また、やや黒側の表現力が乏しかった。 $\gamma = 2.5$ 、2.8、3.0のときは黒側の輝度浮きや黒側の表現力を失うことなく、十分な表現力を持つ映像が得られた。 $\gamma = 3.2$ では黒が沈みすぎており、映像として問題があった。また、いずれの γ 特性においても、表示階調領域の γ 特性は元の γ 特性よりも小さくなっていた。

30

【 0 1 0 7 】

次に、第一、第二、第三、及び第四の各形態において、前記の評価で十分な表現力の映像が得られた $\gamma = 2.5$ 、2.8、3.0の各 γ 特性を持たせ、さらに、独立 γ 処理部1、11において、表示階調領域の γ 特性を本来の γ 特性よりも大きくする変換を行って、映像を評価した。その結果、各 γ 特性とも、独立 γ 処理部1、11で γ 調整を行う前よりも表現力のある映像が得られた。

【 0 1 0 8 】

次に、上記本発明における各形態を具体的構成として示す。

【 0 1 0 9 】

（実施の第五形態）

40

本発明の実施の第五形態として、図6に示すように、独立 $\gamma \rightarrow$ 擬似多階調化 $\rightarrow$ OS駆動の順で各部を並べたものを示す。このとき、OS駆動部3で使用される前フレームデータは、擬似多階調化部2の出力結果を8ビットデータとしてフレームメモリ3aに格納したものを使用する。

【 0 1 1 0 】

（実施の第六形態）

また、本発明の実施の第六形態として、図7に示すように、独立 $\gamma \rightarrow$ OS駆動 $\rightarrow$ 擬似多階調化の順で各部を並べたものを示す。このとき、OS駆動部31で使用される前フレームデータは、独立 γ 処理部12へ入力される前のデータを8ビットデータとしてフレームメモリ3aに格納したものを使用する。

50

【 0 1 1 1 】

(実施の第七形態)

また、本発明の実施の第七形態として、図 8 に示すように、独立 γ → 擬似多階調化 → O S 駆動の順で各部を並べたものを示す。このとき、O S 駆動部 3 で使用される前フレームデータは、独立 γ 処理部 1 2 へ入力される前のデータを 8 ビットデータとしてフレームメモリ 3 a に格納したものを使用する。

【 0 1 1 2 】

(実施の第八形態)

また、本発明の実施の第八形態として、図 9 に示すように、独立 γ (階調カット含む) → 擬似多階調化 → O S 駆動の順で各部を並べたものを示す。このとき、O S 駆動部 3 で使用される前フレームデータは、擬似多階調化部 2 の出力結果を 8 ビットデータとしてフレームメモリ 3 a に格納したものを使用する。

10

【 0 1 1 3 】

(実施の第九形態)

また、本発明の実施の第九形態として、図 1 0 に示すように、独立 γ (階調カット含む) → O S 駆動 → 擬似多階調化の順で各部を並べたものを示す。このとき、O S 駆動部 3 1 で使用される前フレームデータは、階調カットを含んだ独立 γ 処理部 1 2 へ入力される前のデータを 8 ビットデータとしてフレームメモリ 3 a に格納したものを使用する。

【 0 1 1 4 】

(実施の第十形態)

また、本発明の実施の第十形態として、図 1 1 に示すように、階調カット → 独立 γ → O S 駆動 → 擬似多階調化の順で各部やブロックを並べたものを示す。このとき、O S 駆動部 3 1 で使用される前フレームデータは、階調カットブロック 1 c の出力結果を 8 ビットデータとしてフレームメモリ 3 a に格納したものを使用する。このため、本実施の形態では階調カットブロック 1 c と独立 γ 処理ブロック 1 a を統合できず、また、前記実施の第一形態に記載の独立 γ 処理部 1 とは、階調カットブロック 1 c と独立 γ 処理ブロック 1 a との配置順が逆となる独立 γ 処理部 1 3 が用いられている。

20

【 0 1 1 5 】

したがって、本形態は十分なメモリ容量をもつ駆動システム、もしくは、前記実施の第四形態のように、独立 γ 処理部と O S 駆動部を統合した O S 駆動部 3 2 を備えた形態で

30

【 0 1 1 6 】

(実施の第十一形態)

また、本発明の実施の第十一形態として、図 1 2 に示すように、独立 γ (階調カット含む) → 擬似多階調化 → O S 駆動の順で各部を並べたものを示す。このとき、O S 駆動部 3 で使用される前フレームデータは、階調カットを含んだ独立 γ 処理部 1 1 へ入力される前のデータを 8 ビットデータとしてフレームメモリ 3 a に格納したものを使用する。

【 0 1 1 7 】

(実施の第十二形態)

また、本発明の実施の第十二形態として、図 1 3 に示すように、独立 γ (階調カット含む) → 擬似多階調化 → O S 駆動の順で各部を並べたものを示す。このとき、O S 駆動部 3 で使用される前フレームデータは、階調カットブロック 1 c の出力結果を 8 ビットデータとしてフレームメモリ 3 a に格納したものを使用する。

40

【 0 1 1 8 】

これらの第五ないし第十二の各形態に対し、前記第一、第二、第三、及び第四と同様の評価を行い、すべての上記第五ないし第十二の各形態に対して高速応答、高画質の映像が得られることが確認された。

【 0 1 1 9 】

以上で述べたように、本発明には多くの効果がある。

【 0 1 2 0 】

50

まず、本発明では、8ビット以上のnビット出力を行うLCDを用い、nビット以上のmビットデータを擬似多階調化でnビット変換する擬似多階調化部2と、OS駆動ブロックとを持つ駆動システムを用いる場合において、データに付加されるノイズ量を可能な限り小さくすること、およびOS駆動を常に8ビットで行うことにより、擬似多階調化部2とOS駆動ブロックの位置関係に関わりなく、同規模の回路で高画質かつ高速応答の表示装置を得ることができる。

【0121】

また、擬似多階調化部2の発生させるノイズパターンを、 $4 \times 4 \times RGB$ 、 $8 \times 8 \times RGB$ 、または $16 \times 16 \times RGB$ の領域の局所座標、mビットデータの下位(m-n)ビットデータ、および8フレームまたは16フレームのフレームカウンタで規定することで、ノイズ感のない多階調化された映像を持つ表示装置を得ることができる。

10

【0122】

さらに、擬似多階調化部2とOS駆動ブロックの前段に独立γ処理ブロックを配置することで、入力データをmビットに変換し、階調つぶれや階調とびのないなめらかなγ曲線をもつ高表現力の表示装置を得ることができる。

【0123】

さらに、擬似多階調化部2の前段または後段に、階調カットブロックを配置することで、従来OS駆動の効果が得にくかった黒への階調遷移、白への階調遷移時に、OS駆動が効果的に作用するようになることで、全階調で高速応答性を持つ表示装置が得られる。

【0124】

20

また、LUTを必要とする、階調カットブロック、独立γ処理ブロック、OS駆動ブロックの中で、回路規模およびその構成に応じて、必要なブロックを統合し、LUTの節約を図ることで、高速応答性と高表現力を兼ね備える表示装置をより安価に提供することができる。

【0125】

なお、上記の実施の各形態では、表示装置として、LCDを用いた例を挙げたが、擬似多階調化とOS駆動処理するものであれば、本発明を適用することができる。

【産業上の利用可能性】

【0126】

本発明の表示装置の駆動システムは、擬似多階調化とOS駆動処理とにより、表示画質を向上できる共に、OS駆動処理でのデータビット数を低減できて、データビット数の増加に起因するOS駆動処理の高コスト化を回避できるから、高画質が要求されるHDTV等の画像表示の分野に好適に適用できる。

30

【図面の簡単な説明】

【0127】

【図1】本発明に係る表示装置の駆動システムにおける実施の第一形態を示す回路ブロック図である。

【図2】上記駆動システムの実施の第二形態を示す回路ブロック図である。

【図3】上記駆動システムの実施の第三形態を示す回路ブロック図である。

【図4】上記第三形態の一変形例を示す回路ブロック図である。

40

【図5】上記駆動システムの実施の第四形態を示す回路ブロック図である。

【図6】上記駆動システムの実施の第五形態を示す回路ブロック図である。

【図7】上記駆動システムの実施の第六形態を示す回路ブロック図である。

【図8】上記駆動システムの実施の第七形態を示す回路ブロック図である。

【図9】上記駆動システムの実施の第八形態を示す回路ブロック図である。

【図10】上記駆動システムの実施の第九形態を示す回路ブロック図である。

【図11】上記駆動システムの実施の第十形態を示す回路ブロック図である。

【図12】上記駆動システムの実施の第十一形態を示す回路ブロック図である。

【図13】上記駆動システムの実施の第十二形態を示す回路ブロック図である。

【図14】図14(a)に示す8ビットデータに対する、斜めグラデーションを擬似多階

50

調化によって、図 14 (b) に示す 10 ビットの斜めグラデーションとした表である。ただし、すべての階調は 8 ビットベースで表現している。

【図 15】図 14 (b) と同じ図 15 (a) の表示を擬似多階調化を行った状態で斜め左上方向にスクロールした結果例を図 15 (b) に示した表である。

【図 16】図 15 に示す条件でスクロール前とスクロール後の階調変化を元階調とノイズパターンに分解したものを示す表であり、図 16 (a) は、通常の場合を示し、図 16 (b) は誤差が生じる場合を示す。

【図 17】本発明の駆動システムを映像評価するための、グラデーションパターンの例であり、図 17 (a) は元のグラデーションパターン、図 17 (b) は、第一比較例によるグラデーションパターン、図 17 (c) は、本発明の実施の第一形態によるグラデーションパターン、図 17 (d) は、本発明の実施の第二形態によるグラデーションパターンを示す。

10

【図 18】本発明の実施の形態において、多階調化を行った後、独立 γ 処理を行ったときの各色の階調変化の様子を示すグラフである。

【図 19】第二比較例において、多階調化をおこなわず、独立 γ 処理を行ったときの各色の階調変化の様子を示すグラフである。

【図 20】独立 γ 処理機能を有するリアル 8 ビットの駆動システムを第一比較例として示す回路ブロック図である。

【図 21】階調カット機能をもたない駆動システムを第二比較例として示す回路ブロック図の例である。

20

【図 22】階調カット機能を有する本発明の駆動システムでの応答速度の分布を示すグラフである。

【図 23】階調カット機能をもたない第二比較例の駆動システムでの応答速度の分布を示すグラフである。

【符号の説明】

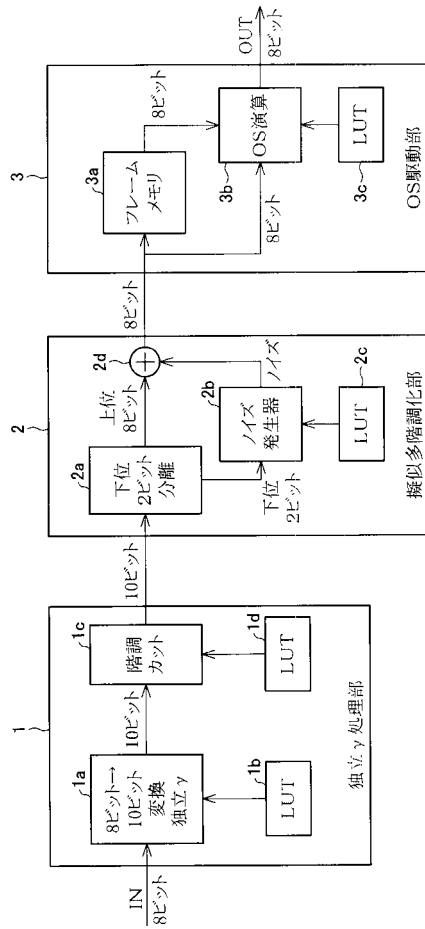
【0128】

- 1 独立 γ 処理部
- 1 a 8 ビット → 10 ビット変換・独立 γ 処理ブロック
- 1 b LUT
- 1 c 階調カットブロック
- 1 d LUT
- 2 擬似多階調化部
- 2 a 下位 2 ビット分離ブロック
- 2 b ノイズ発生器
- 2 c LUT
- 2 d 加算器
- 3 OS 駆動部
- 3 a フレームメモリ
- 3 b OS 演算ブロック
- 3 c LUT

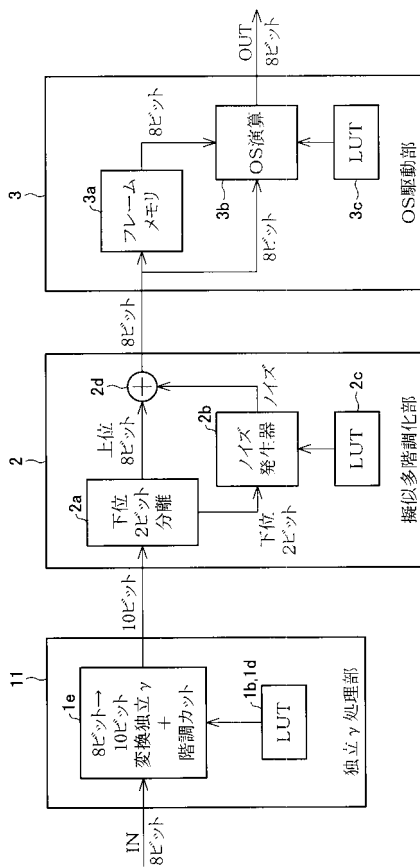
30

40

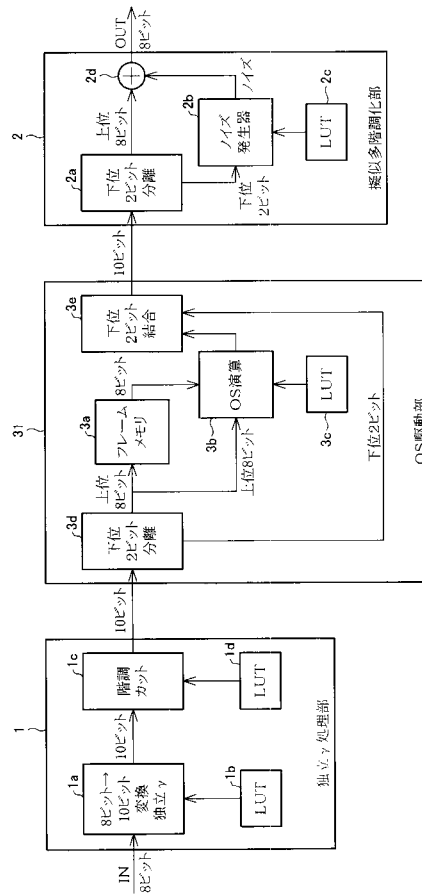
【図 1】



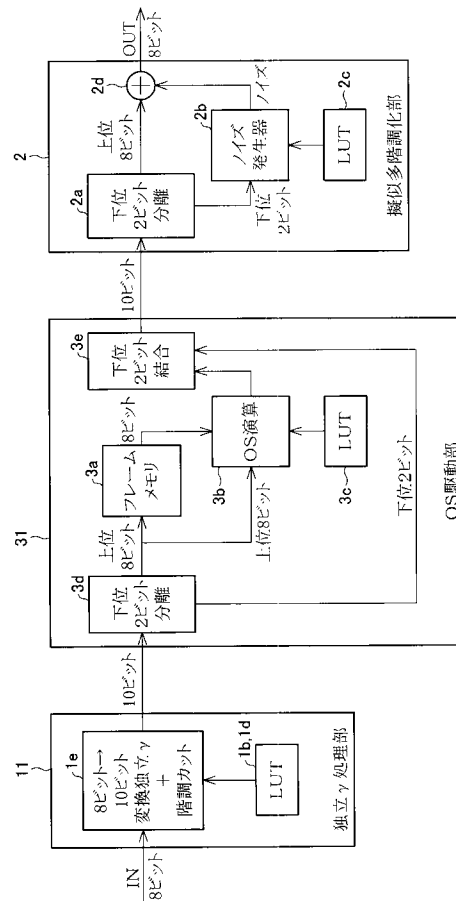
【図 3】



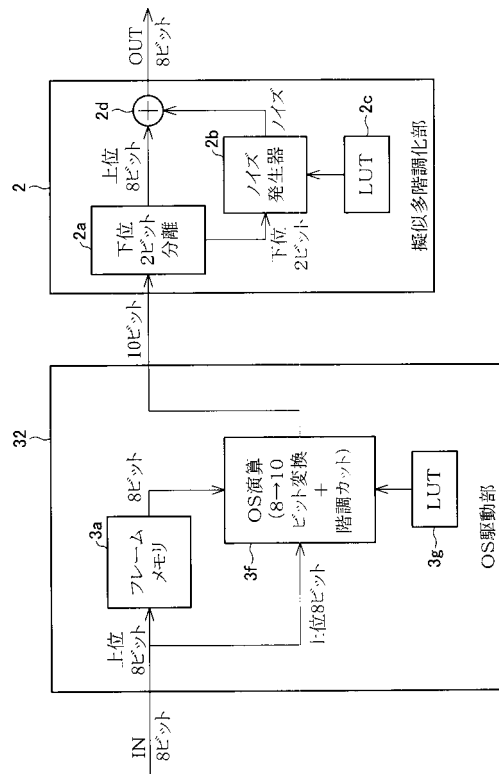
【図 2】



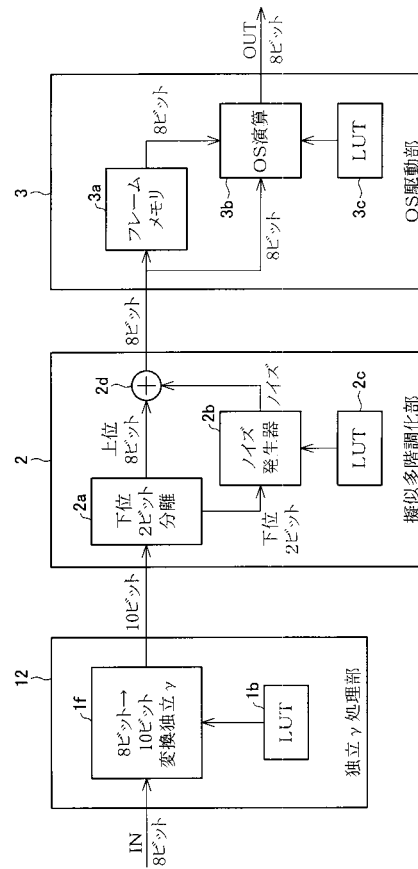
【図 4】



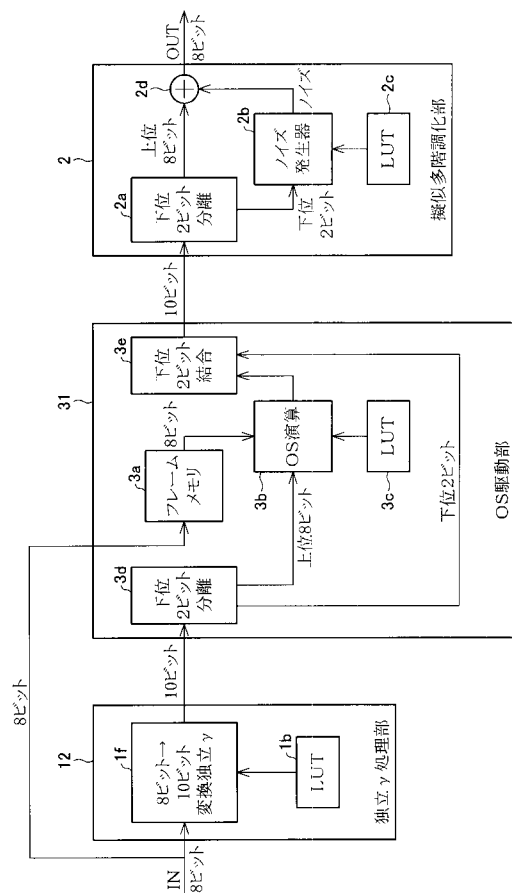
【図 5】



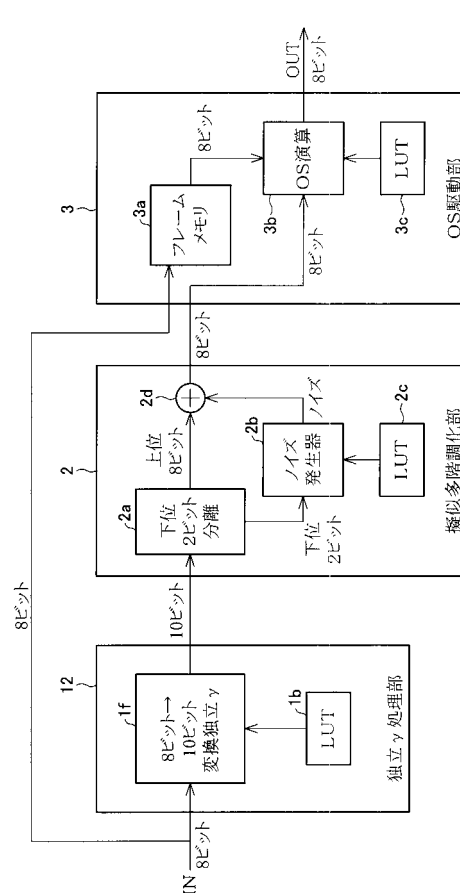
【図 6】



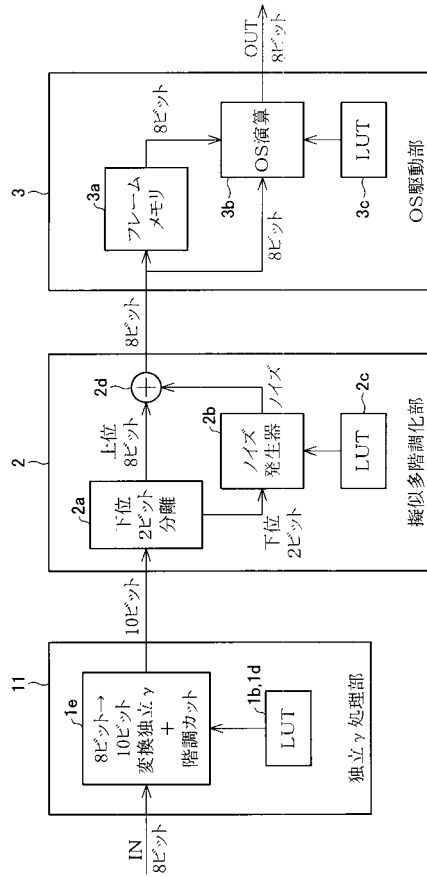
【図 7】



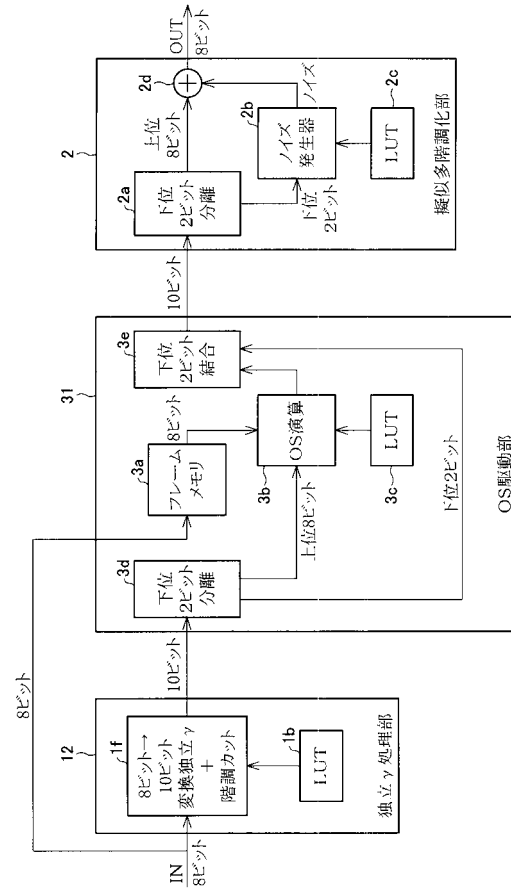
【図 8】



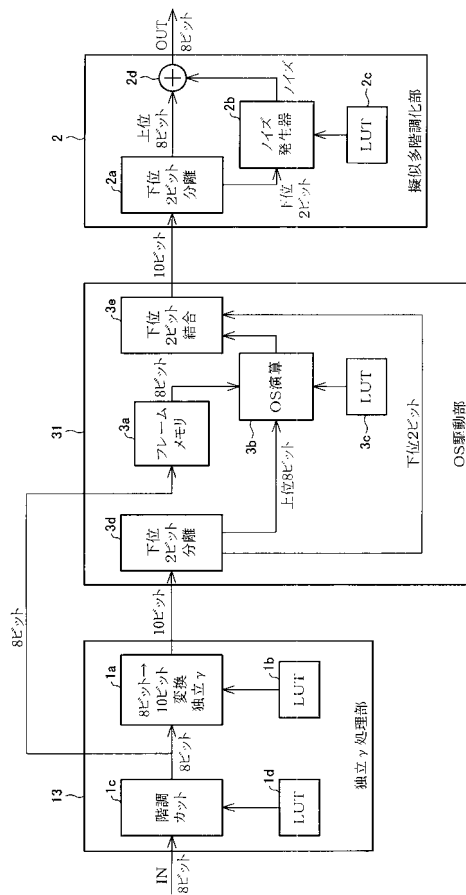
【図 9】



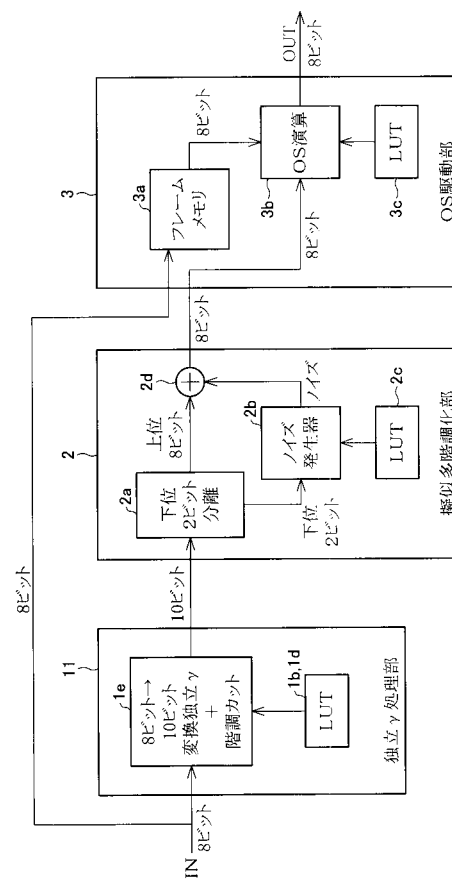
【図 10】



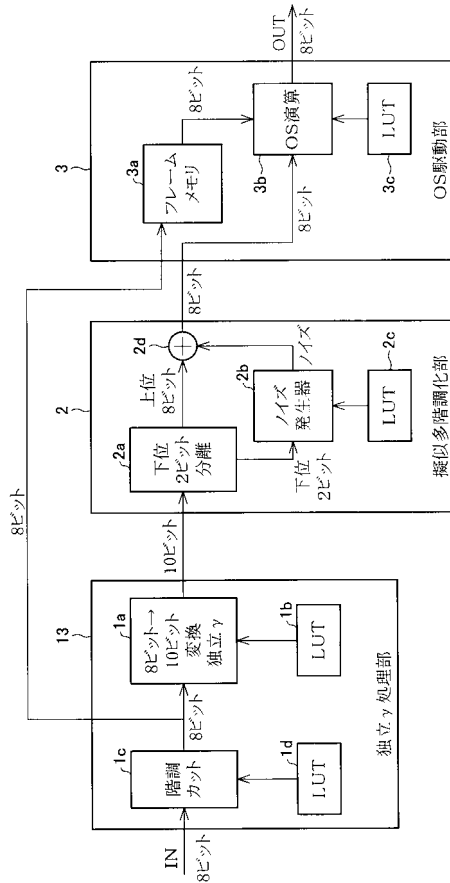
【図 11】



【図 12】



【 図 1 3 】



【 図 1 4 】

(a)

8ビット

60	60	60	60	60	60	60	60
60	60	60	60	60	60	60	60
60	60	60	60	60	60	59	59
60	60	60	60	60	60	59	59
60	60	60	60	59	59	59	59
60	60	60	60	59	59	59	59
60	60	59	59	59	59	59	59
60	60	59	59	59	59	59	59

(b) 10ビット(ただし階調値は8ビット表現)

60.75	60.75	60.5	60.5	60.25	60.25	60	60
60.75	60.75	60.5	60.5	60.25	60.25	60	60
60.5	60.5	60.25	60.25	60	60	59.75	59.75
60.5	60.5	60.25	60.25	60	60	59.75	59.75
60.25	60.25	60	60	59.75	59.75	59.5	59.5
60.25	60.25	60	60	59.75	59.75	59.5	59.5
60	60	59.75	59.75	59.5	59.5	59.25	59.25
60	60	59.75	59.75	59.5	59.5	59.25	59.25

【 図 1 5 】

(a)

スクロール方向

スクロール前

60.75	60.75	60.5	60.5	60.25	60.25	60	60
60.75	60.75	60.5	60.5	60.25	60.25	60	60
60.5	60.5	60.25	60.25	60	60	59.75	59.75
60.5	60.5	60.25	60.25	60	60	59.75	59.75
60.25	60.25	60	60	59.75	59.75	59.5	59.5
60.25	60.25	60	60	59.75	59.75	59.5	59.5
60	60	59.75	59.75	59.5	59.5	59.25	59.25
60	60	59.75	59.75	59.5	59.5	59.25	59.25

スクロール後

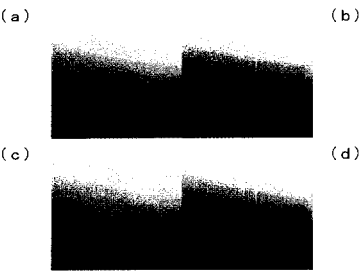
60.25	60.25	60	60	59.75	59.75	59.5	59.5
60.25	60.25	60	60	59.75	59.75	59.5	59.5
60	60	59.75	59.75	59.5	59.5	59.25	59.25
60	60	59.75	59.75	59.5	59.5	59.25	59.25
59.75	59.75	59.5	59.5	59.25	59.25	59	59
59.75	59.75	59.5	59.5	59.25	59.25	59	59
59.5	59.5	59.25	59.25	59	59	58.75	58.75
59.5	59.5	59.25	59.25	59	59	58.75	58.75

(b)

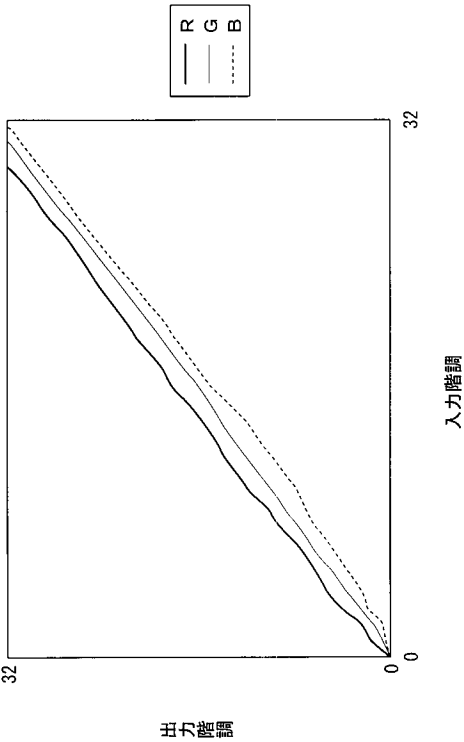
【 図 1 6 】

[illegible]

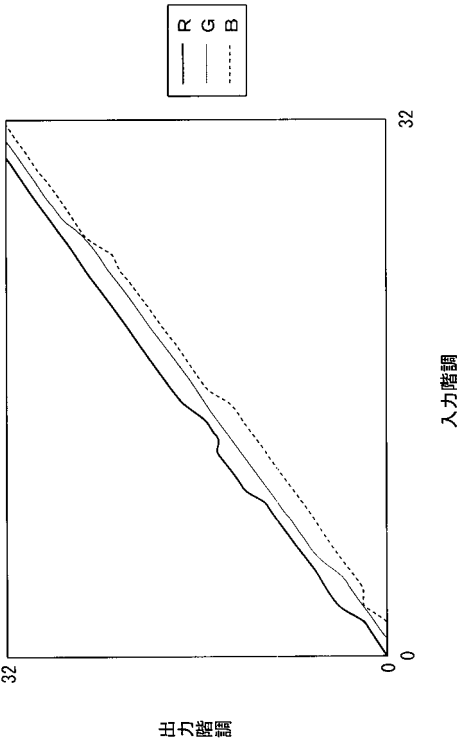
【図 17】



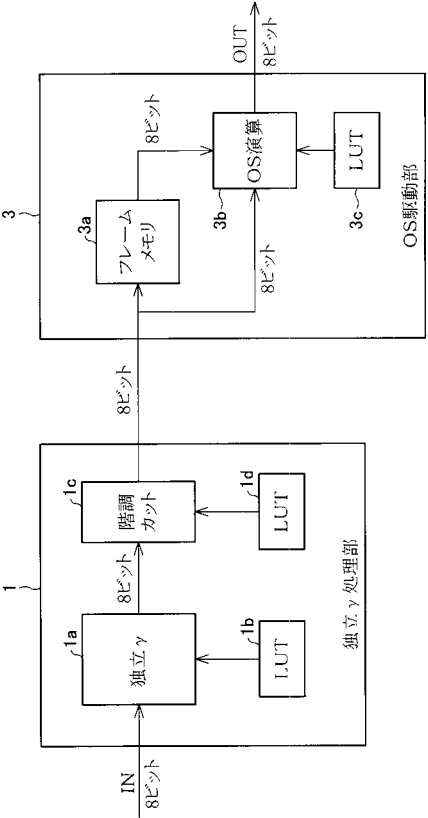
【図 18】



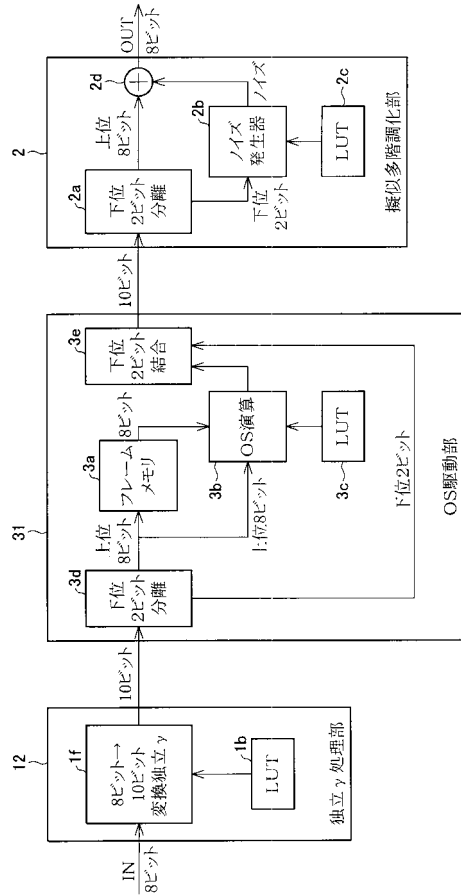
【図 19】



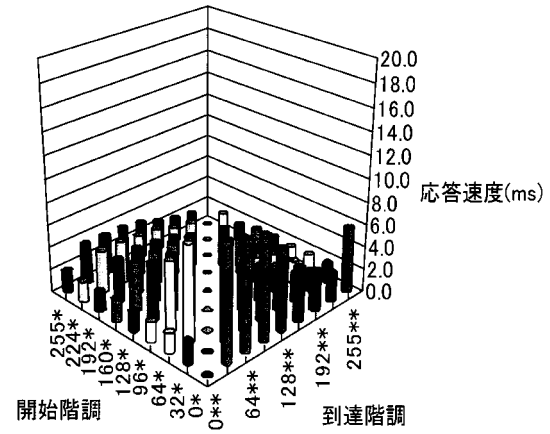
【図 20】



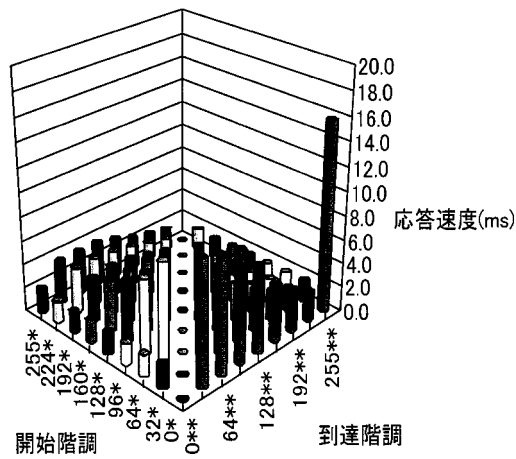
【図 2 1】



【図 2 2】



【図 2 3】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 P
G 0 9 G 3/20 6 4 1 Q
G 0 9 G 3/20 6 5 0 M
G 0 9 G 3/20 6 6 0 V

(72)発明者 塩見 誠
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
(72)発明者 白石 泰
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
(72)発明者 繁田 光浩
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 西島 篤宏

(56)参考文献 特開 2 0 0 2 - 0 6 2 8 5 0 (J P , A)
特開 2 0 0 2 - 1 5 6 9 5 0 (J P , A)
特開平 0 9 - 1 8 5 7 0 7 (J P , A)
特開 2 0 0 1 - 3 3 7 6 6 7 (J P , A)
特開平 0 8 - 3 0 4 7 7 1 (J P , A)
特開 2 0 0 1 - 1 1 7 5 2 8 (J P , A)
特開 2 0 0 3 - 2 0 7 7 6 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0

专利名称(译)	显示装置的驱动系统		
公开(公告)号	JP4050240B2	公开(公告)日	2008-02-20
申请号	JP2004052301	申请日	2004-02-26
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	古川智朗 塩見誠 白石泰 繁田光浩		
发明人	古川 智朗 塩見 誠 白石 泰 繁田 光浩		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G11C5/00		
CPC分类号	G09G3/2055 G09G3/3611 G09G2320/0252 G09G2320/0261 G09G2320/0276 G09G2320/0285 G09G2340/16		
FI分类号	G09G3/36 G02F1/133.570 G02F1/133.575 G09G3/20.621.F G09G3/20.641.H G09G3/20.641.P G09G3/20.641.Q G09G3/20.650.M G09G3/20.660.V G09G3/20.631.V G09G3/20.642.L		
F-TERM分类号	2H093/NA53 2H093/NC13 2H093/NC29 2H093/NC49 2H093/NC59 2H093/NC65 2H093/NC90 2H093/ND03 2H093/ND33 2H093/ND49 2H193/ZD23 2H193/ZE01 2H193/ZH40 5C006/AA12 5C006/AA13 5C006/AA14 5C006/AA16 5C006/AA22 5C006/AF03 5C006/AF04 5C006/AF11 5C006/AF22 5C006/AF45 5C006/AF46 5C006/AF84 5C006/AF85 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BF02 5C006/BF22 5C006/FA14 5C006/FA31 5C006/FA44 5C006/FA51 5C006/FA54 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD08 5C080/DD12 5C080/DD22 5C080/DD27 5C080/EE04 5C080/EE19 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG12 5C080/JJ01 5C080/JJ02 5C080/JJ05		
代理人(译)	木岛隆一 金子 一郎		
其他公开文献	JP2005242026A		
外部链接	Espacenet		

摘要(译)

要解决的问题：结合强调使液晶高速响应的过冲驱动方法和通过应用噪声增加显示灰度级数，并具有高速响应和高灰度级表示能力的伪多级调平技术一种廉价的驱动系统，用于显示装置，例如高质量的液晶显示器。 解决方案：通过将噪声模式添加到m输入信号D0的高n位以获得9或更大的整数m以及8或更大的整数n和m而获得的数据D1的高n位是输出数据D2伪多灰度级单元2被提供为提供过冲驱动器3以对每个像素执行过冲驱动。噪声模式的噪声量在8位数据中不大于1，并且用n位数据执行过冲驱动器3的计算。[选图]图1

図 1

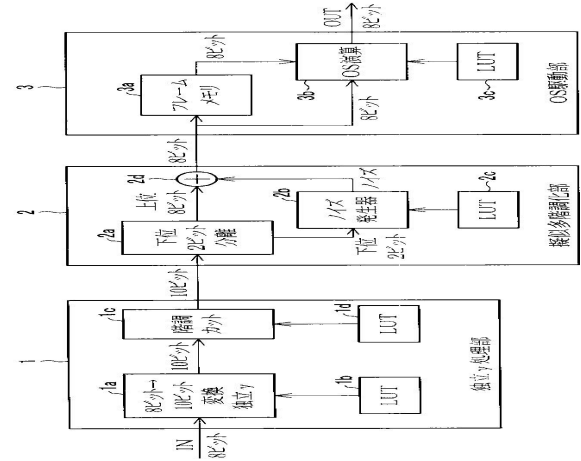


図 3