

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4010308号
(P4010308)

(45) 発行日 平成19年11月21日(2007.11.21)

(24) 登録日 平成19年9月14日(2007.9.14)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G09G 3/20 621B

G09G 3/20 622L

G09G 3/20 642A

請求項の数 3 (全 14 頁)

(21) 出願番号 特願2004-153201 (P2004-153201)
 (22) 出願日 平成16年5月24日(2004.5.24)
 (65) 公開番号 特開2005-338152 (P2005-338152A)
 (43) 公開日 平成17年12月8日(2005.12.8)
 審査請求日 平成17年4月18日(2005.4.18)

前置審査

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 加藤 正和
 愛知県名古屋市中区康生通2丁目20番地
 1 株式会社メイテック内
 (72) 発明者 櫻井 洋介
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 大村 幸一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置および表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項1】

電気光学素子を含む画素が行列状に2次元配置されてなる画素アレイ部と、
 前記画素アレイ部の垂直方向におけるN個(Nは2以上の整数)の領域を行単位で順番
 に垂直走査するに当たって、ある行を選択した後の次の行の選択において、異なる領域に
 属する行を選択する垂直駆動手段と、

前記垂直駆動手段によって選択された行の各画素に対して1水平期間ごとに極性が反転
 する映像信号を書き込む水平駆動手段とを備え、

前記垂直駆動手段は、前記画素を行単位で選択するためのドライブパルスを、前記N個
 の領域に書き込まれる前記映像信号の極性が隣り合う領域間で反転し、同一領域で同一極
 性になるように、前記N個の領域に対して1水平期間の周期で順番に発生する

ことを特徴とする表示装置。

【請求項2】

前記垂直駆動手段は、2つの垂直駆動回路を有し、
 前記2つの垂直駆動回路は各々、
 前記第2の垂直スタートパルスにตอบสนองして前記第2の垂直駆動クロックに同期して転送
 動作を行い、各転送段から転送パルスを順次出力するシフトレジスタと、

前記シフトレジスタから出力される自段の転送パルスおよび次段の転送パルスと、前記
 第2の垂直クロックパルスの周期の1/2Nの周期で、かつ前記第2の垂直クロックパ
 ルスのパルス幅の1/2Nよりも狭いパルス幅のインーブルパルスとの論理積をとる第1の

10

20

論理積回路群と、

前記第2の垂直クロックパルスに対して周期が同じで、位相が90度ずれた互いに逆相の第3の垂直クロックパルスの各々と前記第1の論理積回路群の各出力パルスとの論理積をとる第2の論理積回路群とを有し、

前記イネーブルパルスは、前記2つの垂直駆動回路間で位相が180度ずれていることを特徴とする請求項1記載の表示装置。

【請求項3】

電気光学素子を含む画素が行列状に2次元配置されてなる画素アレイ部を有する表示装置に対し、1フィールド期間ごとに極性が反転する映像信号を書き込んで1フィールド反転駆動する駆動方法であって、

前記画素アレイ部の垂直方向におけるN個（Nは2以上の整数）の領域を行単位で順番に垂直走査するに当たって、ある行を選択した後の次の行の選択において、異なる領域に属する行を選択する第1のステップと、

前記第1のステップで選択した行の各画素に対して1水平期間ごとに極性が反転する映像信号を書き込む第2のステップとを有し、

前記第1のステップでは、前記画素を行単位で選択するためのドライブパルスを、前記N個の領域に書き込まれる前記映像信号の極性が隣り合う領域間で反転し、同一領域で同一極性になるように、前記N個の領域に対して1水平期間の周期で順番に発生する

ことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置および表示装置の駆動方法に関し、特に電気光学素子を含む画素が行列状に2次元配置されてなる表示装置および当該表示装置の駆動方法に関する。

【背景技術】

【0002】

電気光学素子を含む画素が行列状に2次元配置されてなる表示装置、例えば電気光学素子として液晶セルを用いてなる液晶表示装置では、液晶セルに長時間に亘って直流電圧を印加し続けると、液晶の比抵抗（物質固有の抵抗値）等の劣化や、「焼き付き」と呼ばれる残像現象を引き起こすため、液晶セルの対向電極の電位に対して画素電極に印加される信号電圧の極性を所定の周期で反転させる交流駆動法が採られている。

【0003】

この交流駆動法としては、液晶セルの対向電極に印加するコモン電圧 V_{com} を一定にして、信号電圧 V_{sig} の極性を1H（Hは水平期間）ごとに反転させる1H反転駆動法や、液晶セルの対向電極に印加するコモン電圧 V_{com} を一定にして、信号電圧 V_{sig} の極性を1F（Fはフィールド期間、即ち画面の繰り返し期間を言う）ごとに反転させる1F反転駆動法などが知られている（例えば、特許文献1参照）。

【0004】

ところで、液晶表示装置においては、信号電圧 V_{sig} を画素に書き込むための信号線と、液晶セルの対向電極にコモン電圧 V_{com} を各画素共通に与えるためのコモン線とが交差しており、信号線とコモン線との間には寄生容量が存在するため、信号線に信号電圧 V_{sig} を書き込む際に、当該寄生容量によるカップリングによって信号電圧 V_{sig} がコモン線に飛び込み、コモン線の電位が信号電圧 V_{sig} と同じ極性の方向に揺れ、クロストークが発生する。

【0005】

このような問題に対して、1H反転駆動法では、信号電圧 V_{sig} が書き込まれる信号線の電位が1Hごとに反転することにより、カップリングによるコモン線の電位の揺れをライン（画素行）間で相殺することができるため、カップリングに起因するクロストークの発生を抑えることができる。

【0006】

10

20

30

40

50

【特許文献1】特開2001-42287号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、1F反転駆動法では、コントラストを向上できるとともに、VA (Viewing Angle; 垂直配向) 液晶を用いた長寿命化が可能になるというメリットがある反面、1F期間に亘って同じ極性の信号電圧 V_{sig} を信号線に書き込むことになることから、カップリングによるコモン線の電位の揺れをライン間で相殺することができないため、カップリングに起因するクロストークの発生を抑えることができない。

【0008】

また、画素電位と信号線電位との電位差が大きい場合に、画素のスイッチング素子、例えば TFT (Thin Film Transistor; 薄膜トランジスタ) では、ソース/ドレインの形状が違ふことによってリークが生じ、そのリーク量が1画面内で異なるため、図11に示すように、画質劣化の原因となるシェーディングが発生する。具体的には、例えば図12に示すように、コモン電圧 V_{com} が7.5Vで、信号線電位がH側10.0V/L側5.0V (中間調) の場合を例に挙げると、画面上部A、画面中央部B、画面下部Cでリーク期間が違ふことにより、1画面内でのリーク量が異なるため、画面上部Aではリークの影響はほとんどなく、画面中央部Bではリークの影響で若干白っぽくなり、画面下部Cではリークの影響で白っぽくなり、シェーディングが発生する。

【0009】

本発明は、上記課題に鑑みてなされたものであって、その目的とするところは、1F反転駆動法のメリットであるコントラストの向上とVA液晶を用いた長寿命化を図りつつ、クロストークやシェーディングの発生を抑制可能とした表示装置および表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0010】

上記目的を達成するために、本発明では、電気光学素子を含む画素が行列状に2次元配置されてなる画素アレイ部を有する表示装置において、前記画素アレイ部の垂直方向におけるN個 (Nは2以上の整数) の領域を行単位で順番に垂直走査するに当たって、ある行を選択した後の次の行の選択において、異なる領域に属する行を選択し、この選択した行の各画素に対して1水平期間 (1H) ごとに極性が反転する映像信号を書き込むとともに、垂直走査の際に、前記画素を行単位で選択するためのドライブパルスを、前記N個の領域に書き込まれる前記映像信号の極性が隣り合う領域間で反転し、同一領域で同一極性になるように、前記N個の領域に対して1水平期間の周期で順番に発生する構成を採っている。

【0011】

上記構成の表示装置において、画素アレイ部の垂直方向におけるN個の領域を行単位で順番に垂直走査するに当たって、ある行を選択した後の次の行の選択において、異なる領域に属する行を選択する、例えばN=2の場合には2つの領域を交互に垂直走査しつつ、2つの領域の各画素を行単位で選択し、選択行の各画素に対しては1Hごとに極性が反転する映像信号を書き込むことで、2つの領域に書き込まれる映像信号の極性が隣り合う領域間で反転し、同一領域で同一極性になる。これにより、各領域ではそれぞれ1F反転駆動を実現できる。また、選択行の各画素に対しては、1Hごとに極性が反転する映像信号を書き込むことで、1H反転駆動を実現できる。その結果、1F反転駆動法のメリットと1H反転駆動法のメリットとを享受できる。

【発明の効果】

【0012】

本発明によれば、1F反転駆動法のメリットと1H反転駆動法のメリットとを享受できるため、コントラストの向上とVA液晶を用いた長寿命化を図りつつ、クロストークやシェーディングの発生を抑制することができる。

10

20

30

40

50

【発明を実施するための最良の形態】**【0013】**

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0014】

図1は、本発明の一実施形態に係る表示装置の構成の概略を示すブロック図である。ここでは、画素の電気光学素子として液晶セルを用いたアクティブマトリクス型液晶表示装置を例に挙げて説明するものとする。

【0015】

図1から明らかなように、本実施形態に係るアクティブマトリクス型液晶表示装置は、画素アレイ部11、例えば2つの垂直駆動回路12A、12Bおよび水平駆動回路13を有する構成となっている。画素アレイ部11は、電気光学素子である液晶セルを含む画素20が、透明絶縁基板、例えばガラス基板（図示せず）上に行列状に2次元配置され、この行列状（m行n列）の画素配列に対して行ごとに走査線13-1～13-mが、列ごとに信号線14-1～14-nがそれぞれ配線された構成となっている。ガラス基板は別のガラス基板（図示せず）と所定の間隙を持って対向配置され、これら2枚のガラス基板間に液晶材料が封止されることによって液晶パネルが形成されることになる。

10

【0016】

図2は、画素（画素回路）20の回路構成の一例を示す回路図である。図2から明らかなように、画素20は、画素トランジスタ、例えばTFT（Thin Film Transistor；薄膜トランジスタ）21と、このTFT21のドレイン電極に画素電極が接続された液晶セル22と、TFT21のドレイン電極に一方の電極が接続された保持容量23とを有する構成となっている。ここで、液晶セル22は、画素電極とこれに対向して形成される対向電極との間で発生する液晶容量を意味する。

20

【0017】

TFT21はゲート電極が走査線14（14-1～14-m）に接続され、ソース電極が信号線15（15-1～15-n）に接続されている。また、例えば、液晶セル22の対向電極および保持容量23の他方の電極がコモン線16に対して各画素共通に接続されている。そして、液晶セル22の対向電極には、コモン線16を介してコモン電圧（対向電極電圧）Vcomが各画素共通に与えられる。

【0018】

m行n列の画素配列の画素アレイ部11は、例えば垂直方向（図の上下方向）の中間で上下に2分割されている。すなわち、ライン数（行数）nの1/2をi（=n/2）とすると、画素アレイ部11は、1行目～i行目の上側画素部11Aと、i+1行目～n行目の下側画素部11Bとに分割されている。なお、画素アレイ部11の上下方向における分割は、2分割に限られるものではなく、上下方向において均等なライン数にて3分割、4分割、……等、任意に設定可能である。

30

【0019】

垂直駆動回路12A、12Bおよび水平駆動回路13を含む周辺回路は、例えば画素アレイ部11と同じ基板（液晶パネル）上に集積される。垂直駆動回路12A、12Bは、画素アレイ部11の分割数に対応した数だけ設けられ、走査線16-1～16-nを介して画素アレイ部11の各画素20を行単位で順次選択する。本発明では、垂直駆動回路12A、12Bの具体的な構成および特徴とするものであり、その詳細については後で詳細に説明する。

40

【0020】

なお、ここでは、2つの垂直駆動回路12A、12Bを画素アレイ部11の左右の一方側に配置し、走査線16-1～16-nを片側から駆動する構成を採っているが、画素アレイ部11の左右両側に配置し、走査線16-1～16-nを両側から駆動する構成を採ることも可能である。

【0021】

水平駆動回路13は、例えばシフトレジスタやアナログスイッチ等によって構成されて

50

おり、垂直駆動回路 12A, 12B によって順に選択された行の各画素 20 に対して、外部から与えられる映像信号 $Vsig$ を、信号線 15-1 ~ 15-m を介して画素単位 (点順次) あるいは行単位 (線順次) にて書き込む。なお、水平駆動回路 13 から信号線 15-1 ~ 15-m に出力される映像信号 $Vsig$ の極性は、1H (H は水平期間) ごとに反転するものとする。

【0022】

次に、本発明の特徴部分である垂直駆動回路 12A, 12B の具体的な構成および動作について説明する。

【0023】

垂直駆動回路 12A, 12B は各々、基本的に、シフトレジスタ、NAND 回路、インバータ等の論理回路の組み合わせによって構成されることになる。これら垂直駆動回路 12A, 12B には、垂直走査の開始を指令する垂直スタートパルス VST および垂直走査の基準となる互いに逆相の垂直クロックパルス VCK , $VCKX$ が与えられる。

【0024】

なお、垂直スタートパルス VST および垂直クロックパルス VCK , $VCKX$ の各周期としては、本例では画素アレイ部 11 を 2 分割し、2 つの垂直駆動回路 12A, 12B によって垂直走査する構成を採っていることから、画素アレイ部 11 の各画素 20 を 1 つの垂直駆動回路によって垂直走査する構成を採る場合に用いる垂直スタートパルスおよび垂直クロックパルスの周期の 2 倍に設定される。因みに、画素アレイ部 11 を N 分割 ($N = 3, 4, \dots$) する場合は、垂直スタートパルス VST および垂直クロックパルス VCK , $VCKX$ の各周期を、上記垂直スタートパルスおよび垂直クロックパルスの周期の N 倍に設定すれば良い。

【0025】

図 3 は、上側画素部 11A の各画素を垂直走査する垂直駆動回路 12A の構成の一例を示すブロック図である。ここでは、図面の簡略化のために、上側画素部 11A の 1 行目、2 行目の画素行を選択するためのドライブパルス $V1$, $V2$ を生成する回路部分のみの構成を示すものとする。

【0026】

図 3 において、シフトレジスタ 31 は、画素アレイ部 11 のライン数 (行数) m に対応した $m/2$ 段の転送段 (S/R) 31-1, 31-2, ... が縦続接続され、垂直スタートパルス VST が与えられることで、互いに逆相の垂直クロックパルス VCK , $VCKX$ に同期して転送 (シフト) 動作を行い、各転送段 31-1, 31-2, ... から転送パルス $TR1A$, $TR2A$ を順次出力する。自段の転送段 31-1 の転送パルス $TR1A$ と次段の転送段 31-2 の転送パルス $TR2A$ は、3 入力 NAND 回路 32 にその 2 入力として与えられる。NAND 回路 32 には、残りの 1 入力としてイネーブルパルス $ENB1$ が与えられる。イネーブルパルス $ENB1$ は、垂直クロックパルス VCK の周期の $1/4$ の周期で、かつ垂直クロックパルス VCK のパルス幅の $1/4$ よりも狭いパルス幅のパルス信号である。

【0027】

NAND 回路 32 の出力パルスは、インバータ 33 で反転された後、2 入力 NAND 回路 34, 35 に各一方の入力として与えられる。NAND 回路 34 には、他方の入力として垂直クロックパルス vck が与えられる。NAND 回路 35 には、他方の入力として垂直クロックパルス vck と逆相の垂直クロックパルス $vckx$ が与えられる。垂直クロックパルス vck , $vckx$ は、垂直クロックパルス VCK , $VCKX$ に対して周期が同じで、位相が 90 度ずれたパルス信号である。NAND 回路 34, 35 の各出力パルスは、上側画素部 11A の 1 行目、2 行目の各行を選択するためのドライブパルス $V1$, $V2$ として 1 行目、2 行目の走査線 14-1, 14-2 をそれぞれ駆動する。

【0028】

図 4 は、下側画素部 11B の各画素を垂直走査する垂直駆動回路 12B の構成の一例を示すブロック図である。ここでは、図面の簡略化のために、下側画素部 11B の i 行目、

10

20

30

40

50

$i + 1$ 行目の画素行を選択するためのドライブパルス V_i , V_{i+1} を生成する回路部分のみの構成を示すものとする。

【 0 0 2 9 】

図 4 において、シフトレジスタ 4 1 は、シフトレジスタ 3 1 と同様に、 $m / 2$ 段の転送段 (S / R) 4 1 - 1 , 4 1 - 2 , ... が縦続接続され、垂直スタートパルス VST が与えられることで、即ちシフトレジスタ 3 1 と同じタイミングで垂直クロックパルス VCK , $VCKX$ に同期して転送動作を開始し、各転送段 4 1 - 1 , 4 1 - 2 , ... から転送パルス $TR1B$, $TR2B$ を順次出力する。自段の転送段 4 1 - 1 の転送パルス $TR1B$ と次段の転送段 4 1 - 2 の転送パルス $TR2B$ は、3 入力 $NAND$ 回路 4 2 にその 2 入力として与えられる。 $NAND$ 回路 4 2 には、残りの 1 入力としてイネーブルパルス $ENB2$ が与えられる。イネーブルパルス $ENB2$ は、イネーブルパルス $ENB1$ と同じく、垂直クロックパルス VCK の周期の $1 / 4$ の周期で、かつ垂直クロックパルス VCK のパルス幅の $1 / 4$ よりも狭いパルス幅を持ち、しかもイネーブルパルス $ENB1$ に対して位相が 180 度ずれたパルス信号である。

10

【 0 0 3 0 】

$NAND$ 回路 4 2 の出力パルスは、インバータ 4 3 で反転された後、2 入力 $NAND$ 回路 4 4 , 4 5 に各一方の入力として与えられる。 $NAND$ 回路 4 4 には、他方の入力として垂直クロックパルス vck が与えられる。 $NAND$ 回路 3 5 には、他方の入力として垂直クロックパルス $vckx$ が与えられる。垂直クロックパルス vck , $vckx$ は、垂直クロックパルス VCK , $VCKX$ に対して位相が 90 度ずれたパルス信号である。 $NAND$ 回路 4 4 , 4 5 の各出力パルスは、下側画素部 1 1 B の 1 行目、2 行目、全体では i 行目 + 1、 $i + 2$ 行目の各行を選択するためのドライブパルス V_{i+1} , V_{i+2} として $i + 1$ 行目、 $i + 2$ 行目の走査線 $14 - i + 1$, $14 - i + 2$ をそれぞれ駆動する。

20

【 0 0 3 1 】

続いて、上記構成の垂直駆動回路 1 2 A , 1 2 B の回路動作について、図 5 のタイミングチャートを用いて説明する。

【 0 0 3 2 】

図 5 のタイミングチャートは、垂直スタートパルス VST 、互いに逆相の垂直クロックパルス VCK , $VCKX$ 、シフトレジスタ 3 1 から出力される転送パルス $TR1A$, $TR2A$ 、シフトレジスタ 4 1 から出力される転送パルス $TR1B$, $TR2B$ 、イネーブルパルス $ENB1$, $ENB2$ 、インバータ 3 3 , 4 3 の各出力パルス $X1A$, $X1B$ 、互いに逆相の垂直クロックパルス vck , $vckx$ 、垂直駆動回路 1 2 A から出力されるドライブパルス $V1$, $V2$ および垂直駆動回路 1 2 B から出力されるドライブパルス V_{i+1} , V_{i+2} の各タイミング関係を示している。

30

【 0 0 3 3 】

まず、垂直スタートパルス VST が垂直駆動回路 1 2 A , 1 2 B の各シフトレジスタ 3 1 , 4 1 に与えられることにより、これら各シフトレジスタ 3 1 , 4 1 は同時に転送動作 (シフト動作) を開始する。この転送動作により、シフトレジスタ 3 1 から転送パルス $TR1A$, $TR2A$, ... が順に出力され、シフトレジスタ 4 1 から転送パルス $TR1B$, $TR2B$, ... が順に出力される。

40

【 0 0 3 4 】

次に、転送パルス $TR1A$, $TR2A$ とイネーブルパルス $ENB1$ との論理積が $NAND$ 回路 3 3 でとられることにより、インバータ 3 3 からはイネーブルパルス $ENB1$ が 2 個分のパルス信号、即ち 2 連のパルス $X1A$ が出力される。同様にして、転送パルス $TR1B$, $TR2B$ とイネーブルパルス $ENB2$ との論理積が $NAND$ 回路 4 3 でとられることにより、インバータ 4 3 からはイネーブルパルス $ENB2$ が 2 個分のパルス信号、即ち 2 連のパルス $X1B$ が出力される。

【 0 0 3 5 】

次に、インバータ 3 3 の出力パルス $X1A$ と垂直クロックパルス vck との論理積が $NAND$ 回路 3 4 でとられることにより、インバータ 3 6 からドライブパルス $V1$ が出力さ

50

れ、次いでインバータ 33 の出力パルス $X1A$ と垂直クロックパルス V_{ckx} との論理積が NAND 回路 35 でとられることにより、インバータ 37 からドライブパルス $V2$ が出力される。

【0036】

同様にして、インバータ 43 の出力パルス $X1B$ と垂直クロックパルス V_{ck} との論理積が NAND 回路 44 でとられることにより、インバータ 46 からドライブパルス V_{i+1} が出力され、次いでインバータ 43 の出力パルス $X1B$ と垂直クロックパルス V_{ckx} との論理積が NAND 回路 45 でとられることにより、インバータ 47 からドライブパルス V_{i+2} が出力される。

【0037】

ここで、イネーブルパルス $ENB1$ とイネーブルパルス $ENB2$ とは位相が互いに 180 度ずれていることから、図 5 のタイミングチャートから明らかなように、垂直駆動回路 12A, 12B からは、ドライブパルス $V1, V2, \dots$ とドライブパルス $V_{i+1}, V_{i+2}, \dots$ とが交互に出力される。すなわち、時間軸上において、ドライブパルス $V1$ 、ドライブパルス V_{i+1} 、ドライブパルス $V2$ 、ドライブパルス V_{i+2} 、... の順に出力されることになる。

【0038】

次に、上記構成の垂直駆動回路 12A, 12B から交互に出力されるドライブパルス $V1, V2, \dots$ とドライブパルス $V_{i+1}, V_{i+2}, \dots$ とを用いて表示駆動を行う場合の動作について説明する。

【0039】

ここでは、理解を容易にするために、図 6 に示すように、上側画素部 11A については上部（画面上部 A）、中央部、下部（画面中央部 B）をそれぞれ順に垂直走査し、下側画素部 11B については上部（画面中央部 B）、中央部、下部（画面下部 C）をそれぞれ順に垂直走査して、計 6 回の垂直走査を行う場合を例に挙げて説明するものとする。このとき、図 7 に示すように、垂直駆動回路 12A からはドライブパルス $V1, V2, V3$ が、垂直駆動回路 12B からはドライブパルス $V4, V5, V6$ がそれぞれ順に出力される。時間軸上では、ドライブパルス $V1$ 、ドライブパルス $V4$ 、ドライブパルス $V2$ 、ドライブパルス $V5$ 、ドライブパルス $V3$ 、ドライブパルス $V6$ の順に出力される。

【0040】

このように、2 つの垂直駆動回路 12A, 12B から交互に出力されるドライブパルス $V1, V2, \dots$ とドライブパルス $V_{i+1}, V_{i+2}, \dots$ とを用いて表示駆動を行うことにより、1. 上側画素部 11A の上部、2. 下側画素部 11B の上部、3. 上側画素部 11A の中央部、4. 下側画素部 11B の中央部、5. 上側画素部 11A の下部、6. 下側画素部 11B の下部の順番で行の選択が行われる。

【0041】

一方、水平駆動回路 13 からは、選択された行に対して、1H 毎に極性が反転する映像信号 V_{sig} が信号線 15-1 ~ 15-n を介して書き込まれる。このとき、映像信号 V_{sig} を供給する信号源（図示せず）において、垂直走査の順番に対応して映像信号 V_{sig} の並び替えがあらかじめ行われることは勿論のことである。

【0042】

かかる表示駆動により、第 1 フィールドでは、映像信号 V_{sig} の極性が正（+）、負（-）、... の順に反転するものとする、図 8（A）に示すように、上側画素部 11A の各画素には正極性の映像信号 V_{sig} （+）のみが書き込まれ、下側画素部 11B の各画素には負極性の映像信号 V_{sig} （-）のみが書き込まれることになる。また、第 2 フィールドでは、フィールド反転駆動を実現するために、映像信号 V_{sig} の極性が負、正、... の順に反転する。これにより、図 8（B）に示すように、上側画素部 11A の各画素には負極性の映像信号 V_{sig} （-）のみが書き込まれ、下側画素部 11B の各画素には正極性の映像信号 V_{sig} （+）のみが書き込まれることになる。

【0043】

10

20

30

40

50

上記の動作説明から明らかなように、上述した駆動法によれば、選択行の各画素に対して1Hごとに極性が反転する映像信号Vsigを書き込むことで1H反転駆動が実現されるとともに、上側画素部11Aおよび下側画素部11Bにおいてはそれぞれ1F反転駆動が実現されることになる。

【0044】

上述したように、電気光学素子（本例では、液晶セル22）を含む画素20が行列状に2次元配置されてなる画素アレイ部11を具備するアクティブマトリクス型表示装置において、画素アレイ部11を垂直方向において複数の領域（本例では、2つの領域11A、11B）に分割する一方、これら複数の領域を行単位で順番に（本例では、交互に）垂直走査しつつ、複数の領域の各画素を行単位で選択し、この選択した行の各画素に対して1Hごとに極性が反転する映像信号Vsigを書き込むことにより、次のような作用効果を得ることができる。

10

【0045】

すなわち、上側画素部11Aおよび下側画素部11Bではそれぞれ1F反転駆動が実現されることにより、1F反転駆動法のメリットであるコントラストの向上とVA液晶を用いた長寿命化を図ることができる。なお、上側画素部11Aと下側画素部11Bとの境界線部では、原理上は他の部分と同タイミング（常に2Hずれ）であるが、システム上垂直ブランキング期間（15H～30H）分だけずれるため、カップリングの影響は軽微である。

【0046】

20

また、1F反転駆動法の問題点であるクロストークについては、選択行の各画素20に対して、1Hごとに極性が反転する映像信号Vsigが信号線15-1～15-nを通して書き込まれることにより、1画面内でのリーク量が同じになるため、シェーディングは発生しない。

【0047】

このことについてより具体的に説明するならば、例えば図9に示すように、コモン電圧Vcomが7.5Vで、信号線15-1～15-nの電位がH側10.0V/L側5.0V（中間調）の場合を例に挙げると、画面上部A、画面中央部B、C、画面下部Dでリーク期間が同じになり、1画面内でのリーク量が同じになる。その結果、図10に示すように、シェーディングが発生することはない。なお、図10における映像信号Vsigの極性は、図8（A）のフィールドの場合を示しており、次のフィールドでは図8（B）に示すように、正/負の極性が逆になる。

30

【0048】

また、カップリングやリークに起因するクロストークについては、カップリング、リーク共に通常の（面内全体に対しての）1F反転駆動法を採る際の1/2以下となるため、クロストークについても通常の1F反転駆動法の1/2以下に低減できる。

【0049】

さらに、ストライブドメインに対して強くなる。ここに、ストライブドメインとは、ある電圧以上で黒表示を一定時間保持した後、グレー表示（グレー画面）にしても黒い線が残り、拡大してみると、ディスクリネーション（結晶格子の平行移動による欠陥）のラインがそのまま残っており、そこから光抜けを乗じて黒線となることを言う。これは、1H反転駆動法など画素の境界で電位の極性が違うため、液晶の傾きに画素の境界で差が生じる。これに対して、1F反転駆動法では、画素の境界を挟んでも同電位のため、画素の境界でも液晶の傾きは同じであり、原理上、ストライブドメインは無い。

40

【0050】

因みに、図13に、従来例に係る1F反転駆動を用いた場合（A）と、本発明に係る1H+1F反転駆動を用いた場合（B）での画素電位の比較結果を示す。ここでは、上側画素部11Aおよび下側画素部11Bでそれぞれ4回、計8回の垂直走査を行う場合を例に挙げている。（A）、（B）いずれの場合も、見た目は1F反転となっていることからわかる。ただし、本実施形態に係る1H+1F反転駆動を用いた場合（B）には、7番目 -

50

2 番目（境界の下）で垂直ブランキング期間分だけ少しずれる。垂直ブランキング期間は $1.5H \sim 3.0H$ 位である。垂直ブランキング期間が $1.5H$ で V （電圧）- T （透過率）特性 50% のとき、 0.5% 程度の輝度差となる。

【0051】

なお、上記実施形態では、画素アレイ部 11 を垂直方向において 2 分割するとともに、垂直駆動手段をこの分割数に対応した 2 つの垂直駆動回路 12A, 12B で構成するとしたが、画素アレイ部 11 を垂直方向において 3 分割以上に分割することも可能である。その場合には、分割数を N とすると、垂直駆動回路を分割数に対応した数 N だけ設け、垂直スタートパルス VST および垂直クロックパルス VCK の各パルス幅を、画素アレイ部 11 を分割せずに 1 つの垂直駆動回路によって順に走査する際に用いる垂直スタートパルス および垂直クロックパルスの各パルス幅に対して N 倍に設定するとともに、 N 個の分割領域を行単位で順番に垂直走査しつつ、 N 個の分割領域の各画素を行単位で選択するようにすれば良い。

10

【0052】

また、上記実施形態では、画素の電気光学素子として液晶セルを用いた液晶表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、画素の電気光学素子として有機 EL（electro luminescence）素子を用いた有機 EL 表示装置など、電気光学素子を含む画素が行列状に 2 次元配置されてなるアクティブマトリクス型表示装置全般に適用可能である。

【図面の簡単な説明】

20

【0053】

【図 1】本発明の一実施形態に係るアクティブマトリクス型液晶表示装置の構成の概略を示すブロック図である。

【図 2】画素（画素回路）の回路構成の一例を示す回路図である。

【図 3】上側の垂直駆動回路の構成の一例を示すブロック図である。

【図 4】下側の垂直駆動回路の構成の一例を示すブロック図である。

【図 5】上側、下側の垂直駆動回路の回路動作の説明に供するタイミングチャートである。

【図 6】表示駆動における垂直走査の順番を示す動作説明図である。

【図 7】表示駆動における走査タイミングを示すタイミングチャートである。

30

【図 8】第 1 フィールド（A）と第 2 フィールド（B）の画素電位の極性を示す図である。

【図 9】シェーディングが発生しないことについての説明に供するタイミングチャートである。

【図 10】中間調ラスタ表示でシェーディングが発生しないことを示す図である。

【図 11】中間調ラスタ表示でシェーディングが発生することを示す図である。

【図 12】従来技術の課題の説明に供するタイミングチャートである。

【図 13】従来例に係る $1F$ 反転駆動を用いた場合（A）と、本発明に係る $1H + 1F$ 反転駆動を用いた場合（B）での画素電位の比較結果を示す図である。

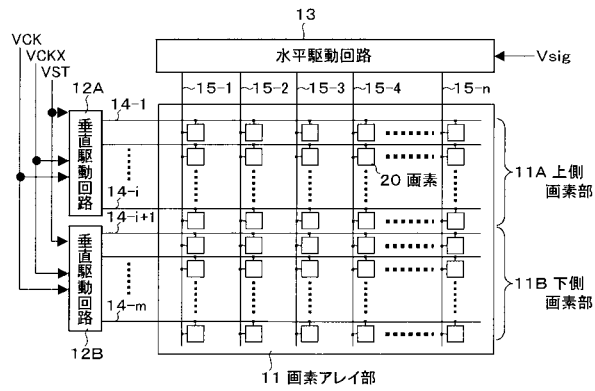
【符号の説明】

40

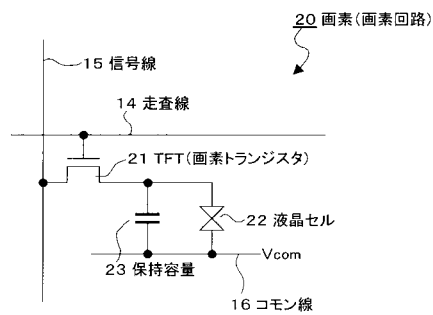
【0054】

11 ... 画素アレイ部、12A, 12B ... 垂直駆動回路、13 ... 水平駆動回路、14, 14 - 1 ~ 14 - m ... 走査線、15, 15 - 1 ~ 15 - n ... 信号線、16 ... コモン線、20 ... 画素、21 ... TFT（画素トランジスタ）、22 ... 液晶セル、23 ... 保持容量、31, 41 ... シフトレジスタ

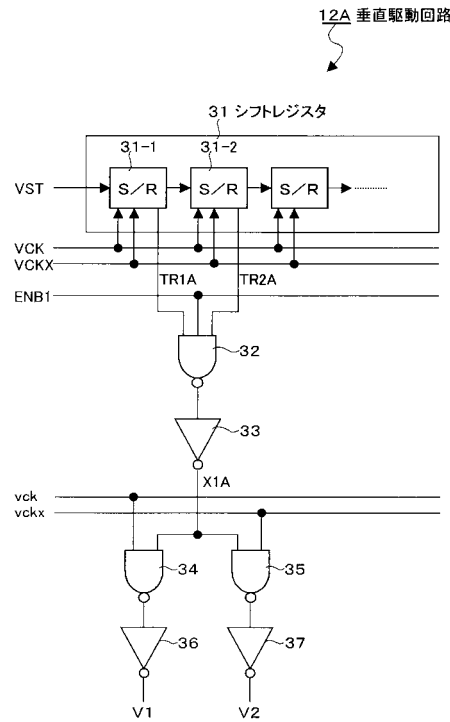
【図 1】



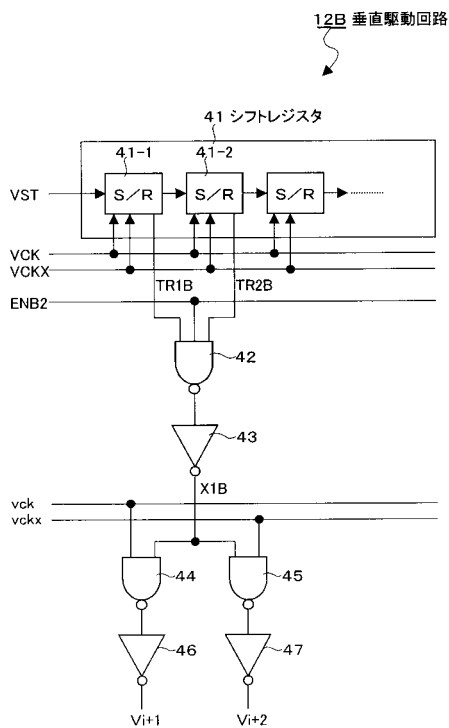
【図 2】



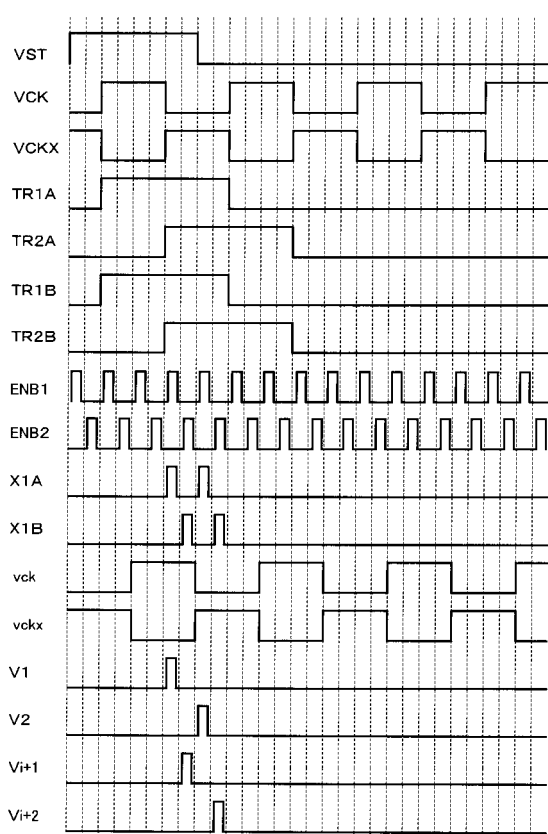
【図 3】



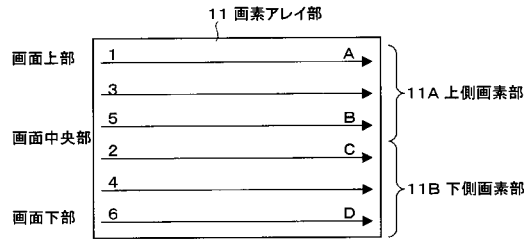
【図 4】



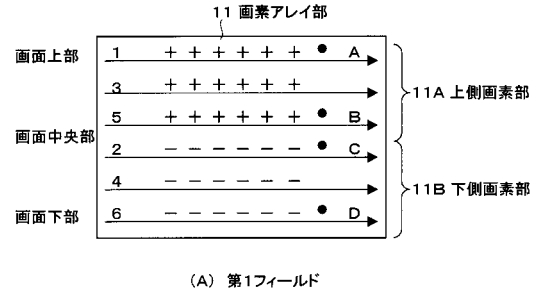
【図 5】



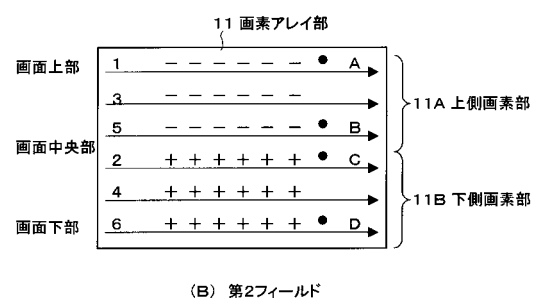
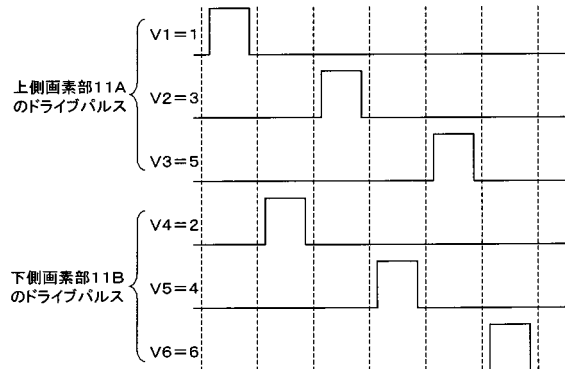
【図 6】



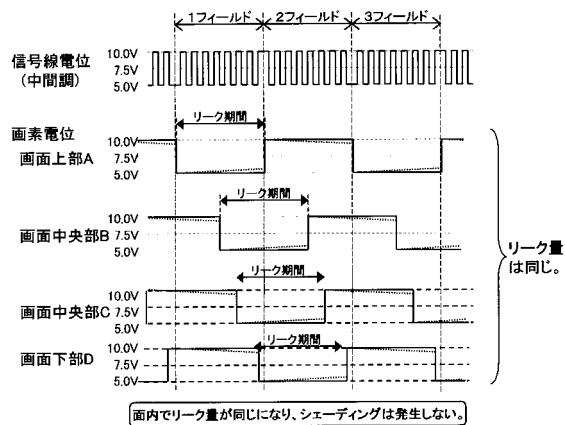
【図 8】



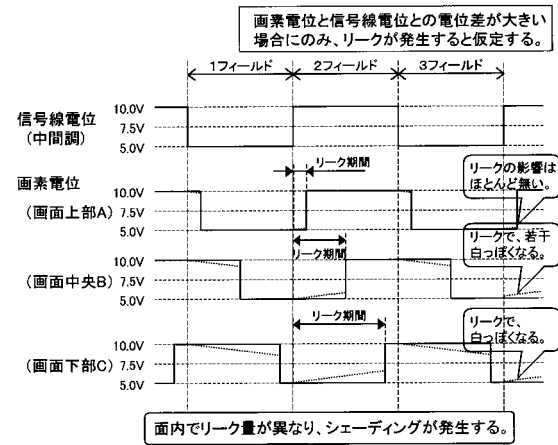
【図 7】



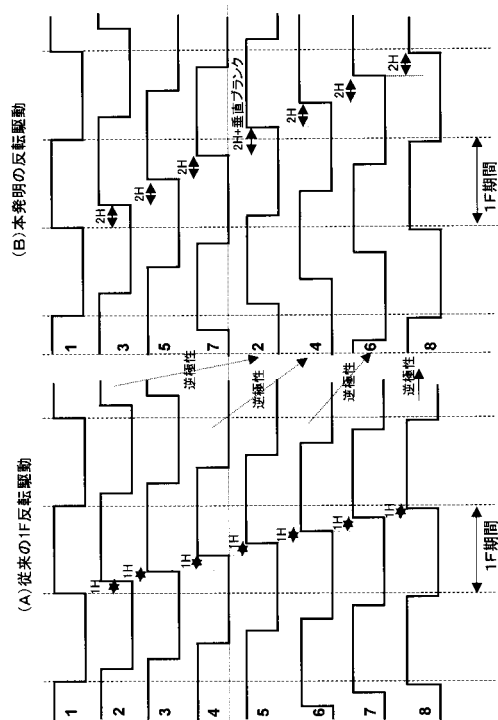
【図 9】



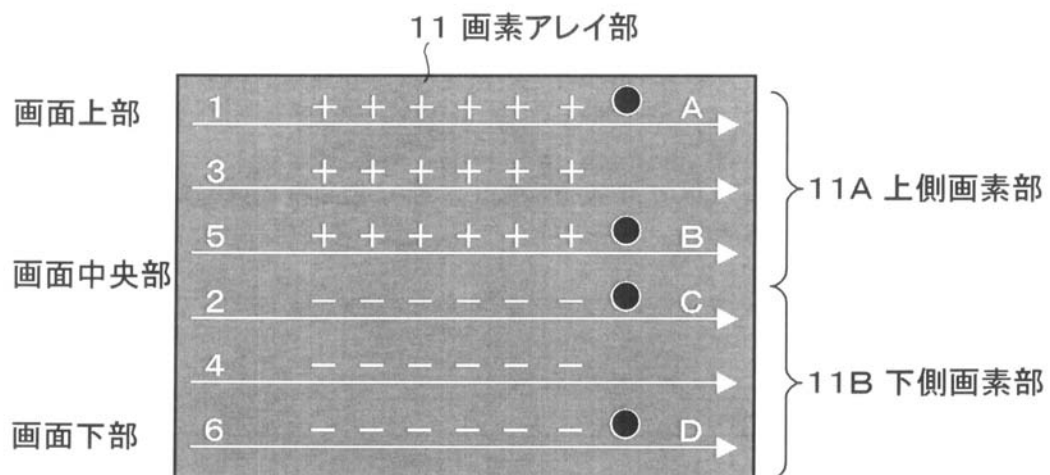
【図 12】



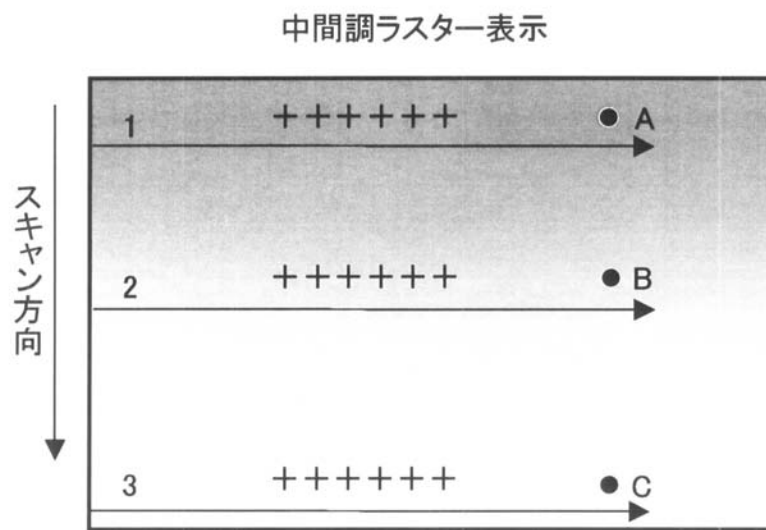
【 図 1 3 】



【 図 1 0 】



【図 11】



フロントページの続き

審査官 西島 篤宏

- (56)参考文献 特開平10-228263(JP,A)
特開平01-231096(JP,A)
特開2002-328654(JP,A)
特開平05-073001(JP,A)
特開平11-352938(JP,A)
特開2005-091781(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G	3/00 - 3/38
G02F	1/133 505 - 580

专利名称(译)	显示装置和显示装置的驱动方法		
公开(公告)号	JP4010308B2	公开(公告)日	2007-11-21
申请号	JP2004153201	申请日	2004-05-24
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	加藤正和 櫻井洋介 大村幸一		
发明人	加藤 正和 櫻井 洋介 大村 幸一		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3614 G09G3/3674 G09G2320/0209 G09G2320/0233		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.B G09G3/20.622.L G09G3/20.642.A G09G3/20.611.D G09G3/20.611.J G09G3/20.612.K G09G3/20.622.E G09G3/20.642.E G09G3/20.670.K		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA34 2H093/NA43 2H093/NA53 2H093/NC10 2H093/NC22 2H093/NC34 2H093/ND04 2H093/ND15 2H193/ZA04 2H193/ZC02 2H193/ZC05 2H193/ZC15 2H193/ZC16 2H193/ZC20 2H193/ZD23 2H193/ZF22 5C006/AA16 5C006/AC11 5C006/AC22 5C006/AC27 5C006/AC28 5C006/AF22 5C006/AF42 5C006/AF72 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC22 5C006/BF03 5C006/BF06 5C006/BF24 5C006/BF25 5C006/BF27 5C006/FA22 5C006/FA34 5C006/FA36 5C006/FA37 5C006/FA54 5C080/AA10 5C080/BB06 5C080/DD05 5C080/DD29 5C080/EE28 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	船桥 国则		
其他公开文献	JP2005338152A		
外部链接	Espacenet		

摘要(译)

在1F反转驱动方法中，由于在1F周期内将相同极性的信号电压写入信号线，因此不能抑制由于耦合引起的串扰的产生，并且发生阴影。。在包括像素阵列单元的有源矩阵液晶显示装置中，其中像素以二维方式布置成矩阵，在像素阵列单元的垂直方向上提供多个区域（在该示例中为两个区域）。如图11A和11B所示，在以行为单位顺序地（在该示例中，交替地）垂直扫描这些多个区域的同时，以行为单位选择多个区域中的每个像素并选择所选择的行极性每1H反转的视频信号Vsig被写入每个像素

[选图]图1

