

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3907181号
(P3907181)

(45) 発行日 平成19年4月18日(2007.4.18)

(24) 登録日 平成19年1月26日(2007.1.26)

(51) Int.Cl.	F I
G09G 3/20 (2006.01)	G09G 3/20 632B
G06F 12/00 (2006.01)	G09G 3/20 631R
G06F 12/04 (2006.01)	G09G 3/20 633H
G09G 3/36 (2006.01)	G09G 3/20 641E
G09G 5/00 (2006.01)	G09G 3/20 641G
請求項の数 6 (全 9 頁) 最終頁に続く	

(21) 出願番号	特願2002-123007 (P2002-123007)	(73) 特許権者	390009531
(22) 出願日	平成14年4月24日(2002.4.24)		インターナショナル・ビジネス・マシー ズ・コーポレーション
(65) 公開番号	特開2003-323146 (P2003-323146A)		INTERNATIONAL BUSIN ESS MACHINES CORPO RATION
(43) 公開日	平成15年11月14日(2003.11.14)		アメリカ合衆国10504 ニューヨーク 州 アーモンク ニュー オーチャード ロード
審査請求日	平成15年4月24日(2003.4.24)	(74) 代理人	100086243 弁理士 坂口 博
		(74) 代理人	100091568 弁理士 市位 嘉宏
		最終頁に続く	

(54) 【発明の名称】 ディスプレイにデータ転送をおこなうためのシステム・オン・チップおよび方法

(57) 【特許請求の範囲】

【請求項 1】

ローカル・バスにM P Uおよび複数のモジュールが接続され、システム領域とビデオ領域とを有する外部のメモリから液晶ディスプレイへのデータの転送をおこなうシステム・オン・チップであって、

前記外部のメモリに接続され、前記メモリに入出力するデータのデータ量を減縮するためのディザ回路を含むメモリコントローラと、

前記ローカル・バス及び液晶ディスプレイに接続され、前記ディザ回路により減縮されたデータを前記ローカル・バスを経由して受け取り、受け取ったデータのデータ量をさらに減縮するためのF R C回路を含むディスプレイ・コントローラと、
を含むシステム・オン・チップ。

10

【請求項 2】

前記M P Uが前記ディザ回路が前記データのデータ量を減縮するタイミングを制御する、請求項 1 のシステム・オン・チップ。

【請求項 3】

前記タイミングは、メモリへのデータの記憶時あるいはメモリからデータを読み出す時である、請求項 2 のシステム・オン・チップ。

【請求項 4】

前記ディザ回路により減縮されたデータ量は9ビット/ピクセルであり、前記F R C回路により減縮されたデータ量は3ビット/ピクセルである、請求項 1 乃至 3 のいずれか

20

のシステム・オン・チップ。

【請求項 5】

ローカル・バスに M P U および複数のモジュールが接続され、システム領域とビデオ領域とを有する外部のメモリから液晶ディスプレイへのデータの転送をおこなうシステム・オン・チップにおいて、該外部のメモリに入出力するデータをメモリコントローラ、ローカル・バスおよびディスプレイ・コントローラを経由してディスプレイに転送するためのデータ転送方法であって、

(a) 前記メモリコントローラが、メモリにおいて入出力するデータのデータ量をディザ処理によって減縮するステップと、

(b) 前記ディスプレイ・コントローラが、前記ローカル・バスを介して前記メモリコントローラでデータ量の減縮されたデータを受け取り、受け取ったデータのデータ量を F R C 処理によってさらに減縮するステップと、
を含むデータ転送方法。

10

【請求項 6】

前記ステップ (a) は、メモリへのデータの記憶時あるいはメモリからデータの読み出す時に前記データ量を減縮することを含む、請求項 5 のデータ転送方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、複数のモジュールがローカル・バスで接続され、メモリから液晶ディスプレイ (L C D : LiquidCrystal Display) へのデータの転送をおこなうためのシステム・オン・チップおよび方法に関する。

20

【 0 0 0 2 】

【従来の技術】

近年、図 6 に示すシステム・オン・チップ 4 0 は、低価格、多機能化が顕著である。システム・オン・チップ 4 0 は、M P U Core (Micro Processor Unit Core) 1 2 を中心に、複数のモジュールが搭載されているチップである。モジュールとしては、パワー・マネジメント 2 7、クロック・コントローラ 2 8、D R A M (Dynamic Random Access Memory) コントローラ 4 2、D M A (Direct Memory Access) コントローラ (図示せず)、L C D コントローラ 4 4、各種ペリフェラル・コントローラ 2 6 などである。各モジュールと M P U Core 1 2 ならびに各モジュール間の接続は、ローカル・バス 2 4 で接続される。

30

【 0 0 0 3 】

メインメモリである D R A M 1 8 にシステム領域 1 9 とビデオ領域 2 0 を設ける。このようにシステム・オン・チップ 4 0 では、メインメモリとビデオメモリをそれぞれ独自のメモリを用いず、単一のメモリを共有する。これは、一部のパーソナル・コンピュータが採用している U M A (Unified Memory Architecture) であり、周辺デバイスを含めてシンプルなシステム構成を採用できる。

【 0 0 0 4 】

D R A M 1 8 から L C D 2 2 へのデータ転送は、図 7 に示すように、D R A M コントローラ 4 2、ローカル・バス 2 4、L C D コントローラ 4 4 を介しておこなわれる。L C D 2 2 が、S T N (Super Twisted Nematic) L C D などの発色数の少ない L C D である場合、L C D コントローラ 4 4 は、ディザ処理と F R C (Frame Rate Control) 処理をおこなう。

40

【 0 0 0 5 】

ディザ処理は、物理的な空間を用いた一種のフィルター処理であり、F R C 処理は、時間変化を利用したフィルター処理である。また、ディザ処理は、画像に変化がない場合、すなわち静止画の場合は、一度処理をおこなった後は、処理をおこなう必要はない。F R C 処理は、フレームごとに処理をおこなう必要がある。

【 0 0 0 6 】

上記の処理をおこなうために、図 6、7 に示すように、L C D コントローラ 4 4 は、ディ

50

ザー回路 46 と FRC 回路 48 を含む。例えば、LCD 22 へのデータが、16 b p p (bit par pixel) で D R A M 18 から LCD コントローラ 44 に送られた場合、(1) ディザー回路 46 で 9 b p p 、(2) FRC 回路 48 で 3 b p p にデータを減縮する。このように、データを減縮した後、LCD 22 にデータが送られ、画像が表示される。表示される際、データが減縮されたために実際の発色数は減るが、ディザー処理と FRC 処理をおこなっているため、人間の目には実際の発色数よりも多く発色されていると感じる。

【0007】

しかし、メインメモリとビデオメモリとを D R A M 18 で共有し、さらに各種モジュールを同一バス 24 で接続することによって、特定のモジュールによるバス 24 の占有が発生する恐れがある。その場合、LCD 22 へのデータの転送が途絶え、LCD 22 の画面が乱れることになる。また、データによってバス 24 の占有が発生すると、各モジュールへのデータが途絶えることになる。

【0008】

【発明が解決しようとする課題】

本発明の目的は、LCD の表示に乱れが発生しないように LCD にデータ転送をおこなうための システム・オン・チップ および方法を提供することにある。

【0009】

【課題を解決するための手段】

メモリコントローラは、メモリにおいて入出力するデータのデータ量を減縮するためのディザー回路を含む。

【0010】

本発明の液晶ディスプレイへのデータ転送をおこなう システム・オン・チップ の要旨は、ローカル・バスに M P U および複数のモジュールが接続され、システム領域とビデオ領域とを有する外部のメモリから液晶ディスプレイへのデータの転送をおこなうシステム・オン・チップであって、前記外部のメモリに接続され、前記メモリに入出力するデータのデータ量を減縮するためのディザー回路を含むメモリコントローラと、前記ローカル・バス及び液晶ディスプレイに接続され、前記ディザー回路により減縮されたデータを前記ローカル・バスを介して受け取り、そのデータ量をさらに減縮するための FRC 回路を含むディスプレイ・コントローラと、を含むことにある。

【0011】

また、液晶ディスプレイへのデータ転送方法の要旨は、ローカル・バスに M P U および複数のモジュールが接続され、システム領域とビデオ領域とを有する外部のメモリから液晶ディスプレイへのデータの転送をおこなうシステム・オン・チップにおいて、該外部のメモリに入出力するデータをメモリコントローラ、ローカル・バスおよびディスプレイ・コントローラを経由してディスプレイに転送するためのデータ転送方法であって、(a) 前記メモリコントローラが、メモリにおいて入出力するデータのデータ量をディザー処理によって減縮するステップと、(b) 前記ディスプレイ・コントローラが、前記ローカル・バスを介して前記メモリコントローラでデータ量の減縮されたデータを受け取り、受け取ったデータのデータ量を FRC 処理によってさらに減縮するステップと、を含むことにある。

【0012】

【発明の実施の形態】

発明のディスプレイへのデータ転送をおこなうための メモリコントローラを含むシステム・オン・チップ および方法について、図面を用いて説明する。なお、メモリコントローラは、本説明では D R A M コントローラとする。

【0013】

図 1 に示すように、本発明のチップ 10 は、MPU Core 12 を中心に、複数のモジュールが搭載されている システム・オン・チップ である。モジュールとしては、パワー・マネジメント 27、クロック・コントローラ 28、D R A M コントローラ 14、D M A コントローラ (図示せず)、LCD コントローラ 16、各種ペリフェラル・コントローラ 26 など

10

20

30

40

50

ある。各モジュールとMPU Core 1 2 ならびに各モジュール間の接続は、ローカル・バス 2 4 で接続される。

【 0 0 1 4 】

メインメモリは、例えば D R A M 1 8 を用い、D R A M コントローラ 1 4 によって制御される。D R A M 1 8 にシステム領域 1 9 とビデオ領域 2 0 を設け、D R A M 1 8 の一部をビデオメモリとして使用する。

【 0 0 1 5 】

データの表示を行うディスプレイとしては L C D を用いる。L C D 2 2 は、例えば S T N L C D を使用する。実際の発色数は少ないが、後述するディザ処理と F R C 処理によって、擬似的に発色数を増やすことができる。

10

【 0 0 1 6 】

D R A M コントローラ 1 4 には、D R A M 1 8 において、入出力するデータのデータ量を減縮するディザ回路 1 5 を含む。

【 0 0 1 7 】

ディザ回路 1 5 が行うディザ処理は、フィルタによってデータ量を減縮する処理である。L C D 2 2 でのデータの位置と下位ビットの値によって、フィルタが決定される。例えば、図 2 (a) の 8 ビットのデータを、図 2 (b) の領域 3 0 のある位置で減縮する場合について説明する。B 7 から B 0 のデータ B (7 : 0) をそのまま表示するのが好ましいが、L C D 2 2 の発色数が少ない場合、ディザ処理をおこなう。下位ビットを 2 ビットとする場合、図 2 (c) に示すように、第 1 から第 4 フィルタ 3 2 a , 3 2 b , 3 2 c , 3 2 d が設けられる。データの下位 2 ビット (B 1 , B 2) が (0 , 0) である場合、先ず下位 2 ビットを削除する。さらに、図 2 (a) に示すように、下位ビットを B 7 から B 2 の上位ビットに反映させるために、第 1 フィルタ 3 2 a を用いる。 (m , n) の位置にデータがあるとする、B 7 から B 2 のデータ B (7 : 2) から 1 を引く。例えば、B (7 : 2) が “ 1 0 0 0 0 0 ” であれば “ 0 1 1 1 1 1 ” となる。

20

【 0 0 1 8 】

また、下位 2 ビット (B 1 , B 2) が (0 , 0) で、データの位置が (m , n + 1) の場合は、下位 2 ビットを削除し、B 7 から B 2 のデータには何もおこなわない。

【 0 0 1 9 】

下位 3 ビットを削除する場合は、9 個のフィルタを用意して、上記と同様におこなう。

30

【 0 0 2 0 】

ディザ処理をおこなうタイミングは、D R A M 1 8 にデータを記憶するとき、またはデータを読み出すときである。記憶したデータを他の処理に使用する場合は、データの可逆性が必要であり、データを読み出すときにディザ処理をおこなう。また、データを L C D 2 2 で表示するだけの場合は、データの可逆性が不要であり、データを記憶するときにディザ処理をおこなう。

【 0 0 2 1 】

ディザ処理をおこなうタイミングが上記のように 2 つあるが、MPU Core 1 2 がタイミングを制御するための手段として働く。MPU Core 1 2 がディザ回路 1 5 に信号を送って、ディザ回路 1 5 をコントロールすることによって、2 つのタイミングが選択される。このように、MPU Core 1 2 がタイミングを選択することによって、そのデータにあったデータの記憶をおこなうことができ、チップ 1 0 の動作が速くなる。

40

【 0 0 2 2 】

L C D コントローラ 1 6 には、ディザ回路 1 5 で減縮されたデータをさらに減縮する F R C 回路 1 7 を含む。

【 0 0 2 3 】

F R C 回路 1 7 で行う F R C 処理は、時間変化を利用してデータ量を減縮する処理である。例えば、白と黒を用いて 3 フレームで 4 色を発色する処理を図 3 に示す。黒および白の発色は 3 フレームとも黒または白を発色する。中間色 (6 6 % , 3 3 % グレー) を発色する場合、図示するように、フレームごとに黒または白を発色することによって、擬似的に

50

中間色を発色することができる。これは、STN LCDに使用される液晶の応答速度が遅いため、液晶に印可する電圧をフレームごとに変化させても、液晶のプレチルト角が、全フレームの平均になってしまうためである。フレームの数が増えると、擬似的に発色数を増やすことができる。

【0024】

上述したチップ10は、外部からビデオデータが入力されると、DRAMコントローラ14を介してDRAM18に記憶される。データとしては、図4に示すように、16bpp (bit per pixel) のデータとする。16bppの場合、一般的に赤(R)および青(B)が5ビット、緑(G)が6ビットとなっている。

【0025】

MPU Core12がディザ回路15をコントロールすることによって、ディザ処理をおこなうタイミングを以下のように選択する。

【0026】

データの可逆性が求められる場合は、DRAM18にデータをそのまま記憶する。記憶されたデータを読み出すときに、ディザ回路15によってディザ処理をおこなう。ディザ処理をおこなわれたデータは、各色3ビットの9bppになる。したがって、ローカル・バスの占有率が従来と比較して9/16に下がり、データ転送がスムーズに行える。

【0027】

また、データの可逆性が不要な場合は、DRAM18にデータを記憶するときに、ディザ処理をおこなう。上記と同じようにデータ量を9bppにする。ローカル・バス24の占有率が下がる。DRAMコントローラ15とDRAM18間のデータ転送時間が短縮される。さらに、DRAM18での記憶領域の削減が可能になる。

【0028】

以上より、図5に示すように、ローカル・バス24でのデータ量が9bppに減縮されている。これは、図7に示した従来と比較して7bppの減縮となっている。

【0029】

9bppに減縮されたデータをLCDコントローラ16が受け取ると、FRC処理によって、さらにデータ量を減縮する。データ量は各色1ビットの合計3bppである。

【0030】

LCD22は、3bppに減縮されたデータを受け取って、擬似的に基のデータと同じだけの発色をおこなう。上述した例の場合、基のデータは16bppであるので、65536色の表示をおこなうことができる。ディザ処理とFRC処理によって、3bppにデータ量が減縮され、実際の発色は8色であるが、擬似的に65536色の表示をおこなう。

【0031】

以上のように、本発明はローカル・バス24でのデータ量を削減することができる。具体的には、640×480ピクセル、リフレッシュ・レートが72HzのLCDで、16bppのデータを表示する場合、従来であれば、ローカル・バス24のデータ転送は、16×640×480×72=44236800byte/secのデータ転送速度が必要であった。本発明では、9bppであるので、24883200byte/secのデータ転送速度になる。従来と本発明の差は、19.4Mbyte/secである。この差分によって、LCDコントローラ16にデータが送れなくなる恐れが小さくなる。

【0032】

以上、本発明について説明したが、本発明は上記の実施形態に限定されることはない。その他、本発明は、主旨を逸脱しない範囲で当業者の知識に基づき種々なる改良、修正、変更を加えた態様で実施できるものである。

【0033】

【発明の効果】

本発明によると、DRAMコントローラに設けたディザ回路によって、LCDコントローラに転送されるデータ量が削減されているため、ローカル・バスでのデータの衝突を回

10

20

30

40

50

避けやすい。したがって、ＬＣＤコントローラへ確実にデータを転送できるので、ＬＣＤでの画像の乱れを発生させることはない。

【 0 0 3 4 】

メモリに記憶する前にデータをディザ処理することによって、データの記憶容量を少なくすることができる。したがって、メモリの開いた領域を他のデータ用に使用することができ、メモリの有効利用が可能になる。また、メモリコントローラとメモリとの間のデータ転送速度が速くなる。

【図面の簡単な説明】

【図 1】本発明のチップの構成を示す図である。

【図 2】ディザ処理を示す図であり、(a) はデータの一例で、(b) は領域を示す図 10
であり、(c) はフィルターの図である。

【図 3】ＦＲＣ処理による擬似的な発色処理を示す図である。

【図 4】ディザ処理とＦＲＣ処理によってデータが減縮される様子を示す図である。

【図 5】チップによるデータの流れを示す図である。

【図 6】従来のチップの構成を示す図である。

【図 7】従来のチップにおけるデータの流れを示す図である。

【符号の説明】

1 0 , 4 0 : チップ

1 2 : MPU Core (M P U)

1 4 , 4 2 : DRAMコントローラ (メモリコントローラ)

20

1 5 , 4 6 : ディザ回路

1 6 , 4 4 : L C D コントローラ (ディスプレイ・コントローラ)

1 7 , 4 8 : F R C 回路

1 8 : DRAM (メモリ)

1 9 : システム領域

2 0 : ビデオ領域

2 2 : L C D

2 4 : ローカル・バス

2 6 : 各種ペリフェラル

2 7 : パワー・マネジメント

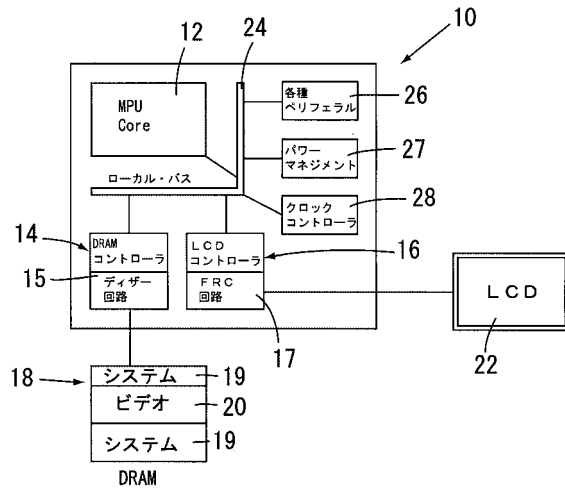
30

2 8 : クロック・コントローラ

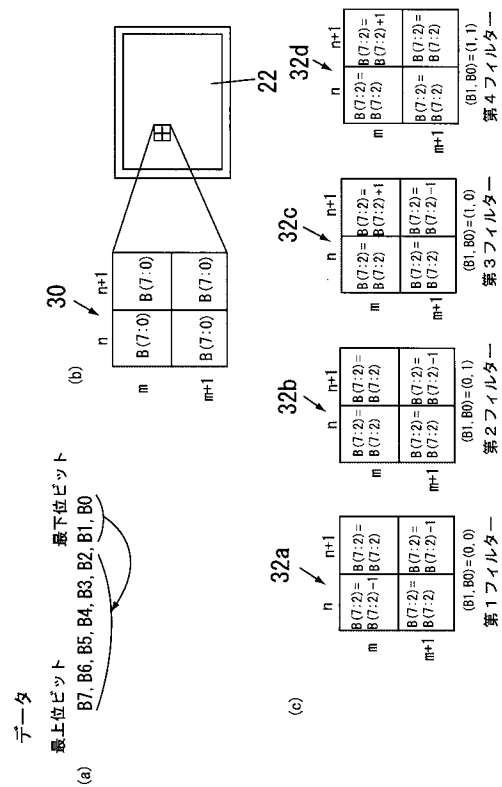
3 0 : 領域

3 2 a , 3 2 b , 3 2 c , 3 2 d : フィルター

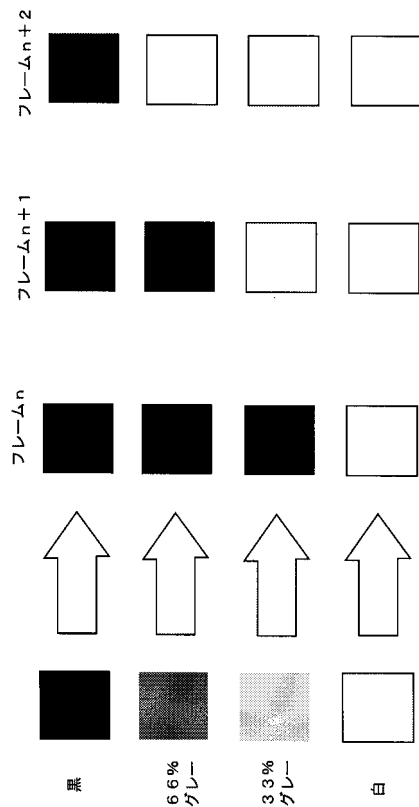
【図 1】



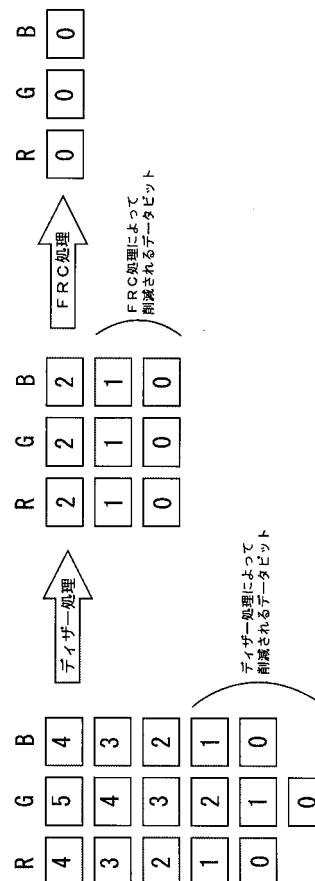
【図 2】



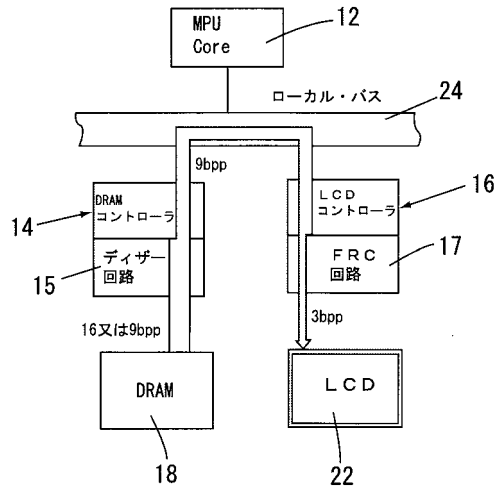
【図 3】



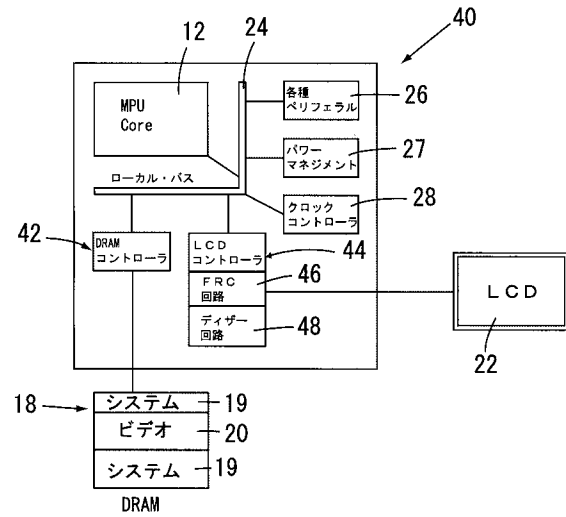
【図 4】



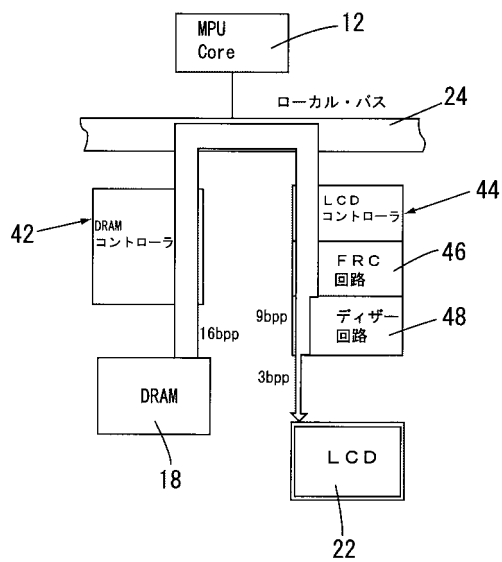
【図 5】



【図 6】



【図 7】



フロントページの続き

(51) Int.Cl. F I
G 0 6 F 12/00 5 8 0
G 0 6 F 12/04 5 3 0
G 0 9 G 3/36
G 0 9 G 5/00 5 2 0 J

(72)発明者 坂本 佳史
滋賀県野洲郡野洲町大字市三宅 8 0 0 番地 日本アイ・ピー・エム株式会社 野洲事業所内
(72)発明者 藤田 典生
滋賀県野洲郡野洲町大字市三宅 8 0 0 番地 日本アイ・ピー・エム株式会社 野洲事業所内
(72)発明者 西野 佐登史
滋賀県野洲郡野洲町大字市三宅 8 0 0 番地 日本アイ・ピー・エム株式会社 野洲事業所内

審査官 濱本 禎広

(56)参考文献 特開平 0 7 - 1 8 2 5 1 2 (J P , A)
特開平 0 6 - 1 1 8 9 2 0 (J P , A)
特開 2 0 0 0 - 2 7 8 5 3 6 (J P , A)
特開 2 0 0 1 - 1 3 4 2 4 3 (J P , A)
特開平 1 1 - 3 3 1 6 1 0 (J P , A)
特開平 0 1 - 2 8 2 5 9 3 (J P , A)
特開平 0 6 - 3 2 4 6 5 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3/00-5/42

专利名称(译)	片上系统和将数据传输到显示器的方法		
公开(公告)号	JP3907181B2	公开(公告)日	2007-04-18
申请号	JP2002123007	申请日	2002-04-24
[标]申请(专利权)人(译)	国际商业机器公司		
申请(专利权)人(译)	国际商业机器公司		
当前申请(专利权)人(译)	国际商业机器公司		
[标]发明人	坂本佳史 藤田典生 西野佐登史		
发明人	坂本 佳史 藤田 典生 西野 佐登史		
IPC分类号	G09G3/20 G06F12/00 G06F12/04 G09G3/36 G09G5/00		
FI分类号	G09G3/20.632.B G09G3/20.631.R G09G3/20.633.H G09G3/20.641.E G09G3/20.641.G G06F12/00.580 G06F12/04.530 G09G3/36 G09G5/00.520.J		
F-TERM分类号	5B060/DA08 5B060/GA01 5C006/AA12 5C006/AA14 5C006/AF01 5C006/AF03 5C006/AF04 5C006/BB12 5C006/BC16 5C006/BF02 5C006/BF16 5C006/EB05 5C006/FA13 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD25 5C080/EE29 5C080/FF12 5C080/GG12 5C080/GG15 5C080/GG17 5C080/JJ02 5C082/BA35 5C082/BB01 5C082/BB11 5C082/BD02 5C082/CA11 5C082/CA21 5C082/CB01 5C082/EA12 5C082/MM04 5C182/AA03 5C182/CA15 5C182/DA04 5C182/DA05 5C182/DA06 5C182/EA04		
代理人(译)	坂口 博		
其他公开文献	JP2003323146A		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种存储器控制器，芯片和一种用于将数据传输到LCD的方法，以便不引起LCD显示的干扰。 解决方案：本发明的芯片10被配置为包括抖动电路15，用于执行抖动处理，以便在DRAM控制器（存储器控制器）14中存储或读取数据时减少数据的数据量。。

【 図 1 】

