

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3607197号
(P3607197)

(45) 発行日 平成17年1月5日(2005.1.5)

(24) 登録日 平成16年10月15日(2004.10.15)

(51) Int. Cl.⁷

F I

G09G 3/36
G02F 1/133
G09G 3/20G09G 3/36
G02F 1/133 505
G02F 1/133 550
G02F 1/133 575
G09G 3/20 611A

請求項の数 6 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2000-396109 (P2000-396109)
(22) 出願日 平成12年12月26日(2000.12.26)
(65) 公開番号 特開2002-196726 (P2002-196726A)
(43) 公開日 平成14年7月12日(2002.7.12)
審査請求日 平成15年1月31日(2003.1.31)(73) 特許権者 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町2番2号
(74) 代理人 100080034
弁理士 原 謙三
(72) 発明者 藤野 宏晃
大阪府大阪市阿倍野区長池町2番2号
シャープ株式会社内

審査官 濱本 禎広

最終頁に続く

(54) 【発明の名称】 表示駆動装置および表示装置モジュール

(57) 【特許請求の範囲】

【請求項1】

表示データに応じて表示手段を駆動するための複数種類の駆動電圧を生成する電圧生成手段と、
 複数の出力端子と、
 表示データに応じて複数種類の前記駆動電圧から各出力端子について1つの駆動電圧を選択して出力する電圧選択手段と、
 出力インピーダンスが低インピーダンスである低インピーダンス出力手段と、1個の前記低インピーダンス出力手段を前記電圧選択手段と複数の前記出力端子とに断接可能に接続する切替手段と、
 前記低インピーダンス出力手段が複数の前記出力端子のうちの1個のみと順次接続されるように前記切替手段の断接動作を時分割制御する切替制御手段とを備え、
 前記電圧選択手段は複数の出力線により前記出力端子と直接的に接続され、前記低インピーダンス出力手段は、前記切替手段を介して前記出力線と並列に設けられ、前記出力端子には、前記低インピーダンス出力手段からの出力の有無に関わらず、前記電圧選択手段からの出力が直接的に供給されることを特徴とする表示駆動装置。

【請求項2】

表示データに応じて表示手段を駆動するための複数種類の駆動電圧を生成する電圧生成手段と、
 複数の出力端子と、

10

20

表示データに応じて複数種類の前記駆動電圧から各出力端子について1つの駆動電圧を選択して出力する電圧選択手段と、
 出力インピーダンスが低インピーダンスである低インピーダンス出力手段と、
 1個の前記低インピーダンス出力手段を前記電圧選択手段と複数の前記出力端子とに断接可能に接続する切替手段と、
 前記低インピーダンス出力手段が複数の前記出力端子のうちの1個のみと順次接続されるように前記切替手段の断接動作を時分割制御する切替制御手段とを備え、
前記電圧選択手段は複数の出力線により前記出力端子と直接的に接続され、前記低インピーダンス出力手段は、前記切替手段を介して前記出力線と並列に設けられ、前記出力端子には、前記低インピーダンス出力手段からの出力の遮断後にも、前記電圧選択手段からの出力が直接的に供給されることを特徴とする表示駆動装置。

10

【請求項3】

1個の前記低インピーダンス出力手段と、前記切替手段と、1個の前記低インピーダンス出力手段に前記切替手段を介して接続されている複数の出力端子とからなるブロックが複数個備えられ、前記切替制御手段は、各ブロック間において前記切替手段が接続状態となるタイミングが互いにずれるように、前記切替手段を制御することを特徴とする請求項1または2に記載の表示駆動装置。

【請求項4】

前記切替制御手段は、前記出力端子からの駆動電圧の出力が不要であるときに、切替手段の動作を停止させることを特徴とする請求項1または2に記載の表示駆動装置。

20

【請求項5】

前記低インピーダンス出力手段は、非動作時に、内部の動作電流を遮断するように構成されていることを特徴とする請求項1または2に記載の表示駆動装置。

【請求項6】

請求項1から5の何れか1項に記載の表示駆動装置を備えていることを特徴とする表示装置モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、回路規模を小さく抑え、回路の消費電力を低減する事を目的とした表示駆動装置および表示装置モジュールに関するものである。

30

【0002】

【従来の技術】

図9は、アクティブマトリクス方式の代表例であるTFT（薄膜トランジスタ）方式の液晶表示装置のブロック構成を示している。

【0003】

この液晶表示装置は、液晶表示部とそれを駆動する液晶駆動装置（液晶駆動回路）とで構成されている。上記液晶表示部は、TFT方式の液晶パネル901を備え、該液晶パネル901内には、マトリクス状に配置された複数の表示単位素子（画素）と、対向電極（共通電極）906とが設けられている。

40

【0004】

一方、上記液晶駆動装置は、それぞれIC（Integrated Circuit）チップを含んでなるソースドライバ902およびゲートドライバ903と、コントローラ904と、液晶駆動電源905とを備えている。

【0005】

ソースドライバ902やゲートドライバ903は、一般的には、所定の配線が形成されたフィルム上に上記ICチップを搭載したTCP（Tape Carrier Package）などを、液晶パネル901の内部から周縁部側に延設されたITO（Indium Tin Oxide；インジウムすず酸化物）端子上に実装し、接続したり、上記ICチップをACF（Anisotropic Conductive Film；異方性

50

導電膜)を介して直接、液晶パネル901の上記ITO端子に熱圧着して実装し、接続する方法などで構成されている。

【0006】

また、液晶表示装置のより小型化を図るため、上記コントローラ904、液晶駆動電源905、ソースドライバ902、およびゲートドライバ903をまとめて1チップで構成したり、2ないし3チップで構成したりすることもある。図9では、これらの構成を機能別に分離した形で示している。

【0007】

コントローラ904は、図中Dで示すデジタル化された表示データ(例えば、赤、緑、青に対応するRGBの各映像信号)、およびS1で示す各種制御信号をソースドライバ902に出力するとともに、図中S2で示す各種制御信号をゲートドライバへ903に出力している。ソースドライバ902への主な制御信号は、水平同期信号(ラッチ信号Ls)、スタートパルス信号およびソースドライバ用のクロック信号等がある。一方、ゲートドライバ903への主な制御信号は、垂直同期信号やゲートドライバ用のクロック信号等がある。なお、図中、各ICチップ(ゲートドライバIC、およびソースドライバIC)を駆動するための電源は省略している。

10

【0008】

また、液晶駆動電源905は、ソースドライバ902およびゲートドライバ903へ液晶パネル表示用電圧(階調表示用電圧を発生させるための参照電圧)を供給するものである。

20

【0009】

外部から入力された表示データは、デジタル信号である上記表示データDとして、コントローラ904を通してソースドライバ902へ入力される。ソースドライバ902は、入力された表示データDを時分割でサンプリングして内部に記憶し、その後、コントローラ904から入力される水平同期信号(ラッチ信号Lsとも言う)に同期するように、上記表示データDから階調表示用電圧へのDA(デジタル-アナログ)変換を行う。

【0010】

そして、ソースドライバ902は、DA変換によって得られた階調表示用のアナログ電圧(階調表示用電圧)を、その液晶駆動電圧出力端子から、液晶パネル901内に設けられた対応するソース信号ライン1004(図10参照)に出力する。

30

【0011】

次に、上記液晶パネル901の構成について、図10に基づいて説明する。液晶パネル901には、画素電極1001、画素容量1002、画素への電圧印加をオン/オフするスイッチング素子としてのTF T 1003、ソース信号ライン1004、ゲート信号ライン1005、並びに、液晶パネルの対向電極1006(図9の対向電極906に相当)が設けられている。なお、図中、Aで示す領域が1画素分の表示単位素子に相当する。

【0012】

ソース信号ライン1004には、対象とする各画素に表示される明るさに応じた強度の階調表示用電圧が、図9に示すソースドライバ902から与えられる。一方、ゲート信号ライン1005それぞれには、図9に示すゲートドライバ903から、縦方向(すなわち、ソース信号ライン1004の伸長方向)に並んだ複数のTF T 1003が順次オンするように走査信号が与えられる。

40

【0013】

TF T 1003がオン状態の場合、該TF T 1003のドレインに接続された画素電極1001にソース信号ライン1004から階調表示用電圧が印加されると、画素電極1001と対向電極1006との間の画素容量1002に電荷が蓄積される(充電される)。次いで、ゲート信号ライン1005による選択が終了し、TF T 1003がオフ(非選択)状態に変化することで、画素容量1002に書き込まれた電圧が維持される。そして、このようなオン/オフ動作を通じて、各表示単位素子(画素)の光透過率が、そこに書き込まれた階調表示用電圧のレベルに応じて変化され、所望の階調表示が実現される。

50

【 0 0 1 4 】

図 1 1 および図 1 2 は、図 1 0 に示す液晶パネル 9 0 1 のソース信号ライン 1 0 0 4、ゲート信号ライン 1 0 0 5、並びに画素電極 1 0 0 1 それぞれに印加される液晶駆動電圧の波形の一例を示している。該図中、1 1 0 1、1 2 0 1 はソースドライバ 9 0 2 からソース信号ライン 1 0 0 4 に出力された階調表示用電圧の波形を示し、1 1 0 2、1 2 0 2 はゲートドライバ 9 0 3 からゲート信号ライン 1 0 0 5 に出力された、T F T 1 0 0 3 のオン/オフを制御する走査信号の電圧波形を示す。尚、1 1 0 2 または 1 2 0 2 が H i g h レベルのとき T F T 1 0 0 3 はオン状態に、L o w レベルのとき T F T 1 0 0 3 はオフ状態になる。

【 0 0 1 5 】

また、1 1 0 3、1 2 0 3 は対向電極 1 0 0 6 (図 1 0 参照) の電位を示し、1 1 0 4、1 2 0 4 は画素電極 1 0 0 1 に印加される電圧波形を示す。画素電極 1 0 0 1 に印加される電圧波形 1 1 0 4 の変化 (図 1 1 など参照) は、走査信号である 1 1 0 2 がハイレベルのとき T F T 1 0 0 3 がオンして画素容量 1 0 0 2 の充電 (すなわち階調表示用電圧である 1 1 0 1 の書き込み) が開始され、次いで画素容量 1 0 0 2 が所定の電圧レベルに到達したときに上記走査信号がロウレベルとなって T F T 1 0 0 3 がオフし、以降、走査信号が再びハイレベルとなるまでの間、画素容量 1 0 0 2 に充電された電荷に相当する電圧レベルが維持されることによって説明される。なお、図 1 2 中、1 2 0 4 で示した電圧波形の変化も同様に説明される。

【 0 0 1 6 】

なお、図示しない液晶材料に印加される電圧は、画素電極 1 0 0 1 と対向電極 1 0 0 6 との電位差 (電圧差) であり、図 1 1、図 1 2 中では、斜線で示している。

【 0 0 1 7 】

また、図 1 1 と図 1 2 とでは、ソース信号ライン 1 0 0 4 に印加される階調表示用電圧 (1 1 0 1、1 2 0 1) の電圧値が異なっており、これにより互いに異なる階調の表示を行っている。つまり、該階調表示用電圧の電圧値を変えることで、一画素単位に含まれる画素電極 1 0 0 1 と対向電極 1 0 0 6 との間の電位差 (図 1 1、図 1 2 中では、斜線で示す) を異ならせ、所望の階調表示を実現している。なお、表示可能な階調数は、液晶材料に印加される電圧値の選択肢の数 (換言すれば、アナログ信号として出力される上記階調表示用電圧の電圧値の選択肢の数) により決定される。

【 0 0 1 8 】

ところで、本発明は、特に大きな回路規模および消費電力を占める階調表示用回路の中の出回路に関するものであるため、以後、ソースドライバ 9 0 2 を中心に液晶駆動装置の説明を行う。

【 0 0 1 9 】

図 1 3 は、上記ソースドライバ 9 0 2 のブロック構成を示しており、以下、該図などを参照しながらその基本的な部分のみ説明する。コントローラ 9 0 4 (図 9 参照) から転送されてきた各デジタル表示データ D R ・ D G ・ D B (例えば各 6 ビット) は、一旦、入力ラッチ回路 1 3 0 1 でラッチされる。なお、各デジタル表示データ D R ・ D G ・ D B は、それぞれ赤、緑、青色データに対応しており、図 9 では表示データ D として総称されていたものである。

【 0 0 2 0 】

一方、上記コントローラ 9 0 4 からソースドライバ 9 0 2 に対しては、スタートパルス信号 S P や、ソースドライバ用のクロック信号 C K も入力される。このスタートパルス信号 S P は、上記クロック信号 C K に同期してシフトレジスタ回路 1 3 0 2 内の各段を順次転送され、1) 該シフトレジスタ回路 1 3 0 2 の各段からサンプリングメモリ回路 1 3 0 3 に対し出力信号を供給するとともに、2) その最終段から次段のソースドライバに対し、該ソースドライバ用のスタートパルス信号 S P (カスケード出力信号 S) を出力する。

【 0 0 2 1 】

また、上記シフトレジスタ回路 1 3 0 2 の各段からサンプリングメモリ回路 1 3 0 3 に供

10

20

30

40

50

給される出力信号に同期して、入力ラッチ回路 1301 にラッチされたデジタル表示データ DR・DG・DB は、時分割でサンプリングメモリ回路 1303 内に一旦記憶されるとともに、次のホールドメモリ回路 1304 に出力される。

【0022】

より具体的には、1 水平同期期間（図 14 参照）分のデジタル表示データ DR・DG・DB がサンプリングメモリ回路 1303 に記憶されると、コントローラ 904（図 9 参照）から供給される水平同期信号（ラッチ信号 Ls）に基づき、ホールドメモリ回路 1304 がサンプリングメモリ回路 1303 の各段からの出力信号を取り込み、該出力信号を次段のレベルシフト回路 1305 に出力する。また上記ホールドメモリ回路 1304 は、この出力動作とともに、次の水平同期信号が入力されるまでそのデジタル表示データ DR・DG・DB を維持する。

10

【0023】

レベルシフト回路 1305 は、液晶パネル 901（図 9 参照）への印加電圧レベルを処理する次段の DA 変換回路 1306 に適合させるため、入力信号のレベルを昇圧等により変換して出力する回路である。また、基準電圧発生回路 1309 は、液晶駆動電源 905（図 9 参照）からの参照電圧 VR に基づき、階調表示用の各種アナログ電圧を発生させ、DA 変換回路 1306 に出力する。

【0024】

DA 変換回路 1306 は、基準電圧発生回路 1309 から供給される各種アナログ電圧から、レベルシフト回路 1305 にてレベル変換されたデジタル表示データに応じたアナログ電圧を選択する。この階調表示を表すアナログ電圧は、出力回路 1307 を介して、各液晶駆動電圧出力端子（以下、単に出力端子と記載する）1308 から液晶パネル 901 の各ソース信号ライン 1004 へ出力される。出力回路 1307 は、バッファ回路として機能し、例えば差動増幅回路を用いたボルテージフォロア回路で構成されるものである。

20

【0025】

なお、図 14、図 15（a）・（b）には、図 9～図 13 を用いて説明した、上記ソースドライバ 902 やゲートドライバ 903（図 9 参照）の入力信号または出力信号のタイミングチャートを示している。図 14 に示されるように、コントローラ 904 からゲートドライバ 903 に入力される垂直同期信号と、ソースドライバ 902 に入力される水平同期信号（ラッチ信号 Ls）とは互いに所定の関係を有して出力されており、さらに、該ゲートドライバ 903 から各ゲート信号ライン $G_1 \sim G_n$ （図 10 に示すゲート信号ライン 1005 に相当）に出力される走査信号はそれぞれ、1 垂直同期期間内に 1 度ずつ、上記水平同期信号に同期して順次選択パルス（図 12 に示す High レベルの電圧信号）を出力している。

30

【0026】

一方、上記走査信号、ソースドライバ用のクロック信号 CK、スタートパルス信号 SP、デジタル表示データ DR・DG・DB（図中デジタル表示データ信号と記載）、並びに水平同期信号の信号波形同士は、既に説明した通り、図 15（a）に示す関係を有しており、ソースドライバ 902 の出力端子 1308 から各ソース信号ライン 1004 へ出力される信号波形（図中、ソースドライバ出力）は、図 15（b）に示す関係を有している。なお、該図に示すのは、ソースドライバ 902 側の出力端子 1308 が X1～X100、Y1～Y100、Z1～Z100（すなわち、R・G・B の各色に対応して 100 個ずつ）の合計 300 端子備えてなる例であり、以下にも説明するように 64 通りの階調表示への対応が可能なものである。

40

【0027】

次に、本発明に特に関係する基準電圧発生回路 1309、DA 変換回路 1306、並びに出力回路 1307 につき、主に図 13、図 16、図 17、並びに図 18 を参照して、さらに詳細にその回路構成を説明する。

【0028】

図 16 は、基準電圧発生回路 1309 の回路構成例を示している。RGB の各色に対応す

50

るデジタル表示データDR・DG・DBが各々例えば6ビットで構成されている場合、基準電圧発生回路1309は、 $2^6 = 64$ 通りの階調表示に対応する64種類のアナログ電圧を出力する。以下、その具体的構成について説明する。

【0029】

基準電圧発生回路1309は、抵抗 $R_0 \sim R_7$ が直列に接続された抵抗分割回路で構成されており、最も簡単な構成となっている。また、上記の抵抗 $R_0 \sim R_7$ のそれぞれは、8本の抵抗素子が直列に接続されて構成されている。例えば、抵抗 R_0 については説明すれば、図17に示すように、8本の抵抗素子 R_{01} 、 R_{02} 、 \dots 、 R_{08} が直列接続されて抵抗 R_0 が構成されている。また、他の抵抗 $R_1 \sim R_7$ についても上記した抵抗 R_0 と同様の構成である。したがって、基準電圧発生回路1309は、合計64本の抵抗素子が直列接続されて構成されていることになる。なお、抵抗 $R_0 \sim R_7$ の抵抗値はそれぞれ、補正等を考慮して設計すればよい。

10

【0030】

また、基準電圧発生回路1309は、9種類の参照電圧 V'_0 、 V'_8 、 \dots 、 V'_{56} 、 V'_{64} に対応する9つの中間調電圧入力端子を備えている。そして、抵抗 R_0 の一端に、参照電圧 V'_{64} に対応する中間調電圧入力端子が接続されている一方、抵抗 R_0 の他端、すなわち、抵抗 R_0 と抵抗 R_1 との接続点に、参照電圧 V'_{56} に対応する中間調電圧入力端子が接続されている。以下、隣り合う各抵抗 $R_1 \cdot R_2$ 、 $R_2 \cdot R_3$ 、 \dots 、 $R_6 \cdot R_7$ の各接続点に、参照電圧 V'_{48} 、 V'_{40} 、 \dots 、 V'_8 に対応する中間調電圧入力端子が順に接続されている。そして、抵抗 R_7 における抵抗 R_6 の接続点とは反対側に、参照電圧 V'_0 に対応する中間調電圧入力端子が接続されている。

20

【0031】

この構成により、64本の抵抗素子の隣り合う2抵抗素子間から電圧 $V_1 \sim V_{63}$ を引き出すことが可能となる。そして、これらの電圧 $V_1 \sim V_{63}$ と、参照電圧 V'_0 からそのまま得られる電圧 V_0 とを合わせて、計64通りの階調表示用アナログ電圧(電圧 $V_0 \sim V_{63}$)を得ることができる。結局、基準電圧発生回路1309が抵抗分割回路で構成される場合、階調表示用アナログ電圧である電圧 $V_0 \sim V_{63}$ は、抵抗比によって決まることになる。64種類のアナログ電圧(電圧 $V_0 \sim V_{63}$)は、基準電圧発生回路1309からDA変換回路1306に入力される。

30

【0032】

なお、一般的には、両端の参照電圧 V'_0 と V'_{64} の2電圧は常に中間調電圧入力端子に入力されるが、残る $V'_8 \sim V'_{56}$ に対応する7本の中間調電圧入力端子は微調整用として使用され、実際にはこれらの端子に電圧が入力されない場合もある。

【0033】

次に、DA変換回路1306について説明する。図18は、DA変換回路1306の一構成例を示している。なお、該図には、上記出力回路1307の構成(ボルテージフォロワ回路)も示している。

【0034】

DA変換回路1306では、6ビットのデジタル信号からなる表示データに応じて、入力された64通りの電圧 $V_0 \sim V_{63}$ のうちの1つが選択されて出力されるように、MOSトランジスタやトランスミッションゲートがアナログスイッチ(以下、スイッチと称する)として配置されている。すなわち、6ビットのデジタル信号からなる表示データのそれぞれ(Bit0~Bit5)に応じて、上記スイッチがオン/オフされ、これにより、入力された64通りの電圧のうちの1つが選択されて出力回路1307に出力される。以下にこの様子を説明する。

40

【0035】

6ビットのデジタル信号は、Bit0がLSB(the Least Significant Bit)であり、Bit5がMSB(the Most Significant Bit)である。上記スイッチは、2個で1組のスイッチ対を構成している。Bi

50

t 0 には 3 2 組のスイッチ対 (6 4 個のスイッチ) が対応しており、B i t 1 には 1 6 組のスイッチ対 (3 2 個のスイッチ) が対応している。以下、B i t ごとに個数が 2 分の 1 になり、B i t 5 には 1 組のスイッチ対 (2 個のスイッチ) が対応することになる。したがって、合計で、 $2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 1 = 63$ 組のスイッチ対 (1 2 6 個のスイッチ) が存在する。

【 0 0 3 6 】

B i t 0 に対応するスイッチの一端は、先の電圧 $V_{0_1} \sim V_{6_3}$ が入力される端子となっている。そして、上記スイッチの他端は 2 個 1 組で接続されるとともに、さらに次の B i t 1 に対応するスイッチの一端に接続されている。以降、この構成が B i t 5 に対応するスイッチまで繰り返される。最終的には、B i t 5 に対応するスイッチから 1 本の線が引出され、出力回路 1 3 0 7 に接続されている。

10

【 0 0 3 7 】

B i t 0 ~ B i t 5 に対応するスイッチを、それぞれスイッチ群 $SW_0 \sim SW_5$ と呼ぶことにする。スイッチ群 $SW_0 \sim SW_5$ の各スイッチは、6 ビットのデジタル表示データ (B i t 0 ~ B i t 5) により、以下のように制御される。

【 0 0 3 8 】

スイッチ群 $SW_0 \sim SW_5$ では、対応する B i t が 0 (L o w レベル) のときは各 2 個 1 組のアナログスイッチの一方 (同図では下側のスイッチ) が O N し、逆に、対応する B i t が 1 (H i g h レベル) のときは別のアナログスイッチ (同図では上側のスイッチ) が O N する。同図では、B i t 0 ~ B i t 5 が (1 1 1 1 1 1) であり、全てのスイッチ対において上のスイッチがオン、下のスイッチがオフとなっている。この場合、D A 変換回路 1 3 0 6 からは、電圧 V_{6_3} が出力回路 1 3 0 7 に出力される。

20

【 0 0 3 9 】

同様に、例えば、B i t 0 ~ B i t 5 が (1 1 1 1 1 0) であれば、D A 変換回路 1 3 0 6 からは、電圧 V_{6_2} が出力回路 1 3 0 7 に出力され、(0 0 0 0 0 1) であれば電圧 V_{6_1} が出力され、(0 0 0 0 0 0) であれば電圧 V_{6_0} が出力される。このようにして、デジタル表示に応じた階調表示用アナログ電圧 (電圧 $V_{0_1} \sim V_{6_3}$) の中から 1 つが選択的に出力されて、階調表示が実現される。

【 0 0 4 0 】

上記した基準電圧発生回路 1 3 0 9 は、通常 1 つのソースドライバ IC に 1 つ設置され、共有化して使用される。一方、D A 変換回路 1 3 0 6 および出力回路 1 3 0 7 は、各出力端子 1 3 0 8 (図 1 3 参照) に対応してそれぞれ一つずつ設けられている。

30

【 0 0 4 1 】

また、カラー表示の場合は、上記出力端子 1 3 0 8 は、各色に対応して使用されるので、その場合は、D A 変換回路 1 3 0 6 および出力回路 1 3 0 7 は、画素ごとで、かつ、1 色につき各々 1 回路が使用される。すなわち、液晶パネル 9 0 1 の長辺方向の画素数が N であれば、赤、緑、青の各色用の出力端子 1 3 0 8 を、それぞれ R、G、B に添え字 n ($n = 1, 2, \dots, N$) を付して表せば、この出力端子 1 3 0 8 としては、 $R_1, G_1, B_1, R_2, G_2, B_2, \dots, R_N, G_N, B_N$ があり、そのため、3 N 個の D A 変換回路 1 3 0 6 および出力回路 1 3 0 7 が必要になる。

40

【 0 0 4 2 】

続いて、図 1 9 ~ 図 2 1 を参照しながら、基準電圧発生回路 1 3 0 9、D A 変換回路 1 3 0 6、並びに出力回路 1 3 0 7 の様々な接続例について説明する。

【 0 0 4 3 】

図 1 9 に示す接続例は、図 1 6 および図 1 7 に記載の接続形態をまとめたものであり、基準電圧発生回路 1 3 0 9 を介して階調表示用の電圧 $V_{0_1} \sim V_{6_3}$ が入力される D A 変換回路 1 3 0 6 は、入力されるデジタル表示データ (レベルシフト回路からの出力信号) に応じた階調表示用の電圧を選択して、出力回路 1 3 0 7 側に出力する。

【 0 0 4 4 】

そして、この出力を、バッファ回路として機能する出力回路 1 3 0 7、出力端子 1 3 0 8

50

を順に介して、液晶パネル内のソース信号ライン1004に出力する。なお、該図中、1008は、液晶パネルの1つの画素およびそれにつながるソース信号ライン1004の配線容量をモデル化したものである。ここで、1002は画素容量を、1003はTFTを、1006は対向電極の電位を、1007はソース信号ライン1004の配線容量を、それぞれ示している。

【0045】

以上のように、図19に示す回路構成は、複数の抵抗を直列に接続してなる抵抗分割回路から互いに異なるレベルの電圧 $V_0 \sim V_{63}$ を取得し、アナログスイッチにより該電圧 $V_0 \sim V_{63}$ からデジタル表示データに対応した1つの電圧を選択し、次いでバッファ回路として機能する出力回路1307を介して該電圧を低インピーダンス化して出力し、液晶パネル内のソース信号ライン1004の配線容量1007や画素容量1002を充電するものである。

10

【0046】

また、図20に示すように、図19に示す回路構成から出力回路1307を省略することも可能である。この場合には、複数の抵抗を直列に接続してなる抵抗分割回路から互いに異なるレベルの電圧 $V_0 \sim V_{63}$ を取得し、アナログスイッチにより該電圧 $V_0 \sim V_{63}$ からデジタル表示データに対応した1つの電圧を選択し、次いで、該電圧をそのまま直接ソース信号ライン1004に入力して、上記配線容量1007や画素容量1002を充電する。

【0047】

さらに、図21に示すように、出力回路1307に相当するバッファ回路1310を、基準電圧発生回路1309とDA変換回路1306とを電氣的につなぎ、電圧 $V_0 \sim V_{63}$ がそれぞれ伝送される電圧線の各々に設けた回路構成とすることもできる。この場合、上記電圧 $V_0 \sim V_{63}$ は、各バッファ回路1310を介して低インピーダンス化された後にDA変換回路1306に入力され、次いで、アナログスイッチによりデジタル表示データに対応した1つの電圧が選択され、上記配線容量1007や画素容量1002が充電される。

20

【0048】

【発明が解決しようとする課題】

液晶表示装置市場では、液晶表示装置のモニター用途の拡大に伴い画面サイズの大型化や、高精細化による画素数の増大が急速に進むことが予想される。このことは、特に1個当たり多数の液晶駆動電圧出力端子を有するソースドライバ902のさらなる多出力端子化をもたらすものとなる。また、液晶表示装置の低コスト化、軽量化からも、ソースドライバ902の1個当たりの液晶駆動電圧出力端子の多出力化(多出力端子化)が加速されることになる。例えば、従来技術では300端子であったものが、1000端子にもなるということが考えられる。

30

【0049】

一方、上記のような多出力端子化に対応した場合、図13に示したようなソースドライバ902の構成、即ち1つの液晶駆動電圧出力端子部に1つのボルテージフォロア回路等の差動増幅回路(オペアンプ回路)を用いた低インピーダンス出力変換手段(出力回路1307)を備えている構成では、低インピーダンス出力変換手段を構成するアナログ回路の回路素子数が一般的に多いことから、レイアウト面積が大きくなり、かつ動作点を安定させるため動作電流も大きくなる。

40

【0050】

したがって、液晶駆動電圧出力端子の多出力端子化が進むと、これに伴うソースドライバ902の出力回路1307のレイアウト面積の増大および消費電力の増大により、ソースドライバIC全体のチップサイズの増大および消費電力の増大を招来することになる。

【0051】

本発明は、多端子化に伴う回路規模、即ちチップサイズの増大、および消費電力の増大を抑制することができる表示駆動装置および表示装置モジュールの提供を目的としている。

50

【 0 0 5 2 】

【課題を解決するための手段】

上記の課題を解決するために、本発明の表示駆動装置は、表示手段に表示データに応じた複数種類の駆動電圧を低インピーダンス出力手段を介して複数の出力端子から出力する表示駆動装置において、1個の前記低インピーダンス出力手段が、切替手段を介して複数の前記出力端子と接続され、前記切替手段の切替動作により複数の前記出力端子に対して使用されることを特徴としている。

【 0 0 5 3 】

上記の構成によれば、1個の低インピーダンス出力手段は、切替手段を介して複数の出力端子と接続され、切替手段の切替動作により複数の出力端子に対して使用される、即ち複数の出力端子において共有される。したがって、複数の各出力端子に対してそれぞれ低インピーダンス出力手段を設けた場合と比較して、出力端子数の増加に伴う、表示駆動装置の回路規模、即ち表示駆動装置がチップ形態である場合のチップサイズの大型化、および消費電力の増大を抑制することができる。

10

【 0 0 5 4 】

また、低インピーダンス出力手段の上記共有化により、低インピーダンス出力手段として使用される例えば各差動増幅回路での製造条件等のバラツキに起因して、差動増幅回路の入力段のオフセット電圧による出力側での電圧偏差により表示ムラが発生することを抑制できる。

【 0 0 5 5 】

本発明の表示駆動装置は、表示データに応じて表示手段を駆動するための複数種類の駆動電圧を生成する電圧生成手段と、複数の出力端子と、表示データに応じて複数種類の前記駆動電圧から各出力端子について1つの駆動電圧を選択して出力する電圧選択手段と、出力インピーダンスが低インピーダンスである低インピーダンス出力手段と、1個の前記低インピーダンス出力手段を前記電圧選択手段と複数の前記出力端子とに断接可能に接続する切替手段と、前記低インピーダンス出力手段が複数の前記出力端子のうちの1個のみと順次接続されるように前記切替手段の断接動作を時分割制御する切替制御手段とを備えていることを特徴としている。

20

【 0 0 5 6 】

上記の構成によれば、切替手段により1個の低インピーダンス出力手段が電圧選択手段と複数の出力端子とに断接可能に接続され、切替制御手段により低インピーダンス出力手段が複数の出力端子のうちの1個のみと順次接続されるように切替手段の断接動作が時分割制御される。したがって、1個の低インピーダンス出力手段が複数の出力端子において共有されるので、複数の各出力端子に対してそれぞれ低インピーダンス出力手段を設けた場合と比較して、出力端子数の増加に伴う、表示駆動装置の回路規模、即ち表示駆動装置がチップ形態である場合のチップサイズの大型化、および消費電力の増大を抑制することができる。

30

【 0 0 5 7 】

また、低インピーダンス出力手段の上記共有化により、低インピーダンス出力手段として使用される例えば各差動増幅回路での製造条件等のバラツキに起因して、差動増幅回路の入力段のオフセット電圧による出力側での電圧偏差により表示ムラが発生することを抑制できる。

40

【 0 0 5 8 】

上記の表示駆動装置は、1個の前記低インピーダンス出力手段と、前記切替手段と、1個の前記低インピーダンス出力手段に前記切替手段を介して接続されている複数の出力端子とからなるブロックが複数個備えられ、前記切替制御手段が、各ブロック間において前記切替手段が接続状態となるタイミングが互いにずれるように、前記切替手段を制御する構成としてもよい。

【 0 0 5 9 】

上記の構成によれば、各ブロック間において切替手段が接続状態となるタイミングが互い

50

にずれるので、切替手段が接続状態となったときの消費電流のピークの集中を避けることができる。これにより、特に電池を電源としている表示駆動装置での電源電力の消費を抑制することができる。

【0060】

上記の表示駆動装置は、前記切替制御手段が、前記出力端子からの駆動電圧の出力が不要であるときに、切替手段の動作を停止させる構成としてもよい。

【0061】

上記の構成によれば、切替手段によるむだな切替動作を抑制して表示駆動装置の消費電力を低減することができる。

【0062】

上記の表示駆動装置は、前記電圧選択手段が複数の出力線により前記出力端子と直接的に接続され、前記低インピーダンス出力手段が、前記切替手段を介して前記出力線と並列に設けられ、前記出力端子に、前記低インピーダンス出力手段からの出力の有無に関わらず、前記電圧選択手段からの出力が直接的に供給される構成としてもよい。

【0063】

上記の構成によれば、一つの出力端子において、切替制御手段による切替手段の制御により、低インピーダンス出力手段との接続が遮断状態となった場合においても、電圧選択手段からの出力が直接的に前記出力端子に供給される。したがって、前記出力端子においては、所定の駆動電圧を維持することができる。

【0064】

上記の表示駆動装置は、前記電圧選択手段が複数の出力線により前記出力端子と直接的に接続され、前記低インピーダンス出力手段が、前記切替手段を介して前記出力線と並列に設けられ、前記出力端子に、前記低インピーダンス出力手段からの出力の遮断後にも、前記電圧選択手段からの出力が直接的に供給される構成としてもよい。

【0065】

上記の構成によれば、一つの出力端子において、切替制御手段による切替手段の制御により、低インピーダンス出力手段との接続が遮断状態となった場合においても、電圧選択手段からの出力が直接的に前記出力端子に供給される。したがって、前記出力端子においては、所定の駆動電圧を維持することができる。

【0066】

上記の表示駆動装置は、前記低インピーダンス出力手段が、非動作時に、内部の動作電流を遮断する構成としてもよい。

【0067】

上記の構成によれば、低インピーダンス出力手段の非動作時のむだな動作電流を遮断し、さらなる消費電力の低減を図り得る。

【0068】

表示装置モジュールは、上記の何れかの表示駆動装置を備えた構成とすることができ、これにより、表示装置モジュールにおいては、出端子数の増加に伴う、表示駆動装置の回路規模、即ち表示駆動装置がチップ形態である場合のチップサイズの大型化、および消費電力の増大を抑制することができる。また、低インピーダンス出力手段の上記共有化により、低インピーダンス出力手段として使用される例えば各差動増幅回路での製造条件等のバラツキに起因して、差動増幅回路の入力段のオフセット電圧による出力側での電圧偏差により表示ムラが発生することを抑制できる。

【0069】

【発明の実施の形態】

〔実施の形態1〕

本発明の実施の一形態を図1ないし図6に基づいて以下に説明する。

本実施の形態のTFT方式の液晶表示装置（液晶表示モジュール）は、図2に示すように、対向電極6を有する液晶パネル（表示手段）1、ソースドライバ（液晶駆動装置）2、ゲートドライバ3、コントローラ4および液晶駆動電源5を備えている。本実施の形態の

10

20

30

40

50

液晶表示装置は、図 1 3 に示した従来の液晶表示装置と、基本構成、および液晶パネル 1 の駆動波形が同一である。したがって、それら同一部分については説明を省略する。

【 0 0 7 0 】

コントローラ 4 は、前記コントローラ 9 0 4 と同様、表示データ、および各種制御信号 S 1 をソースドライバ 2 に出力するとともに、各種制御信号 S 2 をゲートドライバへ 3 に出力している。ただし、制御信号 S 1 には、ソースドライバ 2 の後述する切替制御回路 2 0 に対する制御信号 T が含まれている。

【 0 0 7 1 】

ソースドライバ 2 は、入力ラッチ回路 1 1、シフトレジスタ回路 1 2、サンプリングメモリ回路 1 3、ホールドメモリ回路 1 4、レベルシフト回路 1 5、D A 変換回路（電圧選択手段）1 6、液晶駆動電圧出力端子（出力端子）1 8 を有する出力回路 1 7、基準電圧発生回路（電圧生成手段）1 9 および切替制御回路（切替制御手段）2 0 を備えている。このうち、入力ラッチ回路 1 1、シフトレジスタ回路 1 2、サンプリングメモリ回路 1 3、ホールドメモリ回路 1 4、レベルシフト回路 1 5、D A 変換回路 1 6 および基準電圧発生回路 1 9 は、図 1 3 に示した対応する各回路と同一構成であるので、ここでの説明は省略する。

10

【 0 0 7 2 】

出力回路 1 7 には、図 3 に示すように、1 個の液晶駆動電圧出力端子 1 8 当たり 1 個の D A 変換回路 1 6 が接続されている。各 D A 変換回路 1 6 は、デジタル表示データ（例えば 6 ビット）に応じて、6 4 階調表示用の電圧レベルの内の 1 つを選択し、出力回路 1 7 に出力する。また、レベルシフト回路 1 5 も各 D A 変換回路 1 6 の 1 個当たり 1 個が対応して設けられている。これらの点は、図 1 2 に示した前記ソースドライバ 9 0 2 と同様である。

20

【 0 0 7 3 】

出力回路 1 7 は、図 4 に示すように低インピーダンス出力変換手段である差動増幅回路にて構成されたボルテージフォロア回路（低インピーダンス出力手段）2 1 を備えている。このボルテージフォロア回路 2 1 は、既存の技術を用いた周知の構成である。

【 0 0 7 4 】

ここでは説明を簡単にするため、ボルテージフォロア回路 2 1 が、R、G、B の各信号に対応する液晶駆動電圧出力端子 1 8（X、Y、Z）の 3 端子に 1 個の割合で備えられ、これら 3 個の液晶駆動電圧出力端子 1 8（X、Y、Z）にて共有されているものとする。そして、上記のように、3 個の液晶駆動電圧出力端子 1 8（X、Y、Z）が 1 個のボルテージフォロア回路 2 1 を共有しているブロックが N 個設けられることにより、1 個のソースドライバ IC（ソースドライバ 2）が構成されている。したがって、この例において、例えば 1 個のソースドライバ 2 が R、G、B それぞれに対応して計 3 0 0 個の液晶駆動電圧出力端子 1 8 を有する場合、ボルテージフォロア回路 2 1 は 1 0 0 個備えられることになる。

30

【 0 0 7 5 】

次に、出力回路 1 7 の構成について詳細に説明する。

図 3 の構成において、R、G、B の各信号に対応して、D A 変換回路 1 6 としては D A 変換回路 X 1、Y 1、Z 1 ~ X N、Y N、Z N が設けられ、ボルテージフォロア回路 2 1 としてはボルテージフォロア回路 V F 1 ~ V F N が設けられている。また、アナログスイッチ回路（切替手段）2 2 としてはアナログスイッチ回路 S W X 1 i n、S W Y 1 i n、S W Z 1 i n、S W X 1 o u t、S W Y 1 o u t、S W Z 1 o u t ~ S W X N i n、S W Y N i n、S W Z N i n、S W X N o u t、S W Y N o u t、S W Z N o u t が設けられ、液晶駆動電圧出力端子 1 8 としては液晶駆動電圧出力端子 X 1、Y 1、Z 1 ~ X N、Y N、Z N が設けられている。さらに、D A 変換回路 1 6 と液晶駆動電圧出力端子 1 8 とを結ぶ出力線 2 3 としては、出力線 L X 1、L Y 1、L Z 1 ~ L X N、L Y N、L Z N が設けられている。

40

【 0 0 7 6 】

50

上記アナログスイッチ回路22は、MOSトランジスタやトランスミッション回路からなり、既存の技術を用いた周知の構成である。アナログスイッチ回路22には、そのON/OFFを制御する制御信号 t_{ij} (t_{11} 、 t_{21} 、 $t_{31} \sim t_{1N}$ 、 t_{2N} 、 t_{3N})を入力するための制御端子22aが設けられている。上記制御信号 t_{ij} は、コントローラ4からの制御信号Tに基づいて、切替制御回路20から出力される。ここでは、制御信号 t_{ij} がHighレベルのとき、スイッチはON(導通)し、制御信号 t_{ij} がLowレベルのとき、スイッチはOFF(非導通)になるものとする。

【0077】

R、G、Bの各信号に対応するDA変換回路X1、Y1、Z1からの出力線LX1、LY1、LZ1は、そのままR、G、Bの各信号に対応する液晶駆動電圧出力端子X1、Y1、Z1と接続されている。 10

【0078】

ボルテージフォロア回路VF1の入力端子は、上記アナログスイッチ回路SWX1in、SWY1in、SWZ1inを介して、出力線LX1、LY1、LZ1のDA変換回路16寄り側位置に接続され、ボルテージフォロア回路VF1の出力端子は、上記アナログスイッチ回路SWX1out、SWY1out、SWZ1outを介して、出力端子X1、Y1、Z1と接続されている。

【0079】

上記アナログスイッチ回路SWX1inおよびSWX1out、SWY1inおよびSWY1out、SWZ1inおよびSWZ1outには、切替制御回路20から、これらのON/OFFを制御する制御信号 t_{11} 、 t_{21} 、 t_{31} がそれぞれ入力される。 20

【0080】

上記説明では、ボルテージフォロア回路VF1を備えた第1のブロックについて示したが、ボルテージフォロア回路VF2~VF N を備えた他の第2~第 N のブロックについても同一の構成となっている。

【0081】

上記の構成において、出力回路17の動作を図3に基づいて以下に説明する。なお、ここでは理解を容易にするため、アナログスイッチ回路22の制御信号 t_{ij} は、 $t_{11} \sim t_{1N}$ を同じ信号 t_1 とし、 $t_{21} \sim t_{2N}$ を同じ信号 t_2 とし、 $t_{31} \sim t_{3N}$ を同じ信号 t_3 としてそれぞれ示している。 30

【0082】

各DA変換回路16の出力は、液晶表示装置の図3に示す1水平同期期間(1H期間)において、ホールドメモリ回路14のラッチ動作により、同じ信号、即ちデジタル表示データに応じて選択された同じ階調表示用電圧が継続して出力される。

【0083】

まず、ソースドライバ2に水平同期信号(図1のラッチ信号 L_s にもなる信号)が入力され、DA変換回路16からデジタル表示データに応じた階调用電圧が選択され、その電圧が出力回路17に出力されると、切替制御回路20から出力される制御信号 t_1 がHighレベルとなる。これにより、アナログスイッチ回路SWX i inとSWX i out ($i = 1 \sim N$)とがON(導通)状態となる。このとき、アナログスイッチ回路SWY j inとSWY j out ($j = 1 \sim N$)、SWZ k inとSWZ k out ($k = 1 \sim N$)はOFF(非導通)状態となる。 40

【0084】

したがって、液晶駆動電圧出力端子X1、X2、...、X N からは、DA変換回路X1、X2、...、X N から出力線LX1、LX2、...、LX N を介して直接出力される電圧に加えて、出力抵抗が低インピーダンス化されたボルテージフォロア回路VF1~VF N からの出力もそれぞれ併せて出力される。

【0085】

これにより、液晶駆動電圧出力端子X1、X2、...、X N が各々接続されているソース信号ライン1004であり、かつゲートドライバ3からの走査信号により選択されている画 50

素 (T F T 1 0 0 3 のゲート信号ライン 1 0 0 5 に H i g h レベルが印加されて T F T 1 0 0 3 が O N 状態の画素) では、その画素容量 1 0 0 2 が主にボルテージフォロア回路 V F 1 ~ V F N を介して充放電されるため、所望の階調表示用電圧に速やかに達することになる。

【 0 0 8 6 】

画素容量 1 0 0 2 への充放電が終了し、所望の階調表示用電圧に達すると、切替制御回路 2 0 から出力される制御信号 t 1 が L o w レベルとなり、アナログスイッチ回路 S W X i i n と S W X i o u t (i = 1 ~ N) とが O F F (非導通) 状態となる。

【 0 0 8 7 】

これにより、液晶駆動電圧出力端子 X 1、X 2、...、X N が各々接続されているソース信号ライン 1 0 0 4 は、アナログスイッチ回路 S W X i i n、S W X i o u t (i = 1 ~ N) によりボルテージフォロア回路 V F 1 ~ V F N を介した出力が遮断される。したがって、それ以後、上記ソース信号ライン 1 0 0 4 に供給される信号は、次に制御信号 t 1 が H i g h レベルになるまで、D A 変換回路 X 1 ~ X N から出力線 L X 1 ~ L X N を介して直接出力される信号のみに切り替わる。この場合、液晶駆動電圧出力端子 X 1、X 2、...、X N は高インピーダンス出力状態となるが、画素容量 1 0 0 2 の充放電が終了後のソース信号ライン 1 0 0 4 の電圧を維持するためには十分である。

10

【 0 0 8 8 】

次に、切替制御回路 2 0 から出力される制御信号 t 2 が L o w レベルから H i g h レベルに変化することにより、アナログスイッチ回路 S W Y j i n と S W Y j o u t (i = 1 ~ N) とが O N (導通) 状態となる。このとき、アナログスイッチ回路 S W X i i n と S W X i o u t (i = 1 ~ N)、S W Z k i n と S W Z k o u t (k = 1 ~ N) は O F F (非導通) 状態となる。

20

【 0 0 8 9 】

したがって、液晶駆動電圧出力端子 Y 1、Y 2、...、Y N からは、それまでの D A 変換回路 Y 1、Y 2、...、Y N から出力線 L Y 1、L Y 2、...、L Y N を介して直接出力される電圧に加えて、出力抵抗が低インピーダンス化されたボルテージフォロア回路 V F 1 ~ V F N からの出力もそれぞれ併せて出力される。

【 0 0 9 0 】

これにより、液晶駆動電圧出力端子 Y 1、Y 2、...、Y N が各々接続されているソース信号ライン 1 0 0 4 であり、かつゲートドライバ 3 からの走査信号により選択されている画素 (T F T 1 0 0 3 のゲート信号ライン 1 0 0 5 に H i g h レベルが印加され T F T 1 0 0 3 が O N 状態の画素) では、その画素容量 1 0 0 2 が主にボルテージフォロア回路 V F 1 ~ V F N を介して充放電されるため、所望の階調表示用電圧に速やかに達することになる。

30

【 0 0 9 1 】

画素容量 1 0 0 2 への充放電が終了し、所望の階調表示用電圧に達すると、切替制御回路 2 0 から出力される制御信号 t 2 が L o w レベルとなり、アナログスイッチ回路 S W Y j i n と S W Y j o u t (j = 1 ~ N) とが O F F (非導通) 状態となる。

【 0 0 9 2 】

これにより、液晶駆動電圧出力端子 Y 1、Y 2、...、Y N が各々接続されているソース信号ライン 1 0 0 4 は、アナログスイッチ回路 S W Y j i n、S W Y j o u t (j = 1 ~ N) によりボルテージフォロア回路 V F 1 ~ V F N を介した出力が遮断される。したがって、それ以後、上記ソース信号ライン 1 0 0 4 に供給される信号は、次に制御信号 t 2 が H i g h レベルになるまで、D A 変換回路 Y 1 ~ Y N から出力線 L Y 1 ~ L Y N を介して直接出力される信号のみに切り替わる。この場合、液晶駆動電圧出力端子 Y 1 ~ Y N は高インピーダンス出力状態となるが、画素容量 1 0 0 2 の充放電が終了後のソース信号ライン 1 0 0 4 の電圧を維持するためには十分である。

40

【 0 0 9 3 】

次に、切替制御回路 2 0 から出力される制御信号 t 3 が L o w レベルから H i g h レベル

50

に変化する。これにより、前述の場合と同様にして、液晶駆動電圧出力端子 Z 1、Z 2、...、Z N が各々接続されているソース信号ライン 1 0 0 4 あり、かつゲートドライバ 3 からの走査信号により選択されている画素 (T F T 1 0 0 3 のゲート信号ライン 1 0 0 5 に H i g h レベルが印加され T F T 1 0 0 3 が O N 状態の画素) では、その画素容量 1 0 0 2 が主にボルテージフォロア回路 V F 1 ~ V F N を介して充放電されるため、所望の階調表示用電圧に速やかに達することになる。

【 0 0 9 4 】

画素容量 1 0 0 2 への充放電が終了し、所望の階調表示用電圧に達すると、切替制御回路 2 0 から出力される制御信号 t 3 が L o w レベルとなり、アナログスイッチ回路 S W Z k i n と S W Z k o u t (k = 1 ~ N) が O F F (非導通) 状態となる。これにより、1 水平同期期間の一連の動作を終える。続いて、次の水平同期期間でも、同様の動作が繰り返えされる。

10

【 0 0 9 5 】

なお、切替制御回路 2 0 は、既存の周知の技術で構成可能であり、例えば、シフトレジスタで構成し、コントローラ 4 から出力された制御信号 T に同期を取り、制御信号 t 1、t 2、t 3 を順次出力する構成としてもよい。また、切替制御回路 2 0 は、選択回路により構成するとともに、制御信号 T をシリアルもしくはパラレルに入力されるコマンド信号とすることにより、このコマンド信号により t 1、t 2、t 3 を選択して出力する構成としてもよい。

【 0 0 9 6 】

以上のように、本液晶表示装置では、3 個の液晶駆動電圧出力端子 1 8 (X、Y、Z)、即ち R、G、B の 3 系統の出力が 1 個のボルテージフォロア回路 2 1 を共有していることにより、出力回路 1 7、即ちソースドライバ 2 のチップサイズの縮小と低消費電力化を達成している。また、液晶パネル 1 の画素容量 1 0 0 2 への所望の階調表示用電圧の速やかな充放電が可能であり、動画表示においても問題を生じることがない。

20

【 0 0 9 7 】

さらに、画素容量 1 0 0 2 への充放電が終了し、ボルテージフォロア回路 2 1 が出力線 2 3、即ちソース信号ライン 1 0 0 4 から切り離された状態においては、D A 変換回路 1 6 からの出力がソース信号ライン 1 0 0 4 に出力され続けている。したがって、差動増幅回路で構成されたボルテージフォロア回路 2 1 において、製造条件等のバラツキによって発生する各差動増幅回路の入力段のオフセット電圧による出力側での電圧偏差が発生していても、これを解消でき、表示ムラの発生を低減することができる。

30

【 0 0 9 8 】

なお、本実施の形態においては、液晶駆動電圧出力端子 X i、Y i、Z i (i = 1 ~ N) の 3 端子毎に 1 個のボルテージフォロア回路 2 1 を共有する構成としたが、これに限定されるものではなく、液晶駆動電圧出力端子 1 8 の任意の複数個 (N 個) が 1 個のボルテージフォロア回路 2 1 を共有する構成であってもよい。また、1 個のボルテージフォロア回路 2 1 を共有する液晶駆動電圧出力端子 1 8 も自由に組み合わせ可能である。さらに、1 個の出力回路 1 7、即ちソースドライバ 2 が、1 個のボルテージフォロア回路 2 1 を共有する構成であってもよい。

40

【 0 0 9 9 】

また、アナログスイッチ回路 2 2 の O N / O F F を制御する制御信号 (t 1 1、t 2 1、t 3 1)、(t 1 2、t 2 2、t 3 2)、...、(t 1 N、t 2 N、t 3 N) は、互いに異なる制御信号であってもよい。この場合には、液晶表示画面でウインドウ表示 (画面の一部のみでの表示) を行う場合等において、背景部が変化しない時、背景部の画素のソース信号ライン 1 0 0 4 に接続されている液晶駆動電圧出力端子 1 8 のアナログスイッチ回路 2 2 を表示に影響がない限り O F F 状態のままにしておく構成とすれば、出力回路 1 7 におけるアナログスイッチ回路 2 2 の切替時の消費電力を低減させることができる。

【 0 1 0 0 】

また、例えば制御信号 t 1 1 ~ t 1 N の立ち上がりタイミングをずらすことにより、アナ

50

ログスイッチ回路 (SWX1in、SWX1out) ~ (SWXNin、SWXNout) 間において、ON開始のタイミングをずらようにしてもよい。これは、他のアナログスイッチ回路 (SWY1in、SWY1out) ~ (SWYNin、SWYNout) 間、アナログスイッチ回路 (SWZ1in、SWZ1out) ~ (SWZNin、SWZNout) 間においても同様である。この場合には、最も電流が多くなる、画素容量1002への充放電の開始時点を一画素容量1002間でずらし、消費電流のピークの集中を避けることができる。この構成は、電池駆動による携帯用途に有効である。

【0101】

また、図6に示すように、制御信号t1のON期間と制御信号t2のON期間との間、および制御信号t2のON期間と制御信号t3のON期間との間に、期間tAを設けることにより、ONとするアナログスイッチ回路22の切替時に、全てのアナログスイッチ回路22がOFF状態となる期間 (tA期間) を設けてもよい。この場合には、ONとするアナログスイッチ回路22の切替時に、先にONとなっているアナログスイッチ回路22と次にONとするアナログスイッチ回路22とが同時にON状態となってしまう、不要なソース信号ライン1004にボルテージフォロア回路21からの出力が供給される事態を防止することができる。

10

【0102】

なお、アナログスイッチ回路22を同時にOFFとする期間としては、1水平同期期間 (1H) の全ての期間としてもよい。また、画素容量1002での充放電が速やかに終了すれば、アナログスイッチ回路22を全てOFFする期間 (tB2期間) を設けてもよい。この場合には、アナログスイッチ回路22のOFF後、DA変換回路16からの直接的な出力のみがソース信号ライン1004に出力され続けるため、前述のように、差動増幅回路で構成されたボルテージフォロア回路21において、製造条件等のバラツキによって発生する各差動増幅回路の入力段のオフセット電圧による出力側での電圧偏差の解消をさらに期待できる。

20

【0103】

また、図5に示したように、アナログスイッチ回路22の切替開始時期 (制御信号t1の立ち上がり時期) も水平同期信号に対して任意でよく、例えば水平同期信号の1水平同期期間の開始時点に対してtB1期間遅れていてもよい。

【0104】

また、本実施の形態において、低インピーダンス出力変換手段としては、ボルテージフォロア回路21を使用したが、これに限定されることなく、例えば非反転増幅回路を使用してもよい。この場合、出力回路17において階調表示用電圧を増幅することができるため、ソースドライバ2のレベルシフト回路15を省くことができる。

30

【0105】

〔実施の形態2〕

本発明の実施の他の形態を図8および図9に基づいて以下に説明する。

本実施の形態の液晶表示装置は、図1に示すソースドライバ2に代えて図7に示すソースドライバ (表示駆動装置) 31を備えている。ソースドライバ31では、低消費電力化を実現するため、差動増幅回路で構成されたボルテージフォロア回路21の不使用时に、ボルテージフォロア回路21の動作電流の遮断機能を備えている。このために、このソースドライバ31では、切替制御回路20から制御信号Ch (h = 1 ~ N) がボルテージフォロア回路21に入力されるようになっている。なお、切替制御回路20から制御信号t_{ij}が出力回路17のアナログスイッチ回路22に入力される点は、前記のソースドライバ2と同様である。

40

【0106】

上記のボルテージフォロア回路21の動作電流の遮断は、例えばボルテージフォロア回路21の定電流源を構成するトランジスタを前記制御信号Chによって遮断することより可能となる。上記トランジスタは、例えばボルテージフォロア回路21を構成する差動増幅回路の入力段に設けられた差動対を流れる電流を決定するものである。上記動作電流の遮

50

断は、上記トランジスタに加えて、電源もしくは接地電位との間に挿入したトランジスタをOFFにすること、さらには、差動増幅回路の出力部を構成する出力段のトランジスタ（一般的にはP-MOSトランジスタとN-MOSトランジスタのペアで構成されるもの）の双方をOFFにすることにより可能となる。また、トランジスタをOFFにするには、例えば、トランジスタへの印加電圧をLowレベルにする。

【0107】

上記の構成により、差動増幅回路で構成されたボルテージフォロア回路21の不使用时には、ボルテージフォロア回路21内を流れる動作電流を遮断することができる。これにより、例えばテレビジョン放送電波等でのブランキング期間中のように、液晶表示装置には表示されない不要時間帯において上記制御を行って差動増幅回路を停止させ、むだな消費電力を随時適切に削減することができる。

10

【0108】

また、本液晶表示装置が携帯用機器に備えられている場合において、携帯用機器の電源をONした直後において各回路（液晶表示装置の駆動装置以外の回路も含む）が定常状態に至るまでの間、上記制御を行って差動増幅回路の動作を停止しておくことにより、不要時のむだな消費電力を随時適切に削減することができる。

【0109】

さらには、制御信号C1、C2、...、CNを互いに異なる制御信号とした場合には、先述のように、液晶表示画面でウインドウ表示（画面の一部のみでの表示）を行う場合等において、背景部が変化しない時、背景部の画素のソース信号ライン1004に接続されている液晶駆動電圧出力端子18のアナログスイッチ回路22を表示に影響がない限りOFF状態のままにしておく構成とすれば、出力回路17におけるアナログスイッチ回路22の切替時の消費電力を低減させることができる。

20

【0110】

以上の実施の形態においては、低インピーダンス出力変換手段（ボルテージフォロア回路21）を共有する出力回路17を備えた構成、即ち切替手段（アナログスイッチ回路22）を有し、時分割で低インピーダンス出力変換手段（ボルテージフォロア回路21）を選択することにより複数の液晶駆動電圧出力端子18にて低インピーダンス出力変換手段（ボルテージフォロア回路21）を共有する出力回路17を備えた構成として、液晶表示装置の駆動装置、特にソースドライバ2、31について説明した。しかしながら、本発明の構成は、マトリクス状に配置された画素を有し、この画素が寄生容量も含む負荷容量を有し、階調表示を画素への印加電圧を変えることで実現する表示装置の駆動装置、例えば、液晶表示装置やEL（エレクトロルミネッセンス）表示装置等に有効であり、特に画素への印加電圧が高い場合、特にその効果を発揮するものである。

30

【0111】

以上のように、本発明の表示駆動装置および表示装置モジュールでは、アナログ回路で構成される低インピーダンス出力手段、即ちボルテージフォロア回路21を共有化することにより、多端化に伴う回路規模、即ちチップサイズの増大、および消費電力の増大を抑制することができるようになってきている。例えば、ボルテージフォロア回路21を複数（N）の液晶駆動電圧出力端子18において共有することにより出力系の消費電力を1/Nに低減できる。

40

【0112】

上記共有化によるチップサイズの縮小や低消費電力化は、先述のモニター用途だけではなく、小型化、軽量化および低消費電力化が強く要望されている携帯端末機用の液晶表示装置にも有効である。

【0113】

また、上記共有化により低インピーダンス出力手段として使用されるボルテージフォロア回路21の各差動増幅回路において、製造条件等のバラツキによって発生する表示ムラ、即ち差動増幅回路の入力段のオフセット電圧による出力側での電圧偏差による表示ムラを解消することも可能である。

50

【0114】

また、ボルテージフォロア回路21、即ち出力回路17は、出力負荷を充放電後停止するため、液晶駆動電圧出力端子18からの出力電圧は、DA変換回路16からの直接出力にて決定される。したがって、この構成によれば、出力偏差は低減され、かつ消費電流の低減に大きな効果ある。

【0115】

【発明の効果】

以上のように、本発明の表示駆動装置は、表示手段に表示データに応じた複数種類の駆動電圧を低インピーダンス出力手段を介して複数の出力端子から出力する表示駆動装置において、1個の前記低インピーダンス出力手段が、切替手段を介して複数の前記出力端子と接続され、前記切替手段の切替動作により複数の前記出力端子に対して使用される構成である。

10

【0116】

上記の構成によれば、1個の低インピーダンス出力手段は、切替手段を介して複数の出力端子と接続され、切替手段の切替動作により複数の出力端子に対して使用される、即ち複数の出力端子において共有される。したがって、複数の各出力端子に対してそれぞれ低インピーダンス出力手段を設けた場合と比較して、出力端子数の増加に伴う、表示駆動装置の回路規模、即ち表示駆動装置がチップ形態である場合のチップサイズの大型化、および消費電力の増大を抑制することができる。

【0117】

また、低インピーダンス出力手段の上記共有化により、低インピーダンス出力手段として使用される例えば各差動増幅回路での製造条件等のバラツキに起因して、差動増幅回路の入力段のオフセット電圧による出力側での電圧偏差により表示ムラが発生することを抑制できる。

20

【0118】

本発明の表示駆動装置は、表示データに応じて表示手段を駆動するための複数種類の駆動電圧を生成する電圧生成手段と、複数の出力端子と、表示データに応じて複数種類の前記駆動電圧から各出力端子について1つの駆動電圧を選択して出力する電圧選択手段と、出力インピーダンスが低インピーダンスである低インピーダンス出力手段と、1個の前記低インピーダンス出力手段を前記電圧選択手段と複数の前記出力端子とに断接可能に接続する切替手段と、前記低インピーダンス出力手段が複数の前記出力端子のうちの1個のみと順次接続されるように前記切替手段の断接動作を時分割制御する切替制御手段とを備えている構成である。

30

【0119】

上記の構成によれば、1個の低インピーダンス出力手段が複数の出力端子において共有されるので、複数の各出力端子に対してそれぞれ低インピーダンス出力手段を設けた場合と比較して、出力端子数の増加に伴う、表示駆動装置の回路規模、即ち表示駆動装置がチップ形態である場合のチップサイズの大型化、および消費電力の増大を抑制することができる。

【0120】

また、低インピーダンス出力手段の上記共有化により、低インピーダンス出力手段として使用される例えば各差動増幅回路での製造条件等のバラツキに起因して、差動増幅回路の入力段のオフセット電圧による出力側での電圧偏差により表示ムラが発生することを抑制できる。

40

【0121】

上記の表示駆動装置は、1個の前記低インピーダンス出力手段と、前記切替手段と、1個の前記低インピーダンス出力手段に前記切替手段を介して接続されている複数の出力端子とからなるブロックが複数個備えられ、前記切替制御手段が、各ブロック間において前記切替手段が接続状態となるタイミングが互いにずれるように、前記切替手段を制御する構成としてもよい。

50

【 0 1 2 2 】

上記の構成によれば、各ブロック間において切替手段が接続状態となるタイミングが互いにずれるので、切替手段が接続状態となったときの消費電流のピークの集中を避けることができる。これにより、特に電池を電源としている表示駆動装置での電源電力の消費を抑制することができる。

【 0 1 2 3 】

上記の表示駆動装置は、前記切替制御手段が、前記出力端子からの駆動電圧の出力が不要であるときに、切替手段の動作を停止させる構成としてもよい。

【 0 1 2 4 】

上記の構成によれば、切替手段によるむだな切替動作を抑制して表示駆動装置の消費電力を低減することができる。 10

【 0 1 2 5 】

上記の表示駆動装置は、前記電圧選択手段が複数の出力線により前記出力端子と直接的に接続され、前記低インピーダンス出力手段が、前記切替手段を介して前記出力線と並列に設けられ、前記出力端子に、前記低インピーダンス出力手段からの出力の有無に関わらず、前記電圧選択手段からの出力が直接的に供給される構成としてもよい。

【 0 1 2 6 】

上記の構成によれば、一つの出力端子において、切替制御手段による切替手段の制御により、低インピーダンス出力手段との接続が遮断状態となった場合においても、電圧選択手段からの出力が直接的に前記出力端子に供給される。したがって、前記出力端子においては、所定の駆動電圧を維持することができる。 20

【 0 1 2 7 】

上記の表示駆動装置は、前記電圧選択手段が複数の出力線により前記出力端子と直接的に接続され、前記低インピーダンス出力手段が、前記切替手段を介して前記出力線と並列に設けられ、前記出力端子に、前記低インピーダンス出力手段からの出力の遮断後にも、前記電圧選択手段からの出力が直接的に供給される構成としてもよい。

【 0 1 2 8 】

上記の構成によれば、一つの出力端子において、切替制御手段による切替手段の制御により、低インピーダンス出力手段との接続が遮断状態となった場合においても、電圧選択手段からの出力が直接的に前記出力端子に供給される。したがって、前記出力端子においては、所定の駆動電圧を維持することができる。 30

【 0 1 2 9 】

上記の表示駆動装置は、前記低インピーダンス出力手段が、非動作時に、内部の動作電流を遮断する構成としてもよい。

【 0 1 3 0 】

上記の構成によれば、低インピーダンス出力手段の非動作時のむだな動作電流を遮断し、さらなる消費電力の低減を図り得る。

【 0 1 3 1 】

表示装置モジュールは、上記の何れかの表示駆動装置を備えた構成とすることができ、これにより、表示装置モジュールにおいては、出端子数の増加に伴う、表示駆動装置の回路規模、即ち表示駆動装置がチップ形態である場合のチップサイズの大型化、および消費電力の増大を抑制することができる。また、低インピーダンス出力手段の上記共有化により、低インピーダンス出力手段として使用される例えば各差動増幅回路での製造条件等のバラツキに起因して、差動増幅回路の入力段のオフセット電圧による出力側での電圧偏差により表示ムラが発生することを抑制できる。 40

【 図面の簡単な説明 】

【 図 1 】 本発明の実施の一形態における表示駆動装置としてのソースドライバを示すブロック図である。

【 図 2 】 図 1 に示したソースドライバを備える液晶表示装置のブロック図である。

【 図 3 】 図 1 に示したレベルシフト回路、D/A変換回路および出力回路の構成を示すブ 50

ック図である。

【図４】図３に示したボルテージフォロア回路の回路図である。

【図５】図１に示した切替制御回路から出力回路のアナログスイッチ回路に入力される制御信号 $t_1 \sim t_3$ と水平同期信号とを示すタイミングチャートである。

【図６】図５に示したタイミングとは制御信号 t_2 、 t_3 のタイミングが異なる場合の、制御信号 $t_1 \sim t_3$ と水平同期信号とを示すタイミングチャートである。

【図７】本発明の実施の他の形態における表示駆動装置としてのソースドライバを示すブロック図である。

【図８】図７に示したレベルシフト回路、ＤＡ変換回路および出力回路の構成を示すブロック図である。

10

【図９】従来の液晶表示装置の概略の構成を示すブロック図である。

【図１０】図９に示した液晶パネルの概略構成を示す回路図である。

【図１１】図９に示した液晶表示装置における液晶駆動波形の一例を示す説明図である。

【図１２】図１１に示した液晶駆動波形の他の例を示す説明図である。

【図１３】図９に示したソースドライバの概略構成を示すブロック図である。

【図１４】図９に示した液晶パネルに供給される各種信号を示すタイミングチャートである。

【図１５】図１５（ａ）は図９に示した液晶パネルに供給される走査信号、クロック信号 CK 、スタートパルス信号 SP 、デジタル表示データおよび水平同期信号の関係を示すタイミングチャート、図１５（ｂ）は同ソースドライバ出力を示す説明図である。

20

【図１６】図９に示したソースドライバが備える基準電圧発生回路の概略の構成を示す説明図である。

【図１７】図１６に示した基準電圧発生回路が備える抵抗分割回路を示す回路図である。

【図１８】図９に示したソースドライバが備える基準電圧発生回路と、ＤＡ変換回路と、出力回路との構成を示す説明図である。

【図１９】従来の他の液晶表示装置の概略構成を示す説明図である。

【図２０】従来のさらに他の液晶表示装置の概略構成を示す説明図である。

【図２１】従来のさらに他の液晶表示装置の概略構成を示す説明図である。

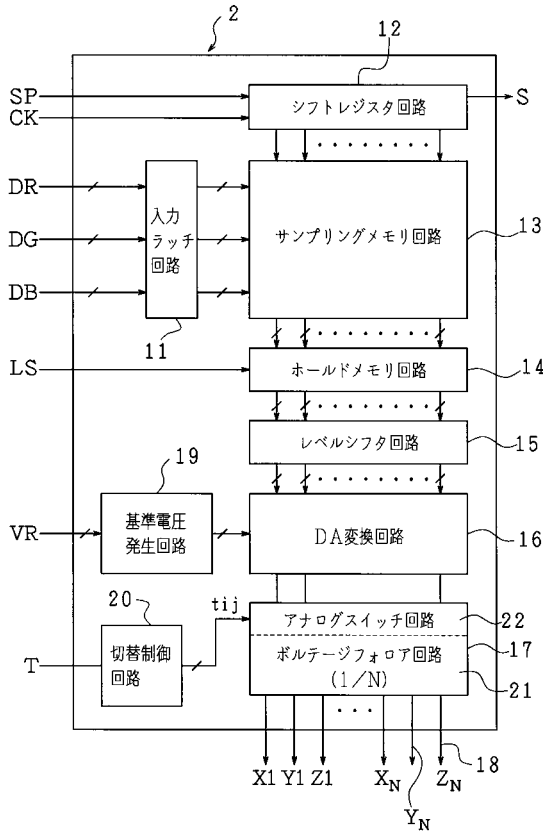
【符号の説明】

- 1 液晶パネル（表示手段）
- 2 ソースドライバ（表示駆動装置）
- 4 コントローラ
- 15 レベルシフト回路
- 16 ＤＡ変換回路（電圧選択手段）
- 17 出力回路
- 18 液晶駆動電圧出力端子（出力端子）
- 19 基準電圧発生回路（電圧生成手段）
- 20 切替制御回路（切替制御手段）
- 21 ボルテージフォロア回路（低インピーダンス出力手段）
- 22 アナログスイッチ回路（切替手段）
- 23 出力線
- 31 ソースドライバ（表示駆動装置）

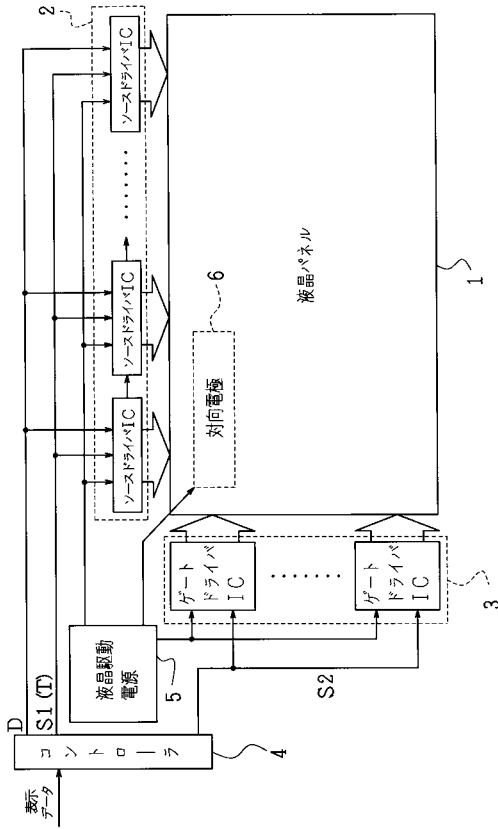
30

40

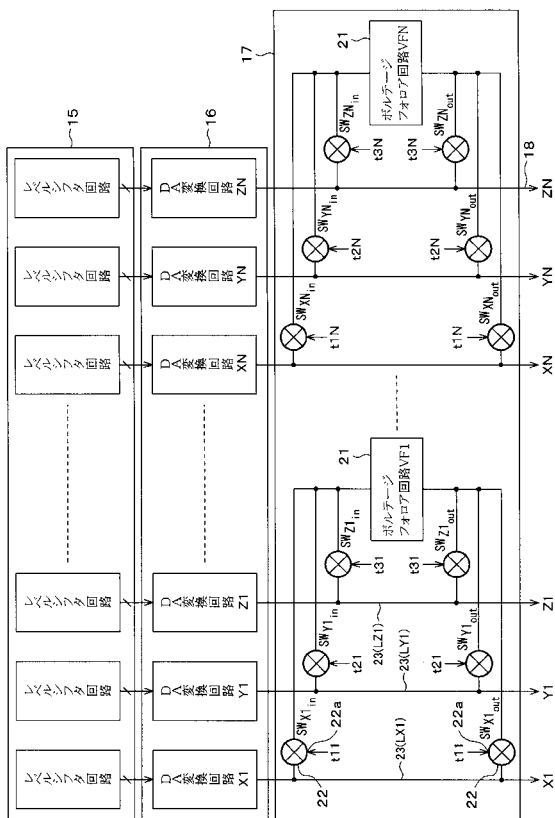
【 図 1 】



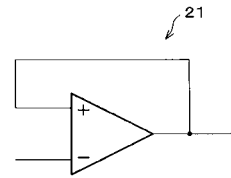
【 図 2 】



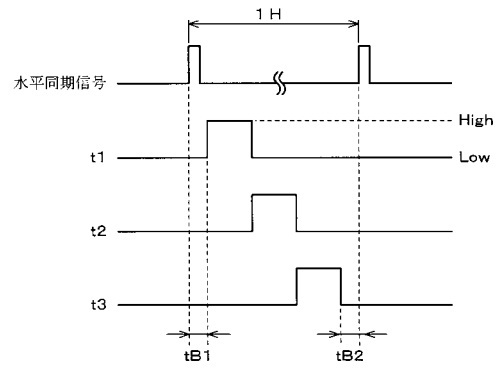
【 図 3 】



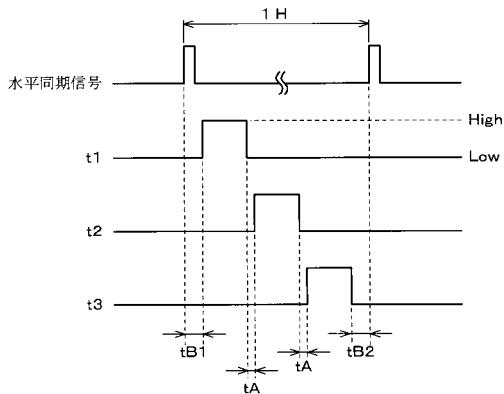
【 図 4 】



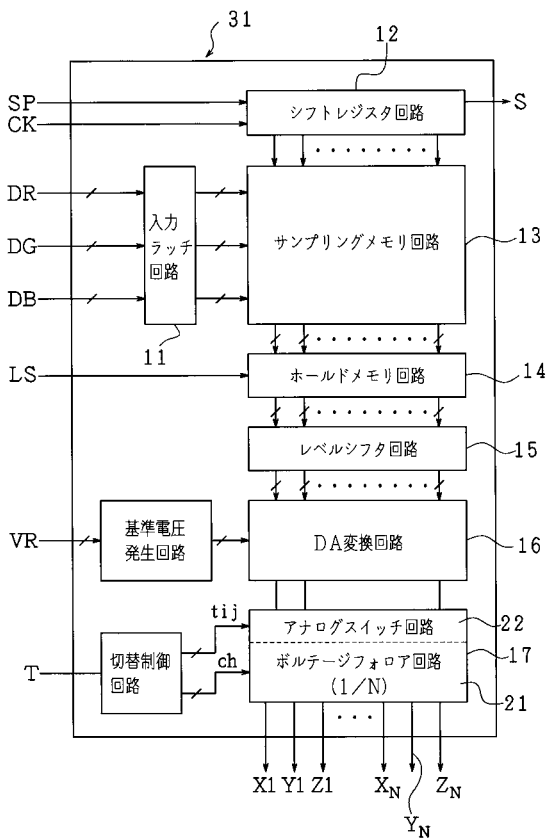
【 図 5 】



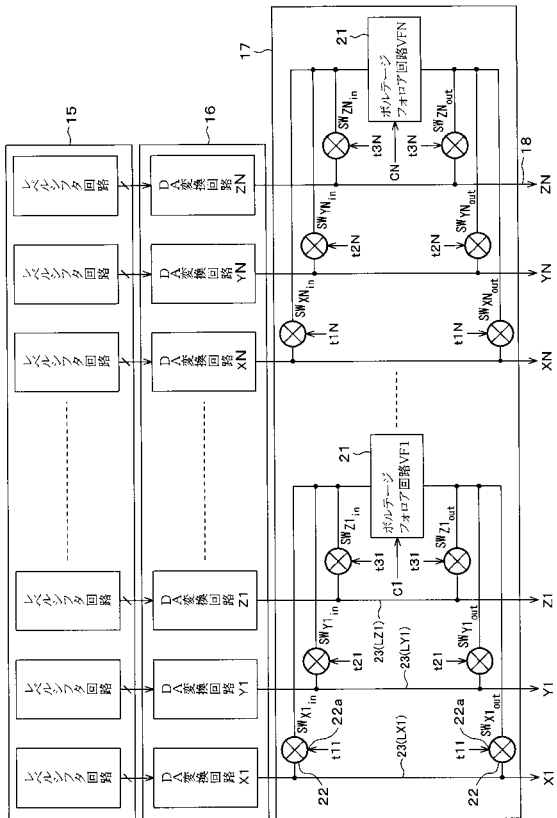
【図6】



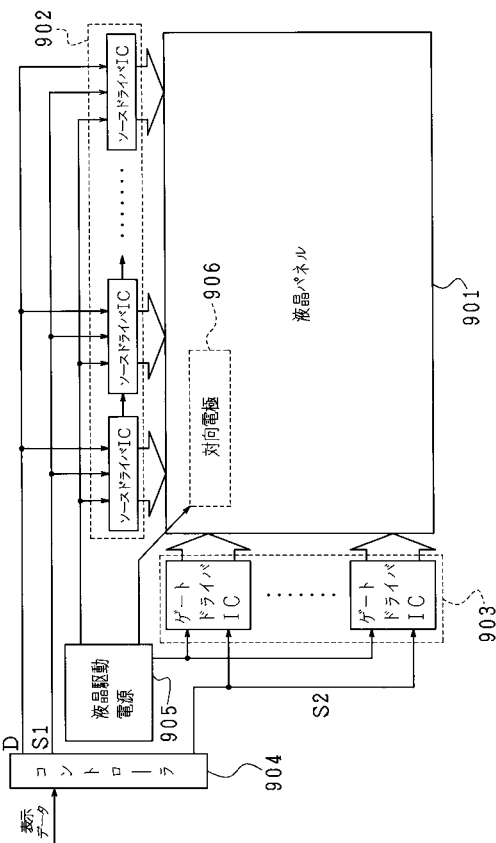
【図7】



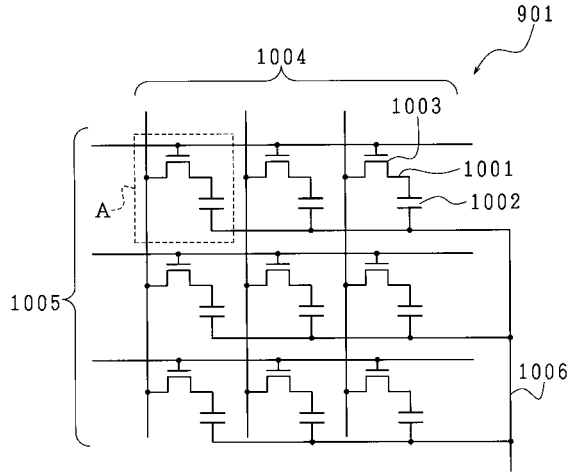
【図8】



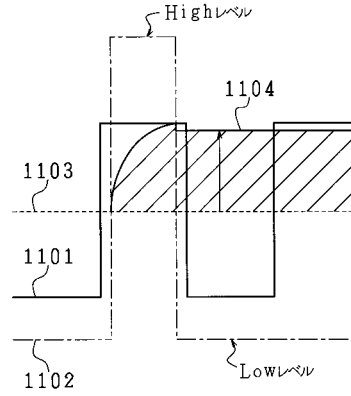
【図9】



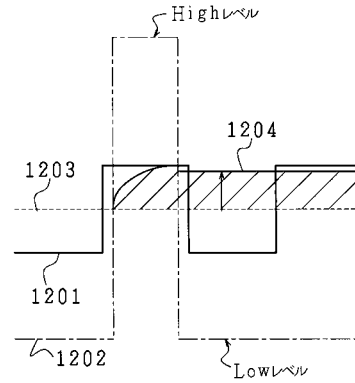
【図10】



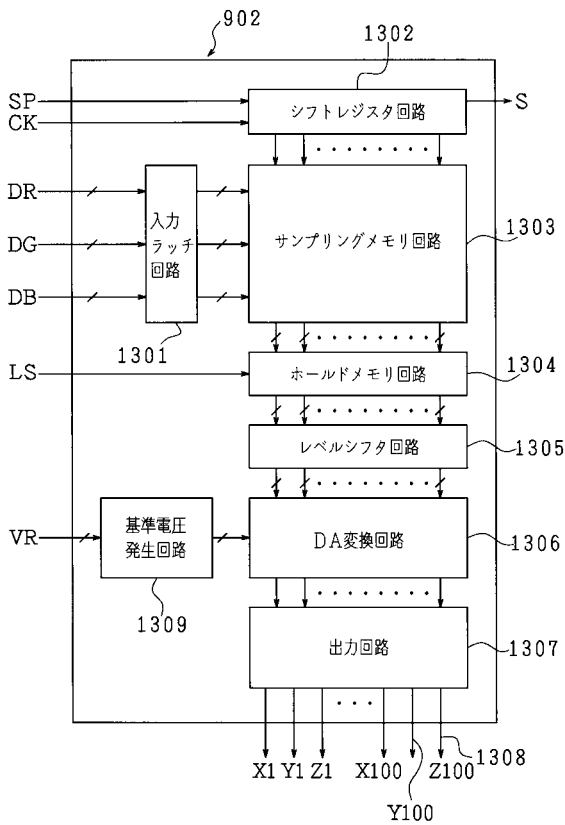
【図11】



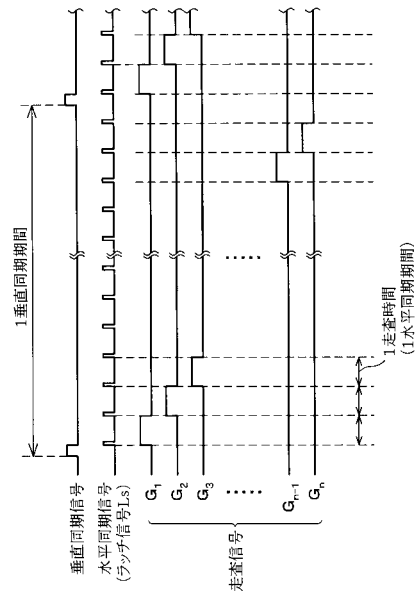
【図12】



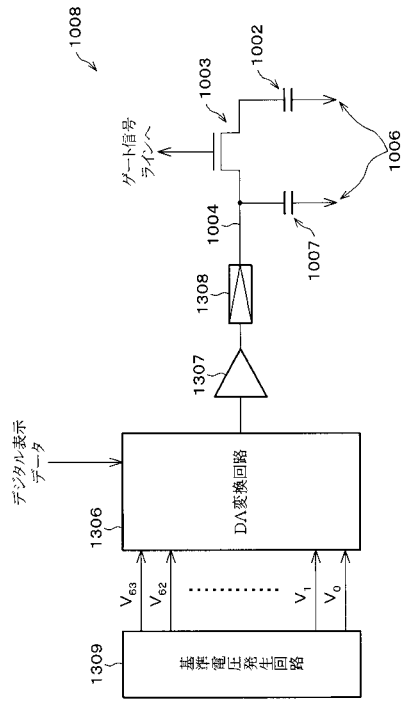
【図13】



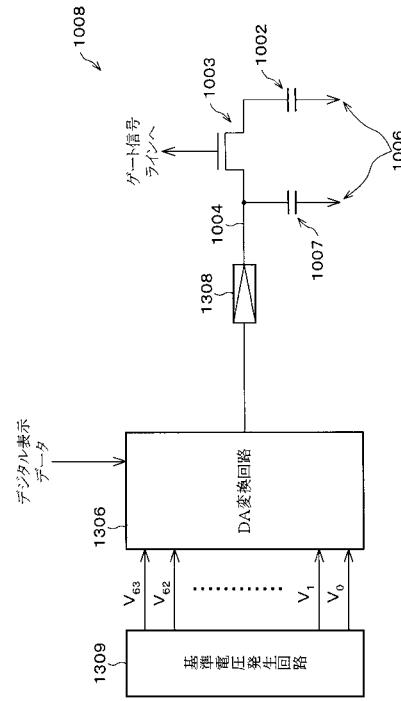
【図14】



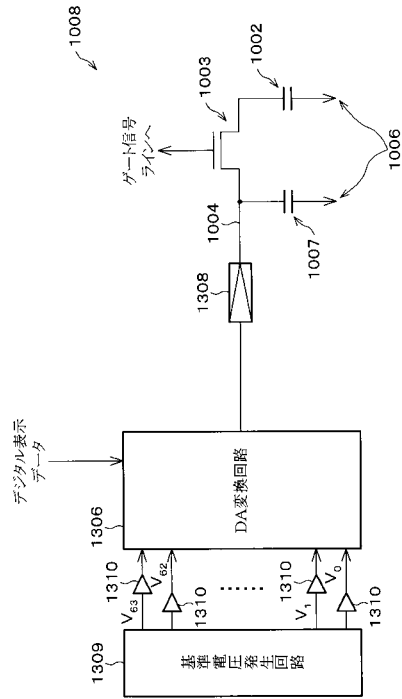
【 図 19 】



【 図 20 】



【 図 21 】



フロントページの続き

(51) Int.Cl.⁷

F I

G 0 9 G 3/20 6 1 2 F

(56) 参考文献 特開平 1 0 - 3 1 9 9 2 4 (J P , A)
特開平 0 8 - 0 2 2 2 6 7 (J P , A)
特開平 0 8 - 0 2 2 2 6 8 (J P , A)
特開平 0 2 - 1 2 0 8 8 9 (J P , A)
特開平 1 0 - 3 0 1 5 3 9 (J P , A)
特開平 0 5 - 0 7 5 9 5 7 (J P , A)
特開平 0 6 - 0 2 9 8 1 2 (J P , A)

(58) 調査した分野(Int.Cl.⁷, D B 名)

G09G3/00-3/38

G02F1/133

专利名称(译)	显示驱动装置和显示装置模块		
公开(公告)号	JP3607197B2	公开(公告)日	2005-01-05
申请号	JP2000396109	申请日	2000-12-26
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	藤野宏晃		
发明人	藤野 宏晃		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3688 G09G3/2011 G09G3/3696 G09G2310/027 G09G2310/0297 G09G2320/02 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.550 G02F1/133.575 G09G3/20.611.A G09G3/20.612.F		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NA64 2H093/NC03 2H093/NC21 2H093/NC34 2H093/ND06 2H093/ND09 2H093/ND39 2H093/ND49 2H193/ZA04 2H193/ZD23 2H193/ZD32 2H193/ZF03 5C006/BB16 5C006/BC12 5C006/BF24 5C006/BF25 5C006/EB05 5C006/FA22 5C006/FA41 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD22 5C080/DD25 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
其他公开文献	JP2002196726A		
外部链接	Espacenet		

摘要(译)

要解决的问题为了抑制由于多端转换引起的电路尺寸的增加和功耗的增加。对应于显示数据的多种驱动电压通过电压跟随器电路从多个液晶驱动电压输出端输出到显示装置。一个电压跟随器电路21经由模拟开关电路22连接到多个液晶驱动电压输出端子18，并且通过模拟开关电路22的开关操作由多个液晶驱动电压输出端子18共享。

【图 1】

