

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-113098

(P2010-113098A)

(43) 公開日 平成22年5月20日(2010.5.20)

(51) Int.Cl.	F 1	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30	338 2H092
H01L 21/336 (2006.01)	H01L 29/78	627G 3K107
H01L 29/786 (2006.01)	H01L 29/78	612D 5C094
H01L 21/20 (2006.01)	H01L 21/20	5F110
G02F 1/1343 (2006.01)	G02F 1/1343	5F152

審査請求 未請求 請求項の数 10 O L (全 27 頁) 最終頁に続く

(21) 出願番号	特願2008-284803 (P2008-284803)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成20年11月5日 (2008.11.5)	(74) 代理人	110000338 特許業務法人原謙三國際特許事務所
		(72) 発明者	千田 満 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		F ターム (参考)	2H092 GA29 GA59 JA25 JA36 JA40 JA44 JA46 JB24 JB33 JB69 KA04 KA05 KA07 KA12 KA18 KA22 KB02 KB04 KB12 KB25 MA05 MA07 MA08 MA13 MA27 MA30 MA41 NA01 NA29
			最終頁に続く

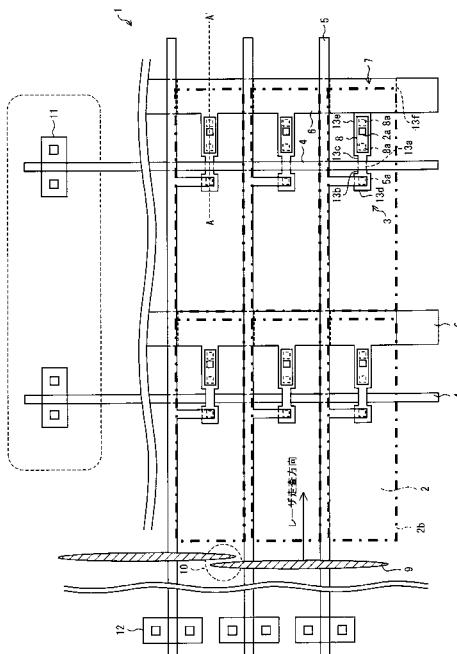
(54) 【発明の名称】アクティブマトリクス型表示装置用基板、アクティブマトリクス型表示装置およびアクティブマトリクス型表示装置用基板の製造方法

(57) 【要約】

【課題】レーザアニールによって結晶化された半導体膜を補助容量電極として用いたとしても、表示不良を解消、あるいは目立たなくさせることができ、歩留まりを向上させることができる。

【解決手段】各補助容量7の一方の電極をなすように上記複数の画素について共通に形成された直線状の補助容量配線6と、各補助容量7の他方の電極をなすように複数の画素について個別に、かつ補助容量配線6に対向するように形成された補助容量電極13fとを備え、各補助容量電極13fは、補助容量配線6の長手方向と交差する方向にラスタスキャンされる連続発振レーザビーム、あるいは擬似連続発振レーザビームによりレーザアニーリングされることによって多結晶化、あるいは結晶が改質された半導体膜からなる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

複数の画素を有し、各画素には画素電極によって形成される容量に対して並列に接続される補助容量が形成されたアクティブマトリクス型表示装置用基板において、

上記各補助容量の一方の電極をなすように上記複数の画素について共通に形成された直線状の補助容量配線と、

上記各補助容量の他方の電極をなすように上記複数の画素について個別に、かつ上記補助容量配線に対向するように形成された補助容量電極とを備え、

上記各補助容量電極は、上記補助容量配線の長手方向と交差する方向にラスタスキャンされる連続発振レーザビーム、あるいは擬似連続発振レーザビームによりレーザアニーリングされることによって多結晶化、あるいは結晶が改質された半導体膜からなることを特徴とするアクティブマトリクス型表示装置用基板。

【請求項 2】

上記補助容量配線の長手方向と、上記レーザビームのスキャン方向との交差角度が45度～90度であることを特徴とする請求項1に記載のアクティブマトリクス型表示装置用基板。

【請求項 3】

上記補助容量配線の長手方向と、上記レーザビームのスキャン方向との交差角度が略90度であることを特徴とする請求項1に記載のアクティブマトリクス型表示装置用基板。

【請求項 4】

複数の画素を有し、各画素には画素電極によって形成される容量に対して並列に接続される補助容量が形成されたアクティブマトリクス型表示装置用基板において、

上記各補助容量の一方の電極をなすように上記複数の画素について共通に形成された直線状の補助容量配線と、

上記各補助容量の他方の電極をなすように上記複数の画素について個別に、かつ上記補助容量配線に対向するように形成された、帯状のラテラル結晶を含む多結晶半導体膜からなる補助容量電極とを備え、

上記帯状のラテラル結晶の長軸方向は、上記補助容量配線の長手方向と交差する方向に形成されていることを特徴とするアクティブマトリクス型表示装置用基板。

【請求項 5】

上記補助容量配線の長手方向と、上記帯状結晶の長軸方向の平均的な方向との交差角度が45度～90度であることを特徴とする請求項4に記載のアクティブマトリクス型表示装置用基板。

【請求項 6】

上記補助容量配線の長手方向と、上記帯状結晶の長軸方向の平均的な方向との交差角度が略90度であることを特徴とする請求項4に記載のアクティブマトリクス型表示装置用基板。

【請求項 7】

請求項1から6の何れか1項に記載のアクティブマトリクス型表示装置用基板を備えていることを特徴とするアクティブマトリクス型表示装置。

【請求項 8】

複数の画素を有し、各画素には画素電極によって形成される容量に対して並列に接続される補助容量が形成されたアクティブマトリクス型表示装置用基板の製造方法において、

上記各補助容量の一方の電極をなすように上記複数の画素について共通に、かつ直線状に補助容量配線を形成する補助容量配線形成工程と、

上記各補助容量の他方の電極をなすように上記複数の画素について個別に、かつ上記補助容量配線に対向するように半導体膜からなる補助容量電極を形成する補助容量電極形成工程と、

上記各補助容量電極に対し、上記補助容量配線の長手方向と交差する方向に連続発振レーザビーム、あるいは擬似連続発振レーザビームをラスタスキャンすることによってレー

10

20

30

40

50

ザアニーリングを施し、上記半導体膜の多結晶化、あるいは結晶の改質を行うレーザアニーリング工程とを含むことを特徴とするアクティブマトリクス型表示装置用基板の製造方法。

【請求項 9】

上記補助容量配線の長手方向と、上記レーザビームのスキャン方向との交差角度が45度～90度であることを特徴とする請求項8に記載のアクティブマトリクス型表示装置用基板の製造方法。

【請求項 10】

上記補助容量配線の長手方向と、上記レーザビームのスキャン方向との交差角度が略90度であることを特徴とする請求項8に記載のアクティブマトリクス型表示装置用基板の製造方法。10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の画素を有し、各画素には画素電極によって形成される容量に対して並列に接続される補助容量が形成されたアクティブマトリクス型表示装置用基板、アクティブマトリクス型表示装置用基板の製造方法、およびその基板を用いたアクティブマトリクス型表示装置に関するものである。

【背景技術】

【0002】

近年、ブラウン管(CRT)に代わり急速に普及している液晶表示装置や、有機EL表示装置に代表されるTFTを用いたアクティブマトリクス型表示装置は、省エネ型、薄型、軽量型等の特徴を活かしテレビ、モニター、携帯電話等に幅広く利用されている。20

【0003】

これらのTFTを用いたアクティブマトリクス型表示装置は、高品位表示が可能なディスプレイであり、この方式においては、各画素に印加された電圧をフレーム周期間減衰なく保持することが重要であり、これにより表示品位が決定付けられると言っても過言ではない。

【0004】

上記TFTを用いたアクティブマトリクス型表示装置においては、TFTがオンになった時、信号電圧はTFTを通じてドレイン電圧として画素電極に印加される構成となっている。30

【0005】

この時、画素電極と対向電極との間に充電された電荷量は、種々の要因にて時間とともに減衰し、所定の電圧が印加されなくなるという問題が起きる。したがって、充電された電荷が1フレームの間にどれくらい保持されるかが、アクティブマトリクス型表示装置の表示品位においては重要である。

【0006】

液晶表示装置の場合は、各画素の画素電極と対向電極との間に液晶を挟んで液晶容量を構成するが、液晶容量に充電した電荷の減衰時間を長くするため、液晶容量と並列に補助容量(Cs)を接続する構成を用いることが一般的である。40

【0007】

また、有機EL表示装置においても、画素の信号を保持するために、補助容量(Cs)が使用されている。

【0008】

一方、TFTを駆動するための材料としては非晶質シリコン(a-Si)や多結晶シリコン(Poly-Si)が広く用いられている。多結晶シリコン(Poly-Si)は非晶質シリコン(a-Si)と比較して電子移動度が大きいため、TFTの高速動作が可能であり、画素を駆動するTFTだけでなく、従来は外付けの集積回路を使用していた周辺駆動回路もガラス基板上に集積することができるため、広く用いられるようになっている50

。

【0009】

多結晶シリコン（Poly-Si）などの多結晶半導体を形成する方法としては、高温の熱処理に耐えられる高価な石英基板を用いて、高温熱処理（アニール法）により、非晶質シリコン（a-Si）を結晶化する方法があるが、基板が高価であるため、大型化が大変困難である。

【0010】

したがって、比較的安価なガラス基板を用いて、非晶質シリコン（a-Si）を結晶化する方法が注目されるようになった。

【0011】

このようなガラス基板を用いる方法においては、ガラス基板の熱変形を避けるために、一般的にレーザアニールが用いられる。

【0012】

上記レーザアニールの特徴としては、輻射加熱或いは伝導加熱を利用するアニール法と比較して処理時間を大幅に短縮できることや、半導体又は半導体膜を選択的、局所的に加熱して、基板に殆ど熱的損傷を与えないことなどが挙げられている。

【0013】

なお、本明細書でいうレーザアニール法は、半導体基板又は半導体膜に形成された損傷層を再結晶化する技術や、基板上に形成された非単結晶半導体膜を結晶化する技術を含んでいる。

【0014】

また、上記レーザアニール法は、半導体基板又は半導体膜の平坦化や表面改質に適用される技術も含んでいる。上記レーザアニール法に適用されるレーザ発振装置は、エキシマレーザに代表される気体レーザ発振装置、YAGレーザに代表される固体レーザ発振装置であり、これら装置は、レーザ光の照射によって半導体の表面層を数10ナノ～数10マイクロ秒程度のごく短時間加熱して結晶化させるものとして知られている。

【0015】

レーザはその発振方法により、パルス発振と連続発振の2種類に大別される。パルス発振のレーザは出力エネルギーが比較的高いため、ビームスポットの幅を広くして量産性を上げることができる。特に、ビームスポットの形状を光学系を用いて加工し、長さ10cm以上の線状にすると、基板へのレーザ光の照射を効率的に行うことができ、量産性をさらに高めることができる。そのため、非単結晶半導体膜の結晶化には、パルス発振のレーザが広く用いられている。

【0016】

一方、近年、非単結晶半導体膜の結晶化においてパルス発振のレーザよりも連続発振のレーザを用いる方が、半導体膜内に形成される結晶の粒径が大きくなることが見出された。半導体膜内の結晶粒径が大きくなると、該半導体膜を用いて形成されるTFTの電子移動度が高くなる。そのため、連続発振のレーザはにわかに脚光を浴び始めている。

【0017】

しかし、一般的に連続発振のレーザは、パルス発振のレーザに比べてその最大出力エネルギーが小さいため、ビームスポットのサイズが小さく、幅が数10μm程度から数mm程度である。したがって、表示装置の画素領域を結晶化するためには、ビームを複数回走査して、結晶化する必要がある。

【0018】

図12は、連続発振のレーザビーム103を複数回走査して、表示装置の画素領域101を結晶化する模様を示す概略図である。

【0019】

結晶化をする際には、必要な部分にだけレーザを照射する選択結晶化とほぼ全域に渡って結晶化する全面結晶化とが考えられる。また、連続発振レーザとしてはアルゴンレーザなどのガスレーザを用いる場合と、YAGレーザ、YVO4レーザなどの固体レーザを用

10

20

30

40

50

いる場合が考えられる。

【0020】

例えば、特許文献1には、TFTを直線上に配置し、それぞれの直線に対して、連続発振のアルゴンレーザ光を位置制御して照射する技術が記載されている。

【0021】

すなわち、それぞれの直線上に配置された素子領域が、1回のレーザ光照射により結晶化されるようにし、その位置精度を保ちながら順次走査する。したがって、各TFTにはそれぞれ1回ずつのレーザ光照射が行われ、順次走査する際のレーザ光の重なり部分が素子領域には係らないようになっている。

【0022】

特許文献2には、連続発振固体レーザを使用した場合でもスループットを高くすることができますように、複数のレーザ源から出射するレーザビームを複数のサブビームに分割し、該サブビームを基板の非晶質半導体の選択された部分に照射して該半導体を結晶化させる技術が掲載されている。

【0023】

また、特許文献3には、画素部は非晶質半導体、あるいはエキシマレーザによるアニールで得られた粒状多結晶半導体を使用し、TFTの高速動作が要求される周辺駆動回路領域は、連続発振レーザ光をオンオフしながら走査して、選択的に作り込む技術が掲載されている。

【特許文献1】特開平7-92501号公報（公開日：1995年4月7日）

20

【特許文献2】特開2003-332235号公報（公開日：2003年11月21日）

【特許文献3】特開2004-151668号公報（公開日：2004年5月27日）

【発明の開示】

【発明が解決しようとする課題】

【0024】

しかしながら、上記特許文献1、2に記載されている方法は、画素内領域においては、画素駆動TFT部のみが多結晶化されており、補助容量については言及されていない。

【0025】

また、特許文献3に記載されている方法においては、画素部が非晶質半導体では十分な駆動力が得られない場合もあり、また、画素部をエキシマレーザによって多結晶化する場合には、結晶化をするためにエキシマレーザ装置と連続発振レーザ装置の2種類のレーザアニール装置が必要となってしまう。エキシマレーザアニール装置は高電圧印加によるパルス発振を行うガスレーザであることから、レーザガス純度の劣化による日常的なガス交換と引き続く発振器と光学系の調整、電極劣化によるレーザ発振器本体の入れ替え等、大きなダウンタイム、大きなランニングコストが必要になる、という問題点があり、レーザアニールという一つの工程に複数の種類のレーザアニール装置が必要になる、という点は好ましくないといえる。

30

【0026】

そこで、本発明者らは、連続発振レーザ、あるいは擬似連続発振レーザのみを使用して、レーザ光の一部を重ねながらラスタスキャンを繰り返して、非単結晶半導体膜の結晶性を改質し、TFTの半導体チャネルと補助容量（Cs）を形成し、さらに対向基板との貼り合わせ、液晶注入などの工程を経て、液晶表示パネルを多数作成した。

【0027】

すると、上記アクティブマトリクス型表示装置用基板を製造する際に、上記レーザを高速に走査する方向と補助容量配線が設けられる方向が平行であると、ある周期（レーザ光の走査ピッチと画素ピッチとの最小公倍数）でレーザビームの重ね部と補助容量配線が完全に重なり、画面の書き換え時に他の部分と書き換えの速度が異なって見えてしまうという、不具合が発生するとともに、この不具合が縞状に発生する場合があることに気付いた。

【0028】

40

50

さらに詳細な調査をおこなったところ、画素領域の補助容量（C_s）形成部分、すなわち、多結晶シリコン（Poly-Si）層と絶縁膜層と補助容量配線とによって形成される部分にレーザビームの重ね不良が発生し、多結晶シリコン（Poly-Si）層において、本来帯状のラテラル結晶が形成されているべきところに粒状結晶が混じっていることが判明した。

【0029】

本発明は、上記の問題点に鑑みてなされたものであり、レーザアニールによって結晶化、あるいは結晶が改質された半導体膜を補助容量電極として用いたとしても、表示不良を解消、あるいは目立たなくさせることができ、歩留まりを向上させることができるアクティブマトリクス型表示装置用基板、およびアクティブマトリクス型表示装置用基板の製造方法を提供することを目的とする。10

【0030】

さらには、上記アクティブマトリクス型表示装置用基板を備えることにより、より表示品位が向上されたアクティブマトリクス型表示装置を提供することを目的とする。

【課題を解決するための手段】

【0031】

本発明のアクティブマトリクス型表示装置用基板は、上記の課題を解決するために、複数の画素を有し、各画素には画素電極によって形成される容量に対して並列に接続される補助容量が形成されたアクティブマトリクス型表示装置用基板において、上記各補助容量の一方の電極をなすように上記複数の画素について共通に形成された直線状の補助容量配線と、上記各補助容量の他方の電極をなすように上記複数の画素について個別にかつ上記補助容量配線に対向するように形成された補助容量電極とを備え、上記各補助容量電極は、上記補助容量配線の長手方向と交差する方向にラスタスキャンされる連続発振レーザビーム、あるいは擬似連続発振レーザビームによりレーザアニーリングされることによって多結晶化、あるいは結晶が改質された半導体膜からなることを特徴としている。20

【0032】

また、本発明のアクティブマトリクス型表示装置用基板は、上記補助容量配線の長手方向と、上記レーザビームのスキャン方向との交差角度が45度～90度であることが好ましい。

【0033】

また、本発明のアクティブマトリクス型表示装置用基板は、上記補助容量配線の長手方向と、上記レーザビームのスキャン方向との交差角度が略90度であることが好ましい。30

【0034】

上記構成のアクティブマトリクス型表示装置用基板を用いることにより、アクティブマトリクス型表示装置の画面の表示を切り替える際に、一部切り替えの遅れる領域が、縞状に発生する問題を改善できるという効果を奏する。

【0035】

上記補助容量配線の長手方向と連続発振レーザビーム、あるいは擬似連続発振レーザビームのラスタスキャン方向とが一致する場合には、ある周期（レーザビームの走査ピッチと画素ピッチの最小公倍数）で、レーザビームスポットの重なり部が、上記補助容量配線と完全に重なる部分が発生する。40

【0036】

上述したように、上記レーザビームスポットの重なり部により、レーザアニーリングされた多結晶半導体膜には、本来帯状のラテラル結晶が形成されているべきところに粒状結晶が混じる場合があることが本発明者らによって判明されている。

【0037】

この原因は以下のように考えられる。通常、一回のレーザビームスポットの走査で形成されるラテラル結晶の幅W_Lよりも広い、連続する領域でラテラル結晶を形成する場合には、送りピッチP_sはW_L > P_sの関係であり、ある程度重なりを持たせることによって

必要な領域全域に渡ってラテラル結晶を形成することができ、重なりを大きくすればより確実にラテラル結晶を形成することができる。しかし、重なりを大きくするほど処理時間が掛かるという問題点が発生する。一方、ラテラル結晶の幅W_Lは基板全域に渡って完全に等しいということではなく、さまざまな要因により変動することが分かっている。レーザの出力変動、レーザ照射による光学系の熱変動による焦点位置ずれ、基板を置くステージが完全に平坦でないために発生するレンズの焦点位置と結晶化される膜の位置ずれ、などがその例である。また、送りピッチP_sについてもステージの送り精度の問題や、光学系の振動などによるビームの蛇行を原因として、変動が発生する。このようなラテラル結晶の幅W_Lや送りピッチP_sの意図しない変動によって、ラテラル結晶が形成されるべき部分に粒状結晶が形成されてしまうのである。

10

【0038】

上記のように、粒状結晶が混じっている領域においては、電気移動度が落ちるため、アクティブマトリクス型表示装置の画面の表示を切り替える際に、一部切り替えの遅れる領域となる。

【0039】

上記のように、このような一部切り替えの遅れる領域が、ゲートバスラインの長手方向に沿って、1ライン全体に発生した場合は、1ゲートラインずつを順次選択して表示させるアクティブマトリクス型表示装置においては、1ゲートライン全体の切り替えが遅れるので非常に目立つのである。

20

【0040】

本発明の構成によれば、上記補助容量配線の長手方向と交差する方向に連続発振レーザビーム、あるいは擬似連続発振レーザビームをラスタスキャンすることにより、上記切り替えの遅れる領域が1ゲートライン上全体に発生することを防ぐことができる構成である。

【0041】

また、上記補助容量配線の長手方向と、上記レーザビームのスキャン方向との交差角度を45度～90度とすることにより、上記切り替えの遅れる領域が1ゲートライン上に発生する長さを短くすることができる。

【0042】

さらには、上記補助容量配線の長手方向と、上記レーザビームのスキャン方向との交差角度が略90度とすることにより、上記切り替えの遅れる領域が1ゲートライン上に発生する長さを最短とすることができます。

30

【0043】

上記構成では、上記各補助容量電極は、ラスタスキャンされる上記レーザビームによりレーザアニーリングされることによって多結晶化、あるいは結晶が改質された半導体膜によって構成されることになる。

【0044】

ここで、レーザビームのラスタスキャンとは、軌跡が互いに平行な複数の直線を描くようにレーザビームをスキャンさせることにより、所定の面に対してレーザビーム照射を行うことをいう。なお、同時に複数の直線を描くように複数のレーザビームがスキャンされてもよく、複数の直線を順次描くように1つのレーザビームが繰り返しスキャンされてもよい。また、スキャンは一方向であってもよく、両方向であってもよい。

40

【0045】

なお、擬似連続発振レーザビームとは、パルス発振型であるが、レーザビーム（あるいはステージ）走査方向に結晶が連続的に成長するように、周波数が数10MHz以上の高周波パルスのものをいう。

【0046】

本発明のアクティブマトリクス型表示装置用基板は、上記の課題を解決するために、複数の画素を有し、各画素には画素電極によって形成される容量に対して並列に接続される補助容量が形成されたアクティブマトリクス型表示装置用基板において、上記各補助容量

50

の一方の電極をなすように上記複数の画素について共通に形成された直線状の補助容量配線と、上記各補助容量の他方の電極をなすように上記複数の画素について個別に、かつ上記補助容量配線に対向するように形成された、帯状のラテラル結晶を含む多結晶半導体膜からなる補助容量電極とを備え、上記帯状のラテラル結晶の長軸方向は、上記補助容量配線の長手方向と交差する方向に形成されていることを特徴としている。

【0047】

本発明のアクティブマトリクス型表示装置用基板は、上記補助容量配線の長手方向と、上記帯状結晶の長軸方向の平均的な方向との交差角度が45度～90度であることが好ましい。

【0048】

本発明のアクティブマトリクス型表示装置用基板は、上記補助容量配線の長手方向と、上記帯状結晶の長軸方向の平均的な方向との交差角度が略90度であることが好ましい。

【0049】

上記構成によれば、連続発振レーザビーム、あるいは擬似連続発振レーザビームをある範囲の速度、およびエネルギー密度でスキャンさせることによって半導体膜を多結晶化する場合、帯状のラテラル結晶が形成されることになり、その長軸方向はレーザビームのスキャン方向となる。

【0050】

したがって、上記帯状のラテラル結晶の長軸方向を、上記補助容量配線の長手方向と交差する方向に形成することにより、上記切り替えの遅れる領域が1ゲートライン上全体に発生することを防ぐことができる構成である。

【0051】

また、上記帯状結晶の長軸方向の平均的な方向と、上記補助容量配線の長手方向との交差角度を45度～90度とすることにより、上記切り替えの遅れる領域が1ゲートライン上に発生する長さを短くすることができる。

【0052】

さらに、上記帯状結晶の長軸方向の平均的な方向と、上記補助容量配線の長手方向との交差角度を略90度とすることにより、上記切り替えの遅れる領域が1ゲートライン上に発生する長さを最短とすることができる。

【0053】

上記構成のアクティブマトリクス型表示装置用基板を用いることにより、アクティブマトリクス型表示装置の画面の表示を切り替える際に、一部切り替えの遅れる領域が、縞状に発生する問題を改善できるという効果を奏する。

【0054】

本発明のアクティブマトリクス型表示装置は、上記の課題を解決するために、上記のアクティブマトリクス型表示装置用基板を備えていることを特徴としている。

【0055】

上記アクティブマトリクス型表示装置としては、液晶表示装置、有機EL表示装置などを例として挙げることができるが、これらに限定されることはない。

【0056】

上記構成によれば、レーザアニールによって結晶化された半導体膜を補助容量電極として用いたとしても、表示不良を解消、あるいは目立たなくさせることができるアクティブマトリクス型表示装置用基板を備えることにより、より表示品位が向上されたアクティブマトリクス型表示装置を実現することができるという効果を奏する。

【0057】

本発明のアクティブマトリクス型表示装置用基板の製造方法は、上記の課題を解決するために、複数の画素を有し、各画素には画素電極によって形成される容量に対して並列に接続される補助容量が形成されたアクティブマトリクス型表示装置用基板の製造方法において、上記各補助容量の一方の電極をなすように上記複数の画素について共通に、かつ直線状に補助容量配線を形成する補助容量配線形成工程と、上記各補助容量の他方の電極を

10

20

30

40

50

なすように上記複数の画素について個別に、かつ上記補助容量配線に対向するように半導体膜からなる補助容量電極を形成する補助容量電極形成工程と、上記各補助容量電極に対し、上記補助容量配線の長手方向と交差する方向に連続発振レーザビーム、あるいは擬似連続発振レーザビームをラスタスキャンすることによってレーザアニーリングを施し、上記半導体膜の多結晶化、あるいは結晶の改質を行うレーザアニーリング工程とを含むことを特徴としている。

【0058】

本発明のアクティブマトリクス型表示装置用基板の製造方法は、上記補助容量配線の長手方向と、上記レーザビームのスキャン方向との交差角度が45度～90度であることが好ましい。10

【0059】

本発明のアクティブマトリクス型表示装置用基板の製造方法は、上記補助容量配線の長手方向と、上記レーザビームのスキャン方向との交差角度が略90度であることが好ましい。

【0060】

上記構成によれば、上記各補助容量電極に対し、上記補助容量配線の長手方向と交差する方向に連続発振レーザビーム、あるいは擬似連続発振レーザビームをラスタスキャンすることによって、上記切り替えの遅れる領域が1ゲートライン上全体に発生することを防ぐことができるアクティブマトリクス型表示装置用基板の製造方法を実現することができる。20

【0061】

また、上記構成によれば、上記補助容量配線の長手方向と、上記レーザビームのスキャン方向との交差角度を45度～90度とすることによって、上記切り替えの遅れる領域が1ゲートライン上に発生する長さを短くすることができるアクティブマトリクス型表示装置用基板の製造方法を実現することができる。

【0062】

さらに、上記構成によれば、上記補助容量配線の長手方向と、上記レーザビームのスキャン方向との交差角度を略90度とすることにより、上記切り替えの遅れる領域が1ゲートライン上に発生する長さを最短とすることができるアクティブマトリクス型表示装置用基板の製造方法を実現することができる。30

【0063】

上記構成のアクティブマトリクス型表示装置用基板の製造方法を用いることにより、アクティブマトリクス型表示装置の画面の表示を切り替える際に、一部切り替えの遅れる領域が、縞状に発生する問題を改善できるという効果を奏する。

【0064】

なお、上記方法は、多結晶化、あるいは結晶が改質された半導体膜からなる補助容量電極を形成するものであることから、補助容量電極を下層として形成し、補助容量配線を上層として形成することが一般的である。この場合、工程の順序としては、補助容量電極形成工程の後に補助容量配線形成工程を行うことになる。しかしながら、補助容量電極を上層として形成し、補助容量配線を下層として形成する場合には、当然のことながら補助容量配線形成工程の後に補助容量電極形成工程を行うことになる。40

【発明の効果】

【0065】

本発明のアクティブマトリクス型表示装置用基板は、以上のように、上記各補助容量の一方の電極をなすように上記複数の画素について共通に形成された直線状の補助容量配線と、上記各補助容量の他方の電極をなすように上記複数の画素について個別に、かつ上記補助容量配線に対向するように形成された補助容量電極とを備え、上記各補助容量電極は、上記補助容量配線の長手方向と交差する方向にラスタスキャンされる連続発振レーザビーム、あるいは擬似連続発振レーザビームによりレーザアニーリングされることによって多結晶化、あるいは結晶が改質された半導体膜からなるものである。50

【0066】

また、本発明のアクティブマトリクス型表示装置用基板は、以上のように、上記各補助容量の一方の電極をなすように上記複数の画素について共通に形成された直線状の補助容量配線と、上記各補助容量の他方の電極をなすように上記複数の画素について個別に、かつ上記補助容量配線に対向するように形成された、帯状のラテラル結晶を含む多結晶半導体膜からなる補助容量電極とを備え、上記帯状のラテラル結晶の長軸方向は、上記補助容量配線の長手方向と交差する方向に形成されているものである。

【0067】

また、本発明のアクティブマトリクス型表示装置は、以上のように、アクティブマトリクス型表示装置用基板を備えているものである。

10

【0068】

また、本発明のアクティブマトリクス型表示装置用基板の製造方法は、以上のように、上記各補助容量の一方の電極をなすように上記複数の画素について共通に、かつ直線状に補助容量配線を形成する補助容量配線形成工程と、上記各補助容量の他方の電極をなすように上記複数の画素について個別に、かつ上記補助容量配線に対向するように半導体膜からなる補助容量電極を形成する補助容量電極形成工程と、上記各補助容量電極に対し、上記補助容量配線の長手方向と交差する方向に連続発振レーザビーム、あるいは擬似連続発振レーザビームをラスタスキャンすることによってレーザアニーリングを施し、上記半導体膜の多結晶化、あるいは結晶の改質を行うレーザアニーリング工程とを含む方法である。

20

【0069】

それゆえ、レーザアニールによって結晶化された半導体膜を補助容量電極として用いたとしても、表示不良を解消、あるいは目立たなくさせることができ、歩留まりを向上させることができるアクティブマトリクス型表示装置用基板、およびアクティブマトリクス型表示装置用基板の製造方法を実現できるという効果を奏する。

【0070】

さらには、上記アクティブマトリクス型表示装置用基板を備えることにより、より表示品位が向上されたアクティブマトリクス型表示装置を実現できるという効果を奏する。

30

【発明を実施するための最良の形態】**【0071】**

以下、図面に基づいて本発明の実施の形態について詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などはあくまで一実施形態に過ぎず、これらによってこの発明の範囲が限定解釈されるべきではない。

【0072】

本発明の一実施の形態のアクティブマトリクス型表示装置用基板は、レーザアニールによって結晶化された半導体膜を補助容量電極として用いたとしても、表示不良を解消、あるいは目立たなくさせることができ、歩留まりを向上させることができるアクティブマトリクス型表示装置用基板である。

【0073】

また、本発明の一実施の形態のアクティブマトリクス型表示装置は、上記アクティブマトリクス型表示装置用基板を備えることにより、より表示品位が向上されたアクティブマトリクス型表示装置である。

40

【0074】**〔実施の形態1〕**

以下、図1～2に基づいて、本発明の一実施の形態のアクティブマトリクス型表示装置用基板1の構成について説明する。本実施形態では、アクティブマトリクス型表示装置用基板1として、液晶表示装置用のものを前提とする。

【0075】

図1は、本発明の一実施の形態のアクティブマトリクス型表示装置用基板1の構成を示す平面図である。

50

【 0 0 7 6 】

図2は、図1のA-A'断面図であり、本発明の一実施の形態のアクティブマトリクス型表示装置用基板1の断面構造を示す図である。

【 0 0 7 7 】

アクティブマトリクス型表示装置用基板1は、マトリクス状に配置された多数の画素によって構成される表示領域を有している。各画素には、図示されているように、画素電極2を制御するための画素TFT3が形成されており、画像信号を供給するデータライン5が上記画素TFT3のソースに電気的に接続されている。

【 0 0 7 8 】

また、上記画素電極2と画素TFT3とは、ゲートバスライン4とデータライン5との交差点に対応するようにマトリクス状に設けられている。

【 0 0 7 9 】

さらに、上記画素TFT3のゲートには、ゲートバスライン4が電気的に接続されており、所定のタイミングで、ゲートバスライン4にパルス走査信号を、順次印加するように構成されている。

【 0 0 8 0 】

また、上記画素電極2は、画素TFT3のドレインに電気的に接続されており、スイッチング素子である上記画素TFT3がスイッチオンとされた一定期間において、上記データライン5から供給される画像信号電圧が上記画素電極2に印加される。

【 0 0 8 1 】

上記のように印加された電圧は、上記画素電極2と図示されてない対向電極とに挟まれた液晶層にかかり、上記画素TFT3がスイッチオフとされた一定期間、保持されることとなる。

【 0 0 8 2 】

ここで、上記保持されるべき画像信号がリークし、フリッカーなどの表示不具合が発生するのを防ぐためには、上記画素電極2によって形成される容量（上記画素電極2と上記対向電極との間に形成された液晶容量。）と並列に補助容量を設ける必要がある。

【 0 0 8 3 】

すなわち、上記のように補助容量を設ける構成とすることにより、上記補助容量によって、上記画像信号をさらに長い期間安定的に保持することが可能となり、コントラスト比の高い表示装置とすることができます。

【 0 0 8 4 】

以下、上記図1及び図2に基づいて、本発明の一実施の形態のアクティブマトリクス型表示装置用基板1の構成について、さらに詳細に説明をする。

【 0 0 8 5 】

上記アクティブマトリクス型表示装置用基板1上には、マトリクス状に複数の透明な画素電極2が設けられており、上記画素電極2の境界線2bの縦の部分と並行にゲートバスライン4及び補助容量配線6が設けられ、境界線2bの横の部分と並行にデータライン5が設けられている。

【 0 0 8 6 】

また、図2に図示されているように、上記データライン5は、そのコンタクトホール5aを介して多結晶半導体膜13の高濃度ソース領域13dに電気的に接続されている。

【 0 0 8 7 】

さらに、ドレイン電極8は、そのコンタクトホール8aを介して多結晶半導体膜13の高濃度ドレイン領域13eに電気的に接続されているとともに、上記画素電極2にもそのコンタクトホール2aを介して電気的に接続されている構成となっている。

【 0 0 8 8 】

また、上記多結晶半導体膜13のチャネル領域13aに対向するようにゲートバスライン4が設けられている。

【 0 0 8 9 】

10

20

30

40

50

一方、アクティブマトリクス型表示装置用基板1に備えられたMOS型補助容量7は、後述する連続発振レーザのレーザビームスポット9の走査方向に対して、垂直な方向に直線状に伸びる補助容量配線6と、上記多結晶半導体膜13の一部によって形成される補助容量電極13fと、これらの間に介在するゲート絶縁膜15との積層構造によって構成される。

【0090】

さらに、図1に図示されているように、アクティブマトリクス型表示装置用基板1の表示領域の周辺端部には、シングルドレイン構造のNチャネルTFT、LDD構造のNチャネルTFT(LDD)及びPチャネルTFTなどの組み合わせから構成されるゲート側TFT(ゲートドライバ)11とソース側TFT(ソースドライバ)12とが設けられている。10

【0091】

<レーザビーム>

以下、非単結晶半導体薄膜の結晶化を行うレーザビーム(レーザ光)について説明する。。

【0092】

多結晶半導体膜13の結晶化の際には各種のレーザビーム、電子ビームなどが使用可能であるが、本発明の一実施の形態においては、レーザ発振機から出射された、連続発振レーザビームを使用した。20

【0093】

レーザは、固体レーザ、半導体レーザ、または、気体レーザとに分類することができる。

【0094】

上記固体レーザとしては、例えば、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、チタンサファイアレーザ等がある。

【0095】

また、上記気体レーザとしては、例えば、エキシマレーザ、Arレーザ、Krレーザ等が挙げられる。また、レーザ作用をする活性種としては、例えば、3価のイオン(Cr³⁺、Nd³⁺、Yb³⁺、Tm³⁺、Ho³⁺、Er³⁺、Ti³⁺)を使用することができる。30

【0096】

その他に、半導体レーザやディスクレーザ、ファイバーレーザを使用することもできる。

【0097】

使用するレーザビームとしては、基本波の波長が700nmより長い場合は、非線形光学素子により高調波に変換されていることが望ましい。例えば、YAGレーザは、基本波として、波長1064nmのレーザビームを出すことが知られている。このレーザビームのシリコン膜に対する吸収係数は非常に低く、このままでは半導体膜の1つである非晶質シリコン膜の結晶化を行うことは困難である。40

【0098】

ところが、このレーザビームはLBO、CLBO、BBO、CBOなどの非線形光学素子を用いることにより、より短波長に変換することができ、高調波として、第2高調波(532nm)、第3高調波(355nm)、第4高調波(266nm)、第5高調波(213nm)が挙げられる。これらの高調波は非晶質シリコン膜に対し吸収係数が高いので、非晶質シリコン膜の結晶化に用いることができる。

【0099】

なお、レーザの発振方式は、連続発振型でもよいし、パルス発振型でもよいが、パルス発振型の場合は、レーザビーム(あるいはステージ)走査方向に結晶が連続的に成長するように、周波数数10MHz以上の高周波パルス、いわゆる擬似連続発振レーザビームを50

用いる。レーザビームの照射条件、例えば、周波数、パワー密度、エネルギー密度、ビームプロファイル等は、材料の性質や厚さ、レーザビーム走査速度などを考慮して適宜調整する。

【0100】

以下では、本発明の一実施の形態において、レーザビームとして、用いている連続発振(CW)のNd:YVO₄レーザの第2高調波(波長532nm)についてさらに詳しく説明する。

【0101】

結晶化用レーザビームは、レーザパワーや、必要とするサイズに応じてビーム整形光学系および集光レンズにより整形する。ビーム整形光学系はビームエキスパンダー、ホモジナイザ、回折光学素子、パウエルレンズ、fレンズなどの組合せによりビームを整形する。集光レンズは、ビーム整形光学系を通過した結晶化用ビームを被処理基板の面上に集光する。集光レンズとしてはシリンドリカルレンズなどがあげられるが、シリンドリカルレンズを2枚組み合わせることによりビームを整形し、ビーム整形光学系を省略することも可能である。ビーム整形光学系および、集光レンズは結晶化を行うための光学系である改質光学系を構成している。これらの組合せにより、結晶化用ビームの形状を線状、橢円状、矩形状等所望の形状に整形し、結晶化を行う。ビーム幅は数10μmから数10mm×数μm~100μm程度、例えば500μm×20μmの線状に整形し、ビーム短軸方向を走査方向とする。

10

【0102】

線走査速度は、毎秒10cm~20m程度が可能であるがここでは一定で50cm/sとする。レーザパワーは10W、基板サイズは730×920mm²とする。走査は基板位置を固定としてレーザビームを走査しても、基板を乗せたステージを動かしても良い。

20

【0103】

なお、被処理基板が透明な場合には、当該基板の裏側から非単結晶半導体薄膜にレーザビームを照射してもよい。また、レーザビームの走査は一方向のみでも、往復でも良いが、本発明の一実施の形態においては、結晶化用レーザビームを少しずつ重ねながら全面の結晶改質を行い、例えば1回の走査で帯状のラテラル結晶ができる幅が500μmとすると、例えば450μmピッチで、往復走査で結晶化した。これにより、50μm幅のレーザビームの重なり部10が生じることになる。

30

【0104】

この連続発振(CW)レーザビームの照射により、非単結晶半導体薄膜は、多結晶化され、多結晶半導体薄膜が得られる。この多結晶半導体薄膜中の結晶は、従来のエキシマレーザによるパルス状の照射により得られる粒状結晶の10~100倍の大きさであり、レーザ走査方向に細長い帯状の結晶となるとともに、さらには、結晶粒の長さを5μm以上とすることができる。

30

【0105】

上述したように、非単結晶半導体膜の結晶化において、パルス発振のレーザよりも連続発振のレーザや擬似連続発振レーザを用いる方が、半導体膜内に形成される結晶の粒径が大きくなることが知られている。半導体膜内の結晶粒径が大きくなると、該半導体膜を用いて形成されるTFTの電子移動度が高くなるため、高速駆動特性が要求されるTFTの製作に好適である。

40

【0106】

上記の理由から、本発明の一実施の形態においては、連続発振レーザをレーザビームとして用いており、高速駆動特性が要求されるTFTを備えたアクティブラチクス型表示装置用基板1を実現することができる。

【0107】

もちろん、本発明の一実施の形態において、上記連続発振レーザ以外に擬似連続発振レーザを用いることも可能である。

【0108】

50

<レーザビームの重なり部10によって、結晶化された多結晶半導体膜13g>

図3は、アクティブマトリクス型表示装置用基板1の製作段階において、多結晶化、あるいは結晶が改質された半導体膜がパターニングされた状態を示す平面図である。

【0109】

上述したように、レーザビームのラスタスキャンにおいては、レーザビーム自体に照射エネルギーのばらつきや光学系の振動によるビームの蛇行、また、ステージの凹凸によるビーム形状の変化等が存在するため、均一結晶化を行うためには、レーザビームの重なり部10の幅(図3中縦方向の幅)をある程度大きくする必要があるが、このようにすると生産性が落ちるという問題が生じる。

【0110】

一方、生産性を向上させるため、レーザビームの重なり部10の幅を小さくすると、この重なり部10による照射領域は比較的弱いレーザビームで照射される領域となり、この部分はアニーリングの不良が生じてしまう。

【0111】

図1および図3に図示されているように、上記レーザビームの重なり部10は、レーザビームスポット9の長軸方向の端部の重なりによって形成される部分であり、上記レーザビームスポット9の長軸方向の端部は、レーザビームスポット9の中央部と比較すると、その照射エネルギーが低い領域となる。

【0112】

ここで、レーザビームのラスタスキャンの方向(レーザビームの軌跡の方向)と、補助容量配線6の長手方向、つまり補助容量電極13fが隣接して複数配列している方向とが一致している場合、上記比較的弱いレーザ光で照射される領域が補助容量電極13fに位置すると、補助容量電極13fが隣接して複数配列している方向全域にわたる広い領域においてアニーリングの不良が生じてしまう。

【0113】

すなわち、上記補助容量配線6の長手方向と、例えば、連続発振レーザビーム、あるいは擬似連続発振レーザビームのラスタスキャン方向とが一致する場合には、ある周期(レーザビームの走査ピッチと画素ピッチの最小公倍数)で、レーザビームスポット9の重なり部10が、上記補助容量配線6と完全に重なる部分が発生する。

【0114】

上述したように、上記レーザビームスポット9の重なり部10により、レーザアニーリングされた多結晶半導体膜13gには、本来帯状のラテラル結晶が形成されているべきところに粒状結晶が混じる場合があることが本発明者らによって判明されている。

【0115】

この原因は以下のように考えられる。通常、一回のレーザビームスポット9の走査で形成されるラテラル結晶の幅WLよりも広い、連続する領域でラテラル結晶を形成する場合には、送りピッチPsはWL > Psの関係であり、ある程度重なりを持たせることによって必要な領域全域に渡ってラテラル結晶を形成することができ、重なりを大きくすればより確実にラテラル結晶を形成することができる。しかし、重なりを大きくするほど処理時間が掛かるという問題点が発生する。一方、ラテラル結晶の幅WLは基板全域に渡って完全に等しいということではなく、さまざまな要因により変動することが分かっている。レーザの出力変動、レーザ照射による光学系の熱変動による焦点位置ずれ、基板を置くステージが完全に平坦でないために発生するレンズの焦点位置と結晶化される膜の位置ずれ、などがその例である。また、送りピッチPsについてもステージの送り精度の問題や、光学系の振動などによるビームの蛇行を原因として、変動が発生する。このようなラテラル結晶の幅WLや送りピッチPsの意図しない変動によって、ラテラル結晶が形成されるべき部分に粒状結晶が形成されてしまうのである。

【0116】

上記のように、粒状結晶が混じっている領域においては、電気移動度が落ちるため、詳しくは後述する液晶表示装置28の画面の表示を切り替える際に、一部切り替えの遅れる

10

20

30

40

50

領域となる。

【0117】

上記のように、このような一部切り替えの遅れる領域が、ゲートバスライン4の長手方向に沿って、1ライン全体に発生した場合は、1ゲートラインずつを順次選択して表示させる液晶表示装置28においては、1ゲートライン全体の切り替えが遅れるので非常に目立つのである。

【0118】

したがって、上記補助容量配線6の長手方向と交差する方向に、例えば、連続発振レーザビーム、あるいは擬似連続発振レーザビームをラスタスキャンすることにより、上記切り替えの遅れる領域が1ゲートライン上全体に発生することを防ぐことができる。

10

【0119】

また、上記補助容量配線6の長手方向と、上記レーザビームのスキャン方向との交差角度を45度～90度とすることにより、上記切り替えの遅れる領域が1ゲートライン上に発生する長さを短くすることができる。

【0120】

さらには、上記補助容量配線6の長手方向と、上記レーザビームのスキャン方向との交差角度が略90度とすることにより、上記切り替えの遅れる領域が1ゲートライン上に発生する長さを最短とすることができます。

20

【0121】

本実施形態においては、図3に示すように、補助容量電極13fが隣接して複数配列している方向に対してレーザのラスタスキャンの方向がほぼ直交するようにラスタスキャンを行った。

【0122】

そのため、上記構成のアクティブマトリクス型表示装置用基板1を用いることにより、例えば、液晶表示装置28の画面の表示を切り替える際に、一部切り替えの遅れる領域が、縞状に発生する問題を改善できるという効果を奏する。

30

【0123】

以上のように、本実施の形態のアクティブマトリクス型表示装置用基板1によれば、上記比較的弱いレーザビームで照射される領域(レーザビームの重なり部10によって照射される領域)によって、結晶化された多結晶半導体膜13gを補助容量電極13fとして用いたとしても、表示不良を解消、あるいは目立たなくさせることができ、歩留まりを向上させることができる。

【0124】

なお、連続発振レーザビーム、あるいは擬似連続発振レーザビームをある範囲の速度、およびエネルギー密度でスキャンさせることによって半導体膜を多結晶化する場合、帯状のラテラル結晶が形成されることになり、その長軸方向はレーザビームのスキャン方向となる。

【0125】

したがって、上記帯状のラテラル結晶の長軸方向を、上記補助容量電極13fが複数隣接して配列している方向と交差する方向に形成することにより、上記切り替えの遅れる領域が1ゲートライン上全体に発生することを防ぐことができる。

40

【0126】

また、上記帯状結晶の長軸方向の平均的な方向と、上記補助容量電極13fが複数隣接して配列している方向との交差角度を45度～90度とすることにより、上記切り替えの遅れる領域が1ゲートライン上に発生する長さを短くすることができる。

【0127】

さらには、上記帯状結晶の長軸方向の平均的な方向と、上記補助容量電極13fが複数隣接して配列している方向との交差角度を略90度とすることにより、上記切り替えの遅れる領域が1ゲートライン上に発生する長さを最短とすることができます。

【0128】

50

以下、比較的弱いレーザビームで照射される領域であるレーザビームの重なり部10によって、結晶化された多結晶半導体膜13gが発生するメカニズムについて説明する。

【0129】

レーザビーム照射により、結晶化される非単結晶半導体膜において、その結晶性を大きく左右するのは、最初に照射されるレーザビームである。非単結晶半導体膜を結晶化するとその融点は初期に比べ約200度程度上昇するとともに、レーザビームに対する吸収係数が低下する。

【0130】

したがって、2回目以後に照射されるレーザビームは、非単結晶半導体膜ではなく、1回目のレーザビームにて結晶化された多結晶半導体膜を再結晶化することとなる。

10

【0131】

以上のことから、上記レーザビームの重なり部10によって形成された多結晶半導体膜13gは、比較的低いエネルギー域で1回目のレーザビーム照射が行われることとなり、ビームのプロファイルやビームの蛇行等の影響によりその後のレーザビーム照射によって結晶化が満足できる水準まで到達しない場合がある。

【0132】

また、生産性を考慮して、上記レーザビームの重なり部10が、レーザビームスポット9の長軸方向の端部と端部によって形成される場合においては、その結晶化の水準はさらに乏しいものとなる。

20

【0133】

したがって、上記レーザビームの重なり部10によって形成された多結晶半導体膜13gには、結晶性が良好な部分と乏しい部分とが混ざる場合があり、粒径の大きな帯状のラテラル結晶と粒径の小さな粒状の結晶が混在することとなる。

【0134】

上記のように、帯状のラテラル結晶と粒状結晶が混在している多結晶半導体膜13gは、その表面粗度が大きくなり、このような多結晶半導体膜13gを、MOS型補助容量7を形成するにおいて、一方の電極部として用いた場合、その表面粗度により、補助容量が設計値より大きくなる方向へずれることとなり、フリッカーなどの表示ムラを引き起こす原因ともなる。

30

【0135】

すなわち、上記レーザビームの重なり部10以外の部分によって、形成された多結晶半導体膜を用いて製作されたMOS型補助容量7とはその容量に差が発生するのである。

【0136】

さらには、上記レーザビームの重なり部10によって形成された多結晶半導体膜13gは、結晶の継ぎ目の部分で結晶性に問題が生じる場合があり、このような部分においては、電子移動度が落ち、通常の場所に比べて、書き換えの速度が落ち、残像が発生する原因ともなる。

【0137】

上記のような、問題点を有するレーザビームの重なり部10によって形成された多結晶半導体膜13gは、レーザビームの走査ピッチによって周期的に発生する。

40

【0138】

以下、図4～9に基づいて、アクティブマトリクス型表示装置用基板1の製造プロセスについて詳しく説明する。

【0139】

<アクティブマトリクス型表示装置用基板1の製造プロセス>

図4は、アクティブマトリクス型表示装置用基板1の製造工程において、第1のプロセスを説明するための工程図である。

【0140】

上記第1のプロセスは、アクティブマトリクス型表示装置用基板1に備えられる各種のTFT3・11・12およびMOS型補助容量7を形成するための共通のプロセスである

50

。

【0141】

本実施形態においては、基板18として、ガラスを用いているが、これに限定されることはなく、基板18としては、上記ガラス以外にも、石英、プラスチック、シリコンウェハー、金属、セラミックなどを用いることができる。

【0142】

この基板18の上面は下地保護膜14によって覆われている。下地保護膜14としてはシリコン酸化膜、シリコン窒化膜、シリコン窒化酸化膜などの絶縁性物質からなる膜を用いることが可能であり、本発明の一実施の形態においては、シリコン酸化膜を用いた。

【0143】

さらには、上記下地保護膜14としては、上記各膜の積層膜を用いても構わない。この下地保護膜14は基板18からの不純物拡散やレーザ照射時の発熱による基板へのダメージを防ぐための膜であり、その恐れがない場合などは無くとも構わない。

【0144】

下地保護膜14の厚さは、積層膜の場合も含めて、全体として100nm～2μm程度である。

【0145】

図4(a)に図示されているように、上記基板18上には、LPCVD法、プラズマCVD法、スパッタ法等により、下地保護膜14が形成されており、その上部には、LPCVD法、プラズマCVD法、スパッタ法等により、非単結晶半導体薄膜19が30nm～250nm程度、例えば50nmの厚さにて形成されている。

【0146】

上記非単結晶半導体薄膜19としては、非晶質シリコン、多結晶シリコン、非晶質ゲルマニウム、多結晶ゲルマニウム、非晶質シリコン・ゲルマニウム、多結晶シリコン・ゲルマニウム、非晶質シリコン・カーバイド、多結晶シリコン・カーバイドなどが挙げられる。

【0147】

さらに、上記非単結晶半導体薄膜19の形成をプラズマCVD法などで行った場合は、その後400～600程度の脱水素処理を行っても良い。

【0148】

また、非単結晶半導体薄膜19の上に2nm～100nm程度のシリコン酸化膜、シリコン窒化膜、シリコン窒化酸化膜などの膜、あるいはそれらの積層膜を形成しても良い。

【0149】

続いて、図4(b)に図示されているように、上記のようにして形成された非単結晶半導体薄膜19を結晶化して多結晶半導体膜13とする。結晶化の際にはレーザビーム、電子ビームなどが使用可能であるが、本発明の一実施の形態ではレーザ発振機から出射された、連續発振レーザ光を使用した。また、結晶化前にフォトリソグラフィ法により非単結晶半導体薄膜の島状領域を形成しても良いが、この工程は省略することが可能である。

【0150】

続いて、図4(c)に図示されているように、必要に応じてフォトリソグラフィ法により多結晶半導体膜13の島状領域を形成する。なお、必要があれば、パターニングを行う前に、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行う。

【0151】

次に、図4(d)に図示されているように、基板上側全面に、ゲート絶縁膜15、例えばSiO₂膜を、約200nm又はそれ以下の厚さ、ここでは80nmに形成し、このゲート絶縁膜15によって多結晶半導体膜13を覆う。なお、必要があれば、引き続いてTFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行う。

【0152】

10

20

30

40

50

その後、図4(e)に図示されているように、ゲート絶縁膜15の上には、導電膜20として、厚さ10~100nm程度の第一の導電膜TaN、例えば30nmと厚さ50~500nm程度の、第二の導電膜W、例えば370nmが積層されている。TaN膜はスパッタ法で形成し、Taのターゲットを用い窒素を含む雰囲気内でスパッタする。また、W膜はターゲットを用いたスパッタ法で形成した。なお、本発明の一実施の形態においては、第一の導電膜をTaN、第2の導電膜をWとしているが、特に限定はされず、Ta、W、Ti、Mo、Al、Cu、Cr、Ndなどから選ばれた元素、あるいは前記元素を主成分とする合金材料もしくは化合物材料で形成しても良い。また、多結晶シリコンなどに代表される半導体膜にリン、ボロンなどの不純物をドーピングしたものでも良い。

【0153】

10

そして、図4(f)に図示されているように、フォトレジスト21を用いて、導電膜20の上に、所望のゲート電極形状のレジストパターンを形成する。

【0154】

このとき、TFT領域においては、多結晶半導体膜13の結晶の長軸方向が電流の流れる方向となるようにすることが好ましい。ただし、画素領域などで、必ずしも大きな電流が必要でない場合はその限りではない。

【0155】

その後に、図4(g)に図示されているように、上記レジストパターンをマスクにして導電膜20をエッチングすることにより、ゲート電極を形成する。

【0156】

20

最後に、図4(h)に図示されているように、レジストパターンを除去する。

【0157】

図5は、アクティブマトリクス型表示装置用基板1に備えられた画素TFT3の製造プロセスを説明するための工程図である。

【0158】

本実施形態において、画素TFT3は、N型チャネルで形成されているとともに、LD_D(Lightly Doped Drain)構造を有しているが、低濃度ソース領域及び低濃度ドレイン領域に不純物のドーピングを行わないオフセット構造を持つてもよいし、ゲートバスラインの一部であるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルファーライン構造であってもよい。

30

【0159】

図5(a)に図示されているように、上記図4(h)までの工程を終えた基板を用いて、ゲート電極20をマスクとし、n型不純物としてP(リン)を加速エネルギーが例えば55keV、ドーズ量2E13cm⁻²の条件でイオンドープし、多結晶半導体膜13に低濃度ソース領域13bと低濃度ドレイン領域13cとを形成する。なお、ゲート電極20によってマスクされた領域がチャネル領域13aとなる。

【0160】

続いて、図5(b)に図示されているように、フォトレジスト21を使用して所定のパターンにパターニングし、n型不純物であるPを例えば45keV、ドーズ量5E15cm⁻²の条件でさらにイオンドープし、1×10¹⁸~1×10²⁰の濃度範囲でn型の不純物元素を添加することによって、上記多結晶半導体膜13に高濃度ソース領域13dと高濃度ドレイン領域13eとを形成する。

40

【0161】

なお、上記加速電圧、ドーズ量は、絶縁膜の膜厚や必要な特性に応じて、適宜調整することができる。

【0162】

次に、図5(c)に図示されているように、本発明の一実施の形態のアクティブマトリクス型表示装置用基板1内に設けられるP型チャネルを有するTFTを形成するために行われるp型不純物ドープから保護する部分にマスクとしてフォトレジスト21が形成され

50

ている。

【0163】

次いで、図5(d)に図示されているように、フォトレジスト21からなるマスクを除去して、不純物の活性化、半導体層の結晶性の回復を熱処理により行う(450~680で1分~12時間程度)が、ランプアニールや結晶化に使用したのと同様のレーザを使用してもよい。

【0164】

さらには、スパッタ法やプラズマCVD法などを使用してシリコン酸化膜、シリコン窒化膜、シリコン酸化窒化膜など、あるいはその積層からなる第1層間絶縁膜16を30nmから1500nm程度成膜する。ここではシリコン酸化膜50nm、シリコン窒化膜250nm、シリコン酸化膜700nmの積層とする。

【0165】

さらに、300~550で30分から12時間程度の熱処理を行うことにより、水素化を行う。これは上記第1層間絶縁膜16に含まれる水素により、半導体層のダンギングボンドなどの欠陥を終端するための工程である。水素プラズマや、水素が3~100%含まれる雰囲気中で300~450で熱処理を行うことによっても、水素化をすることができる。

【0166】

その後に、図5(e)に図示されているように、上記第1層間絶縁膜16に、上記多結晶半導体膜13の高濃度ソース領域13d及び高濃度ドレイン領域13eに通じるコンタクトホール5a、8aを形成した後、スパッタ法などにより、基板の上側全面に金属膜5、8を形成する。金属膜5・8として、たとえば、Ti100nm、Al350nm、Ti100nmの積層膜を形成し、フォトレジスト21を使用して、上記金属膜5・8の上に、所望のソースおよびドレイン電極用のレジストパターンを形成する。次に、レジストパターンをマスクにして上記金属膜5・8をエッチングすることにより、ソース電極5およびドレイン電極8を形成する。その後、レジストパターンを除去する。なお、本発明の一実施の形態においては、金属膜5・8をTi/Al/Tiの積層としているが、特に限定はされず、Ta、W、Ti、Mo、Al、Cu、Cr、Ndなどから選ばれた元素、あるいは前記元素を主成分とする合金材料もしくは化合物材料で、必要に応じて積層構造として形成しても良い。

【0167】

次いで、図5(f)に図示されているように、第2の層間絶縁膜17として、透明絶縁膜である、SiO₂膜や感光性透明樹脂等を使用する。本発明の一実施の形態においては、感光性透明樹脂を使用し、コンタクトホール2aのパターンを形成する。

【0168】

最後に、図5(g)に図示されているように、透明な画素電極2としては、ITO、IZOなどの透明導電膜をスパッタ法などで例えば100nm程度形成し、フォトレジストを使用して、所望のパターンを形成し、レジストパターンをマスクにして、透明導電膜をエッチングすることにより、パターニングを行う。

【0169】

図6は、アクティブマトリクス型表示装置用基板1に備えられたMOS型補助容量7の製造プロセスを説明するための工程図である。

【0170】

図6の(a)~(g)の各工程と、図5の(a)~(g)の各工程とは共通する部分が多いため、以下ではMOS型補助容量7の製造プロセスと画素TFT3の製造プロセスとの差を中心に説明する。

【0171】

図6(a)に図示されているように、上記図4(h)までの工程を終えた基板を用いて、補助容量配線6をマスクとし、n型不純物としてP(リン)をイオンドープし、多結晶半導体膜13に低濃度ドレイン領域13cを形成する。なお、ゲート電極20によってマ

10

20

30

40

50

スクされた領域が補助容量電極 13f となる。

【0172】

続いて、図 6 (b) に図示されているように、n 型不純物である P をさらにイオンドープし、上記多結晶半導体膜 13 に高濃度ドレイン領域 13e を形成する。

【0173】

図 6 (c) ~ 図 6 (g) に図示されている各工程は、上記図 5 (c) ~ 図 5 (g) の各工程と基本的には同一であるため、ここでは説明を省略する。

【0174】

図 7 は、アクティブマトリクス型表示装置用基板 1 に備えられた N 型 TFT (LDD 構造) の製造プロセスを説明するための工程図である。10

【0175】

また、図 8 は、アクティブマトリクス型表示装置用基板 1 に備えられた N 型 TFT (Single Drain 構造) の製造プロセスを説明するための工程図である。

【0176】

さらに、図 9 は、アクティブマトリクス型表示装置用基板 1 に備えられた P 型 TFT の製造プロセスを説明するための工程図である。

【0177】

アクティブマトリクス型表示装置用基板 1 の周辺端部には、N 型 TFT (Single Drain 構造)、N 型 TFT (LDD 構造) 及び P 型 TFT などの組み合わせから構成されるゲート側 TFT (ゲートドライバ) 11 とソース側 TFT (ソースドライバ) 12 とが設けられている。20

【0178】

図 7 に、図示されている N 型 TFT (LDD 構造) の製造プロセスは、既に説明した画素 TFT 3 の製造プロセス (図 5) と比較して、図 5 (f) におけるコンタクトホール 2a の形成が不要である点、図 5 (g) における画素電極 2 の形成が不要である点のみが異なっている。

【0179】

また、図 8 に図示されているシングルドレイン構造の N チャネル TFT の製造プロセスは、既に説明した画素 TFT 3 の製造プロセス (図 5) と比較して、図 8 (b) に示す、ゲート電極 20 をマスクとし n 型の不純物元素を続けてドープすることによって、上記多結晶半導体膜 13 に高濃度ソース領域 13d と高濃度ドレイン領域 13e とを形成する工程と、上記図 8 (f) ~ (g) に示すように、コンタクトホール 2a を形成する工程や画素電極 2 を形成する工程が不要である点のみが異なっている。30

【0180】

さらに、図 9 に図示されている P チャネル TFT の製造プロセスは、図 9 (b) に図示されているように、フォトレジスト 21 を使用して所定のパターンにパターニングしマスクとして用いることによって、上記多結晶半導体膜 13 が高濃度にドープされるのを防ぎ、低濃度ソース領域 13b と低濃度ドレイン領域 13c とを形成する。

【0181】

その後、フォトレジスト 21 を除去し、図 9 (c) に示すように、ゲート電極 20 をマスクとし、p 型不純物である B を例えればジボラン (B_2H_6) などを使用して 60 keV、ドーズ量 $5E15 \text{ cm}^{-2}$ の条件でイオンドープする。p 型領域には既に低濃度の P (リン) がドープされているが、p 型の不純物元素の濃度を $1 \times 10^{19} \sim 5 \times 10^{21}$ とすることにより、p チャネル型のソース領域 13h とドレイン領域 13i として機能させることができる。40

【0182】

上記工程以外は図 7 ~ 8 の各工程と同様である。

【0183】

[実施の形態 2]

つぎに、図 10 に基づいて、本発明の第 2 の実施形態について説明する。本実施形態は50

、実施の形態 1 における画素 TFT 3 の変形例を示すものであり、その他の構成及び製造プロセスについては実施の形態 1 において説明したとおりである。説明の便宜上、上記の実施の形態 1 の図面に示した部材と同じ機能を有する部材については、同じ符号を付し、その説明を省略する。

【 0 1 8 4 】

図 10 は、本実施形態のアクティブマトリクス型表示装置用基板 1 a の構成を示す平面図である。

【 0 1 8 5 】

上述した実施の形態 1 においては、上記図 2 および図 3 に図示されているように、画素 TFT 3 のゲートバスライン 4 の一部であるゲート電極を高濃度ソース領域 13 d 及び高濃度ドレイン領域 13 e 間に 1 個のみ配置したシングルゲート構造を用いたが、本実施形態においては、図 10 に図示されているように、これらの間に 2 個のゲート電極（第 1 ゲート電極 22、第 2 ゲート電極 23）を配置したデュアルゲート構造を用いた。この際、各々のゲート電極には同一の信号が印加されるようにする。

10

【 0 1 8 6 】

このようにデュアルゲート或いはトリプルゲート以上で TFT を構成すれば、チャネルとソース - ドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができるため、より表示品位が向上されたアクティブマトリクス型表示装置用基板 1 a を実現することができる。

20

【 0 1 8 7 】

〔 実施の形態 3 〕

つぎに、図 11 に基づいて、本発明の第 3 の実施形態について説明する。本実施形態は、実施の形態 1, 2 において説明したアクティブマトリクス型表示装置用基板 1・1 a を用いた液晶表示装置 28 を示すものである。説明の便宜上、上記の実施の形態 1, 2 の図面に示した部材と同じ機能を有する部材については、同じ符号を付し、その説明を省略する。

【 0 1 8 8 】

図 11 は、本実施形態の液晶表示装置 28 の概略構成を示す断面図である。

【 0 1 8 9 】

図 11 に示す液晶表示装置 28 は、アクティブマトリクス型表示装置用基板 1 を備えたアクティブマトリクス型表示装置の一例である。アクティブマトリクス型表示装置用基板 1 の代わりにアクティブマトリクス型表示装置用基板 1 a を用いてもよい。

30

【 0 1 9 0 】

上記アクティブマトリクス型表示装置としては、上記液晶表示装置 28、有機 EL 表示装置などを例として挙げることができるが、これらに限定されることはない。

【 0 1 9 1 】

図 11 に示すように、液晶表示装置 28 は、上記アクティブマトリクス型表示装置用基板 1 と、これに対向する対向電極を備えるカラーフィルタ基板 24 とを備え、これらの基板の間に液晶層 23 がシール材によって封入された構成を有する液晶表示パネルを備えている。

40

【 0 1 9 2 】

さらに、アクティブマトリクス型表示装置用基板 1 とカラーフィルタ基板 24 とには偏光板 26 が備えられている。

【 0 1 9 3 】

また、液晶表示パネルの背面（アクティブマトリクス型表示装置用基板側）には、バックライト 25 が配置されており、バックライト 25 は、上記液晶表示パネルへ向かって光を照射するようになっている。

【 0 1 9 4 】

さらには、上記バックライト 25 の出射面側には、光学シート 27 を設けることができる。上記光学シート 27 は、例えば、拡散板と複合機能光学シートとから構成されており

50

、上記複合機能光学シートは、拡散、屈折、集光および偏光を含む各種光学的機能から選択された複数の光学的機能を備えている。

【0195】

上記光学シート27は、液晶表示装置の価格や性能によって適宜組み合わせて使用することが好ましい。

【0196】

なお、発明者らは、上記補助容量配線6の長手方向と連続発振レーザビームのスキャン方向との交差角度が略90度で製作されたアクティブマトリクス型表示装置用基板1を用いた液晶表示装置28と、上記補助容量配線6の長手方向と連続発振レーザビームのスキャン方向とが平行に製作されたアクティブマトリクス型表示装置用基板を用いた液晶表示装置とを作成し、それぞれについて目視での画質比較実験を行った。その結果、後者の液晶表示装置では、画面の表示を切り替える際に、一部切り替えの遅れる領域が、縞状に発生する現象がみられたが、前者の液晶表示装置では、上記現象を視認することができない程度に画質が改善されていることを確認することができた。

10

【0197】

本発明は上記した各実施の形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施の形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施の形態についても本発明の技術的範囲に含まれる。

20

【産業上の利用可能性】

【0198】

本発明は、液晶表示装置、有機EL表示装置などのアクティブマトリクス型表示装置に適用することができる。

【図面の簡単な説明】

【0199】

【図1】本発明の一実施形態のアクティブマトリクス型表示装置用基板の構成を示す平面図である。

【図2】図1のアクティブマトリクス型表示装置用基板におけるA-A'断面図である。

【図3】図1のアクティブマトリクス型表示装置用基板の製作に用いられる多結晶化、あるいは結晶が改質された半導体膜がパターニングされた基板を示す平面図である。

30

【図4】図1のアクティブマトリクス型表示装置用基板の製造工程において、第1のプロセスを説明するための工程図である。

【図5】図1のアクティブマトリクス型表示装置用基板に備えられた画素TFTの製造プロセスを説明するための工程図である。

【図6】図1のアクティブマトリクス型表示装置用基板に備えられたMOS型補助容量の製造プロセスを説明するための工程図である。

40

【図7】図1のアクティブマトリクス型表示装置用基板に備えられたLDD構造のNチャネルTFTの製造プロセスを説明するための工程図である。

【図8】図1のアクティブマトリクス型表示装置用基板に備えられたシングルドレイン構造のNチャネルTFTの製造プロセスを説明するための工程図である。

40

【図9】図1のアクティブマトリクス型表示装置用基板に備えられたPチャネルTFTの製造プロセスを説明するための工程図である。

【図10】本発明の他の実施形態のアクティブマトリクス型表示装置用基板の構成を示す平面図である。

【図11】本発明のさらに他の実施形態の液晶表示装置の概略構成を示す断面図である。

【図12】連続発振のレーザビームを複数回走査して、表示装置の画素領域を結晶化する模様を示す概略図である。

【符号の説明】

【0200】

1、1a

アクティブマトリクス型表示装置用基板

3

画素駆動用薄膜トランジスタ

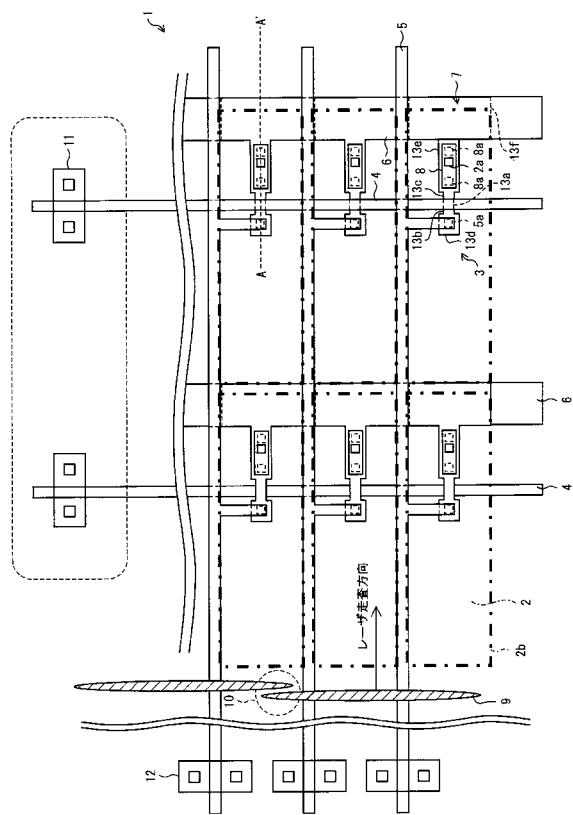
50

6
7
8
9
10
13
13a
13f
15
19
28

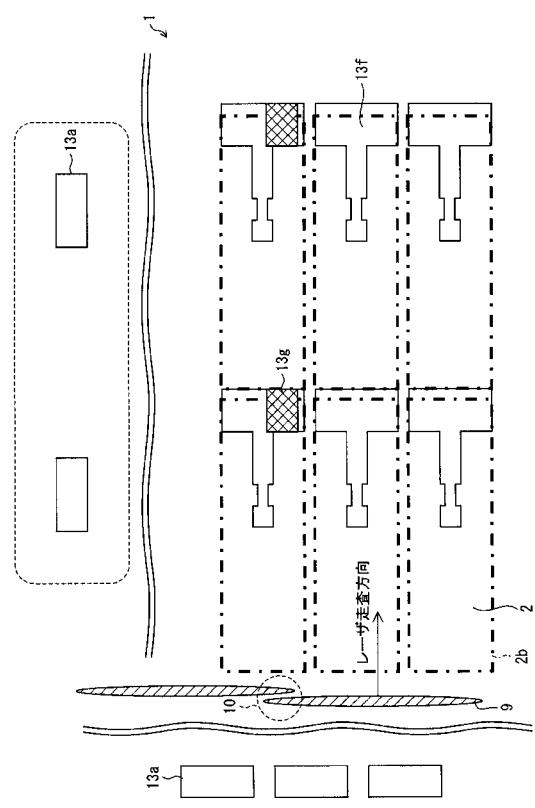
補助容量配線
MOS型補助容量(補助容量)
レーザビームスポット
レーザ光の重なり部
多結晶半導体膜
チャネル領域
補助容量電極
ゲート絶縁膜
非単結晶半導体層
液晶表示装置(アクティブマトリクス型表示装置)

10

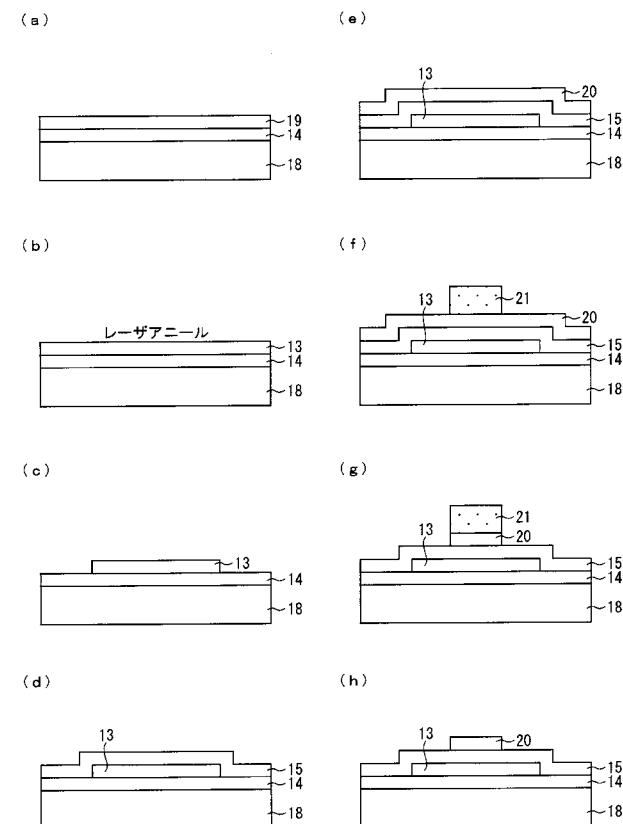
【図1】



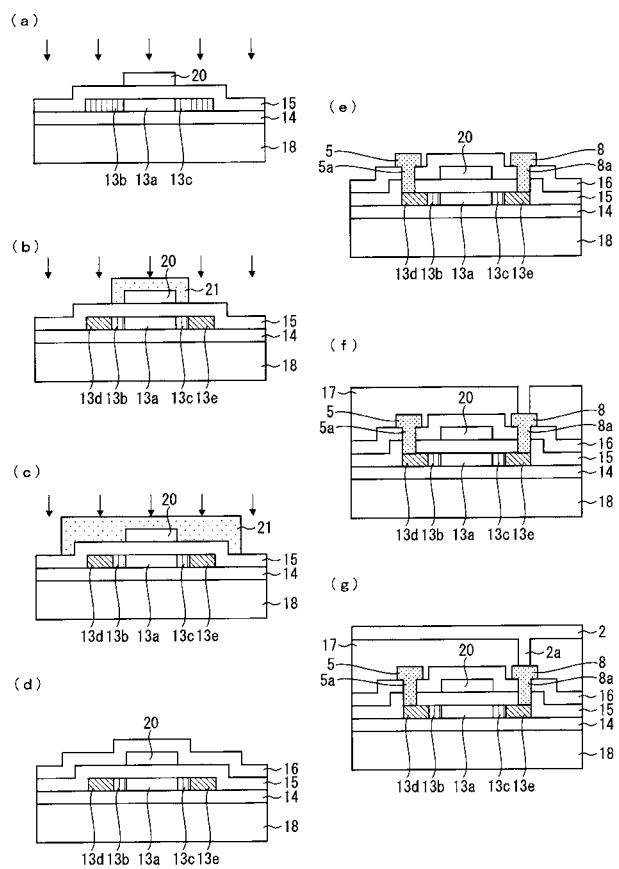
【図3】



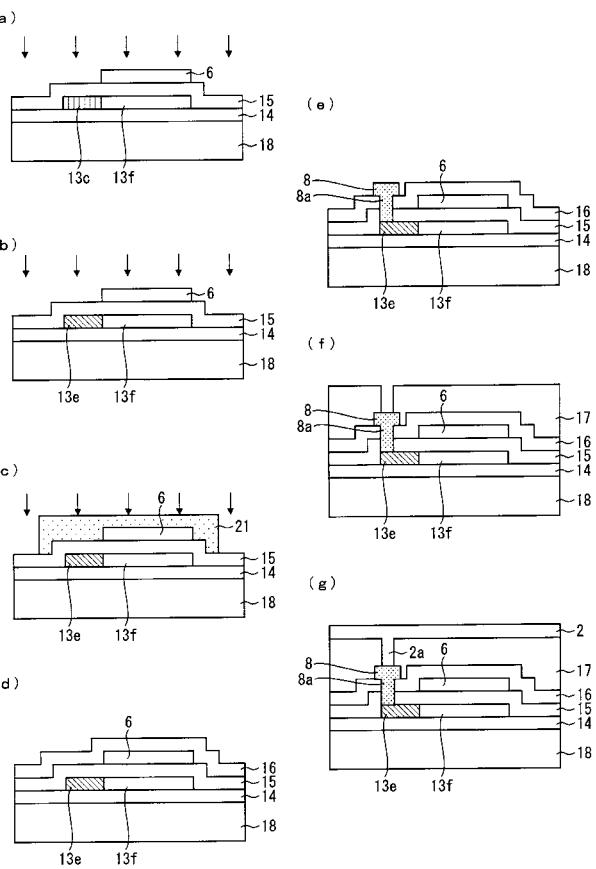
【 図 4 】



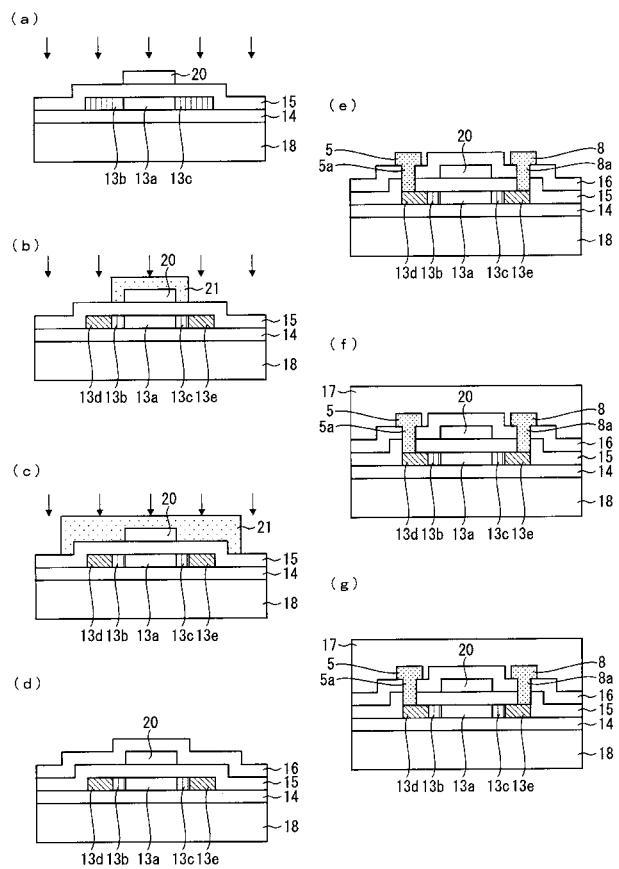
【図5】



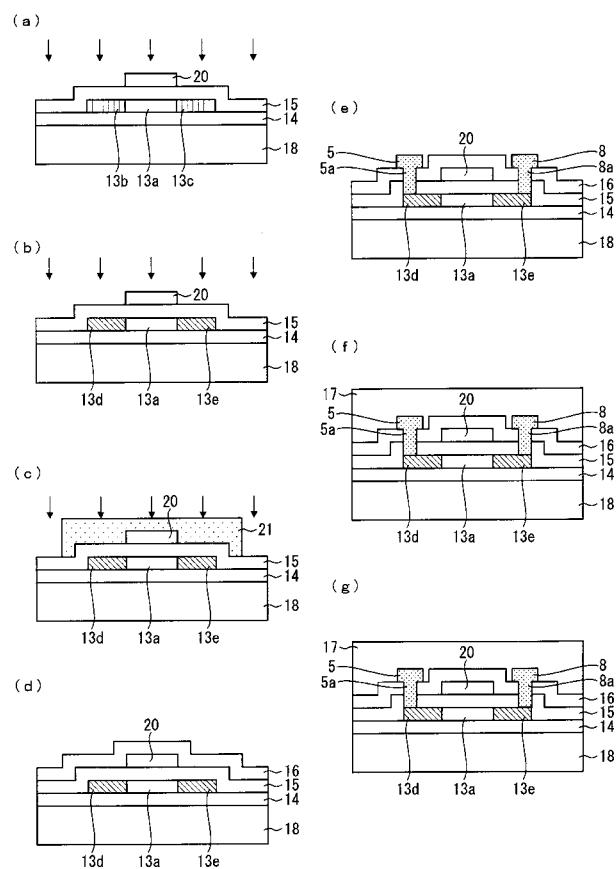
【図6】



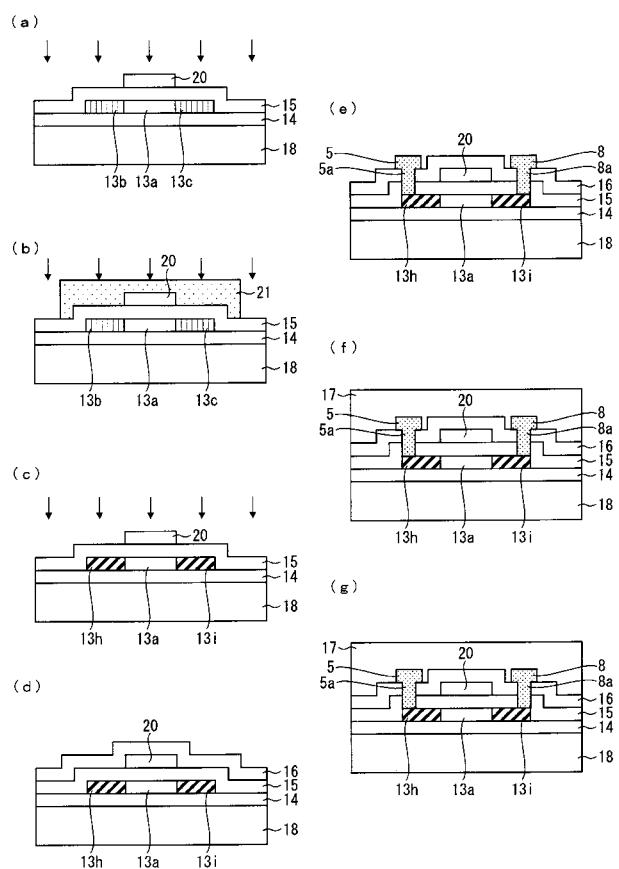
【図7】



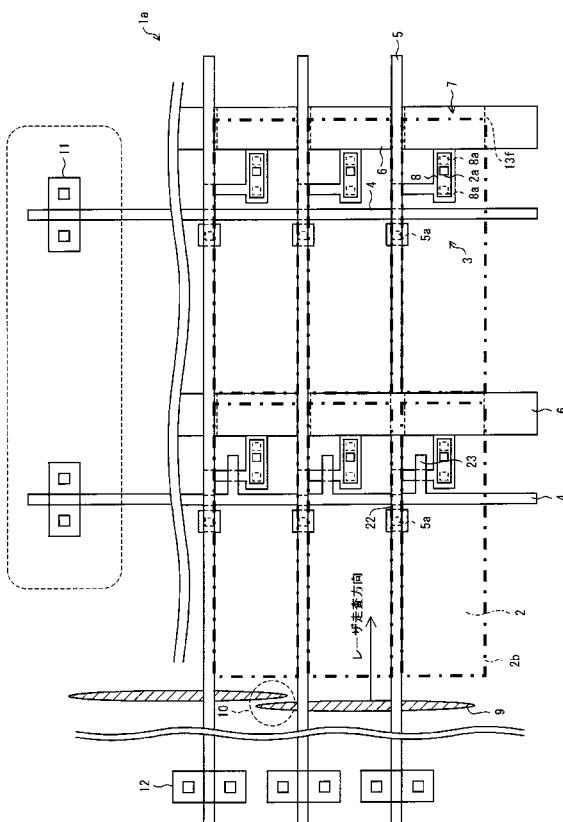
【図8】



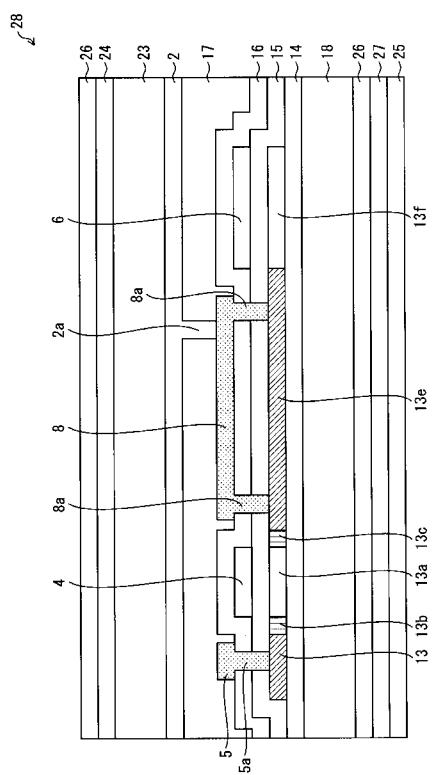
【図9】



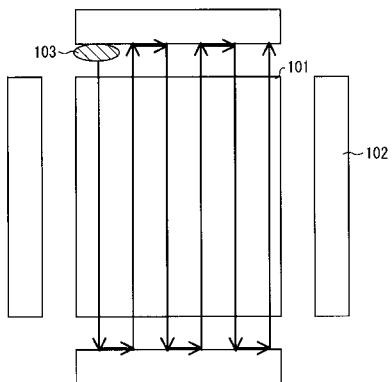
【図10】



【図 1 1】



【図 1 2】



フロントページの続き

(51)Int.CI. F I テーマコード(参考)
G 0 2 F 1/1368 (2006.01) G 0 2 F 1/1368
H 0 1 L 51/50 (2006.01) H 0 5 B 33/14 A

F ターム(参考) 3K107 AA01 BB01 CC33 CC45 EE04 HH05
5C094 AA03 AA42 BA03 BA27 BA43 CA19 EA10 FB14 FB19 GB10
JA09
5F110 AA26 BB02 BB04 CC02 DD01 DD02 DD03 DD05 DD13 DD14
DD15 DD17 EE01 EE02 EE03 EE04 EE06 EE09 EE28 EE44
FF02 GG01 GG02 GG03 GG13 GG23 GG25 GG32 GG43 GG45
GG47 HJ01 HJ04 HJ12 HJ23 HL02 HL03 HL04 HL06 HL11
HL12 HL23 HM14 HM15 NN03 NN04 NN22 NN23 NN24 NN27
NN34 NN35 NN73 PP03 PP04 PP05 PP06 PP08 PP23 PP35
PP40 QQ11 QQ23 QQ24 QQ25
5F152 AA02 AA06 BB02 CC02 CC03 CC04 CC05 CC06 CC08 CD13
CD14 CD15 CE04 CE05 CE06 CE13 CE14 CE16 CE24 CE28
CE45 CF13 CF14 CF15 FF03 FF04 FF06 FF07 FF08 FF09
FF47 FG01 FG04 FG13 FG18 FH05 FH11

专利名称(译)	用于有源矩阵型显示装置的基板，有源矩阵型显示装置和用于制造有源矩阵型显示装置基板的方法		
公开(公告)号	JP2010113098A	公开(公告)日	2010-05-20
申请号	JP2008284803	申请日	2008-11-05
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	千田 满		
发明人	千田 满		
IPC分类号	G09F9/30 H01L21/336 H01L29/786 H01L21/20 G02F1/1343 G02F1/1368 H01L51/50		
FI分类号	G09F9/30.338 H01L29/78.627.G H01L29/78.612.D H01L21/20 G02F1/1343 G02F1/1368 H05B33/14.A		
F-TERM分类号	2H092/GA29 2H092/GA59 2H092/JA25 2H092/JA36 2H092/JA40 2H092/JA44 2H092/JA46 2H092 /JB24 2H092/JB33 2H092/JB69 2H092/KA04 2H092/KA05 2H092/KA07 2H092/KA12 2H092/KA18 2H092/KA22 2H092/KB02 2H092/KB04 2H092/KB12 2H092/KB25 2H092/MA05 2H092/MA07 2H092 /MA08 2H092/MA13 2H092/MA27 2H092/MA30 2H092/MA41 2H092/NA01 2H092/NA29 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC45 3K107/EE04 3K107/HH05 5C094/AA03 5C094/AA42 5C094 /BA03 5C094/BA27 5C094/BA43 5C094/CA19 5C094/EA10 5C094/FB14 5C094/FB19 5C094/GB10 5C094/JA09 5F110/AA26 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD01 5F110/DD02 5F110 /DD03 5F110/DD05 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE09 5F110/EE28 5F110/EE44 5F110/FF02 5F110 /GG01 5F110/GG02 5F110/GG03 5F110/GG13 5F110/GG23 5F110/GG25 5F110/GG32 5F110/GG43 5F110/GG45 5F110/GG47 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HJ23 5F110/HL02 5F110 /HL03 5F110/HL04 5F110/HL06 5F110/HL11 5F110/HL12 5F110/HL23 5F110/HM14 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN34 5F110 /NN35 5F110/NN73 5F110/PP03 5F110/PP04 5F110/PP05 5F110/PP06 5F110/PP08 5F110/PP23 5F110/PP35 5F110/PP40 5F110/QQ11 5F110/QQ23 5F110/QQ24 5F110/QQ25 5F152/AA02 5F152 /AA06 5F152/BB02 5F152/CC02 5F152/CC03 5F152/CC04 5F152/CC05 5F152/CC06 5F152/CC08 5F152/CD13 5F152/CD14 5F152/CD15 5F152/CE04 5F152/CE05 5F152/CE06 5F152/CE13 5F152 /CE14 5F152/CE16 5F152/CE24 5F152/CE28 5F152/CE45 5F152/CF13 5F152/CF14 5F152/CF15 5F152/FF03 5F152/FF04 5F152/FF06 5F152/FF07 5F152/FF08 5F152/FF09 5F152/FF47 5F152/FG01 5F152/FG04 5F152/FG13 5F152/FG18 5F152/FH05 5F152/FH11 2H192/AA24 2H192/BC31 2H192 /CB02 2H192/CB13 2H192/CB34 2H192/CB53 2H192/CC04 2H192/DA12 2H192/DA44 2H192/EA43 2H192/FB02 2H192/HA82 2H192/JA02		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，即使通过激光退火结晶的半导体膜用作辅助电容电极，该液晶显示装置也可以消除或使显示缺陷不明显，从而提高产量。多个辅助电容配线形成与多个像素共用的线形，以形成每个辅助电容的一个电极，以及多个像素并且，辅助电容电极13f形成为与辅助电容配线6分别相对，并且每个辅助电容电极13f是在与辅助电容配线6的长度方向交叉的方向上扫描的连续振荡光栅。它由半导体膜制成，其中通过激光束或伪连续波激光束进行激光退火以进行多晶化或改变晶体。点域1

