

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-510178

(P2008-510178A)

(43) 公表日 平成20年4月3日(2008.4.3)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611A	5C006
G02F 1/133 (2006.01)	G09G 3/20 621B	5C080
	G09G 3/20 621A	
	G09G 3/20 622D	
審査請求 未請求 予備審査請求 未請求 (全 41 頁) 最終頁に続く		

(21) 出願番号 特願2007-525442 (P2007-525442)
 (86) (22) 出願日 平成17年8月11日 (2005.8.11)
 (85) 翻訳文提出日 平成19年2月28日 (2007.2.28)
 (86) 国際出願番号 PCT/IB2005/052665
 (87) 国際公開番号 WO2006/018800
 (87) 国際公開日 平成18年2月23日 (2006.2.23)
 (31) 優先権主張番号 特願2004-236138 (P2004-236138)
 (32) 優先日 平成16年8月13日 (2004.8.13)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 507058373
 ティービーオー、ホンコン、ホールディング、リミテッド
 TPO HONG KONG HOLDING LIMITED
 中華人民共和国、ホンコン、シャティン、サイエンス、パーク、イースト、アベニュー、5、フィリップス、エレクトロニクス、ビルディング、フロアー、2
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100088889
 弁理士 橘谷 英俊
 (74) 代理人 100082991
 弁理士 佐藤 泰和

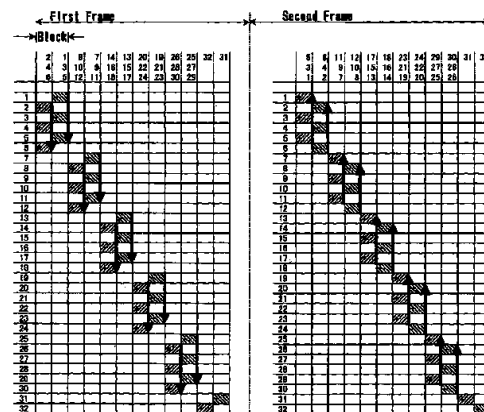
最終頁に続く

(54) 【発明の名称】 マトリクス駆動回路及びこれを用いた液晶表示装置

(57) 【要約】

【課題】 アーチファクトの発生を予防しつつ消費電力を削減する。

【解決手段】 各画素を交流駆動するマトリクス駆動方法。一方の極性の1以上の行電極の画素電圧群の各供給タイミングを時系列上連続させる第1半ブロックと他方の極性の1以上の行電極の画素電圧群の各供給タイミングを時系列上連続させる第2半ブロックとによって各々が構成される複数のブロック期間を時系列上連続させてフレーム期間を構成する。第1半ブロックでは、画面上の配列順序における奇数番目の行電極及び偶数番目の行電極のうちの一方の行電極が選択され、第2半ブロックでは、一方の行電極に空間的に隣接する当該他方の行電極が選択され、ブロック期間を単位とする視覚的アーチファクトを軽減するよう1のフレーム期間における第1半ブロック内の行電極選択順序及び第2半ブロック内の行電極選択順序とそれぞれ他のフレーム期間において当該対応する半ブロック内のものとを異ならせる。



【特許請求の範囲】**【請求項 1】**

表示すべき画像の水平走査期間毎に画面の水平方向に延びる複数の行電極を選択的にアクティブにし、

同画面の垂直方向に延びる複数の列電極に前記画像のフレーム期間毎に極性を反転させて前記画像に応じかつ当該水平走査期間に対応する画素電圧をそれぞれ供給するとともに、

それら画素電圧が、当該フレーム期間内の画面において空間的に、当該垂直方向において交番する極性を呈するようにして、マトリクス状に配される画素を交流駆動するマトリクス駆動方法であって、

10

一方の極性を呈させるべき 1 以上の行電極に対応する画素電圧群の各供給タイミングを時系列上連続させる第 1 半ブロックと他方の極性を呈させるべき 1 以上の行電極に対応する画素電圧群の各供給タイミングを時系列上連続させる第 2 半ブロックとによって各々が構成される複数のブロック期間を時系列上連続させて前記画像のフレーム期間を構成するとともに、前記行電極についての画素電圧群の各供給タイミングに合わせてその対応する行電極をアクティブにする、マトリクス駆動方法であって、

前記第 1 半ブロックでは、前記画面上の配列順序における奇数番目の行電極及び偶数番目の行電極のうちの一方の行電極が選択され、前記第 2 半ブロックでは、前記一方の行電極に空間的に隣接する当該他方の行電極が選択され、前記ブロック期間を単位とする視覚的アーチファクトを軽減するよう 1 のフレーム期間における前記第 1 半ブロック内の行電極選択順序及び前記第 2 半ブロック内の行電極選択順序とそれぞれ他のフレーム期間において当該対応する半ブロック内のものとを異ならせる、マトリクス駆動方法。

20

【請求項 2】

請求項 1 に記載の駆動方法であって、1 のフレーム期間における前記第 1 及び第 2 半ブロックと他のフレーム期間における当該対応する半ブロックとで行電極選択順序を逆にする、駆動方法。

【請求項 3】

請求項 2 に記載の駆動方法であって、少なくとも 2 つのフレーム期間において、前記第 1 及び第 2 半ブロック内の行電極選択順序が共に昇順とされたブロック期間とこれに対応しかつ前記第 1 及び第 2 半ブロック内の行電極選択順序が共に降順とされたブロック期間とが存在する、駆動方法。

30

【請求項 4】

請求項 3 に記載の駆動方法であって、1 のフレーム期間において前記第 1 及び第 2 半ブロック内の行電極選択順序が共に昇順とされたブロック期間のみが用いられ、他のフレーム期間において前記第 1 及び第 2 半ブロック内の行電極選択順序が共に降順とされたブロック期間のみが用いられる、駆動方法。

【請求項 5】

表示すべき画像の水平走査期間毎に画面の水平方向に延びる複数の行電極を選択的にアクティブにし、

同画面の垂直方向に延びる複数の列電極に前記画像のフレーム期間毎に極性を反転させて前記画像に応じかつ当該水平走査期間に対応する画素電圧をそれぞれ供給するとともに、

40

それら画素電圧が、当該フレーム期間内の画面において空間的に、当該垂直方向において交番する極性を呈するようにして、マトリクス状に配される画素を交流駆動するマトリクス駆動方法であって、

一方の極性を呈させるべき 1 以上の行電極に対応する画素電圧群の各供給タイミングを時系列上連続させる第 1 半ブロックと他方の極性を呈させるべき 1 以上の行電極に対応する画素電圧群の各供給タイミングを時系列上連続させる第 2 半ブロックとによって各々が構成される複数のブロック期間を時系列上連続させて前記画像のフレーム期間を構成し、前記行電極についての画素電圧群の各供給タイミングに合わせてその対応する行電極をア

50

クティブにする、マトリクス駆動方法であって、

前記第 1 半ブロックでは、前記画面上の配列順序における奇数番目の行電極及び偶数番目の行電極のうちの一方の行電極が選択され、前記第 2 半ブロックでは、前記一方の行電極に空間的に隣接する当該他方の行電極が選択され、前記ブロック期間を単位とする視覚的アーチファクトを軽減するようフレーム期間において前記第 1 及び第 2 半ブロック内の行電極選択順序をブロック期間毎に昇順と降順とで切り替える、マトリクス駆動方法。

【請求項 6】

請求項 5 に記載の駆動方法であって、フレーム期間内に前記第 1 及び第 2 半ブロック内の行電極選択順序が共に昇順とされたブロック期間と前記第 1 及び第 2 半ブロック内の行電極選択順序が共に降順とされたブロック期間とが混在する、駆動方法。

10

【請求項 7】

請求項 6 に記載の駆動方法であって、1 のフレーム期間において前記第 1 及び第 2 半ブロック内の行電極選択順序が共に昇順とされた昇順ブロック期間と前記第 1 及び第 2 半ブロック内の行電極選択順序が共に降順とされた降順ブロック期間とが交互に用いられ、他のフレーム期間において前記昇順ブロック期間に対応するブロック期間における前記第 1 及び第 2 半ブロック内の行電極選択順序が共に降順とされ前記降順ブロック期間に対応するブロック期間における前記第 1 及び第 2 半ブロック内の行電極選択順序が共に昇順とされる、駆動方法。

【請求項 8】

20

請求項 1 ないし 7 のうちいずれか 1 つに記載の駆動方法であって、各行電極においてその駆動極性が前記一方の極性になる頻度と前記他方の極性になる頻度とが略等しくなるように、連続する第 1 ないし第 4 のフレーム期間において、前記第 1 のフレーム期間に規定される行選択パターンを第 3 及び第 4 フレーム期間の一方に用い、前記第 2 のフレーム期間に規定される行選択パターンを第 3 及び第 4 フレーム期間の他方に用い、これら第 1 ないし第 4 のフレーム期間の繰り返しにより又は前記第 1 ないし第 4 のフレーム期間を含むフレーム期間系列によって前記画像を形成する、駆動方法。

【請求項 9】

請求項 1 ないし 8 のうちいずれか 1 つに記載の駆動方法であって、各ブロック期間内で選択される行電極の数は、1 のフレーム期間と他のフレーム期間とで異なる、駆動方法。

30

【請求項 10】

請求項 1 ないし 9 のうちいずれか 1 つに記載の駆動方法であって、選択される行電極の数が他のブロック期間と異なる特異ブロック期間を含む特定フレーム期間を、1 フレーム又は所定数フレーム期間おきに用いる、駆動方法。

【請求項 11】

請求項 10 に記載の駆動方法であって、前記特異ブロック期間は、フレーム期間における先頭ブロック期間として用いられる、駆動方法。

【請求項 12】

請求項 1 ないし 11 のうちいずれか 1 つに記載の駆動方法であって、1 のフレーム期間において前記ブロック期間内で先行する半ブロックにおいて選択される行電極は、次のフレーム期間において前記ブロック期間内で後続する半ブロックにおいて選択される行電極とされる、駆動方法。

40

【請求項 13】

表示すべき画像の水平走査期間毎に画面の水平方向に延びる複数の行電極を選択的にアクティブにし、同画面の垂直方向に延びる複数の列電極に前記画像のフレーム期間毎に極性を反転させて前記画像に応じかつ当該水平走査期間に対応する画素電圧をそれぞれ供給するとともに、それら画素電圧が、当該フレーム期間内の画面において空間的に、当該垂直方向において交番する極性を呈するようにして、マトリクス状に配される画素を交流駆動するマトリクス駆動回路であって、

一方の極性を呈させるべき 1 以上の行電極に対応する画素電圧群の各供給タイミングを

50

時系列上連続させる第1半ブロックと他方の極性を呈させるべき1以上の行電極に対応する画素電圧群の各供給タイミングを時系列上連続させる第2半ブロックとによって各々が構成される複数のブロック期間を時系列上連続させて前記画像のフレーム期間を構成する制御手段と、前記行電極についての画素電圧群の各供給タイミングに合わせてその対応する行電極をアクティブにする行駆動手段とを備え、

前記マトリクス駆動回路は、前記第1半ブロックでは、前記画面上の配列順序における奇数番目の行電極及び偶数番目の行電極のうちの一方の行電極が選択され、前記第2半ブロックでは、前記一方の行電極に空間的に隣接する当該他方の行電極が選択され、前記ブロック期間を単位とする視覚的アーチファクトを軽減するよう1のフレーム期間における前記第1半ブロック内の行電極選択順序及び前記第2半ブロック内の行電極選択順序とそれぞれ他のフレーム期間において当該対応する半ブロック内のものとを異ならせることを特徴とする、マトリクス駆動回路。

10

【請求項14】

表示すべき画像の水平走査期間毎に画面の水平方向に延びる複数の行電極を選択的にアクティブにし、同画面の垂直方向に延びる複数の列電極に前記画像のフレーム期間毎に極性を反転させて前記画像に応じかつ当該水平走査期間に対応する画素電圧をそれぞれ供給するとともに、それら画素電圧が、当該フレーム期間内の画面において空間的に、当該垂直方向において交番する極性を呈するようにして、マトリクス状に配される画素を交流駆動するマトリクス駆動回路であって、

一方の極性を呈させるべき1以上の行電極に対応する画素電圧群の各供給タイミングを時系列上連続させる第1半ブロックと他方の極性を呈させるべき1以上の行電極に対応する画素電圧群の各供給タイミングを時系列上連続させる第2半ブロックとによって各々が構成される複数のブロック期間を時系列上連続させて前記画像のフレーム期間を構成する制御手段と、前記行電極についての画素電圧群の各供給タイミングに合わせてその対応する行電極をアクティブにする行駆動手段とを備え、

20

前記マトリクス駆動回路は、前記第1半ブロックでは、前記画面上の配列順序における奇数番目の行電極及び偶数番目の行電極のうちの一方の行電極が選択され、前記第2半ブロックでは、前記一方の行電極に空間的に隣接する当該他方の行電極が選択され、前記ブロック期間を単位とする視覚的アーチファクトを軽減するようフレーム期間において前記第1及び第2半ブロック内の行電極選択順序をブロック期間毎に昇順と降順とで切り替えることを特徴とする、マトリクス駆動回路。

30

【請求項15】

請求項13または14に記載のマトリクス駆動回路において、前記行駆動手段はフロントエンド単位レジスタからテイルエンド単位レジスタまでの複数の単位レジスタがカスケード接続されたシフトレジスタよりなり、そこでは一水平期間にフロントエンド単位レジスタ側の単位レジスタの意味のある出力が順次テイルエンド単位レジスタ側の単位レジスタにシフトされ、それぞれ逐次シフト動作が行電極選択順序の実現に導くように、同時に前記意味のある出力が行電極をアクティブにし、前記単位レジスタの出力は行電極に接続されるようにされたことを特徴とするマトリクス駆動回路。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、広くマトリクス駆動方法、そしてマトリクス駆動回路並びにこれを用いた液晶表示装置に関する。本発明は特に、液晶表示装置等で用いられる交流駆動法に準拠したマトリクス駆動方法、回路及びこれを用いた表示装置に関する。

【背景技術】

【0002】

従来より、アクティブマトリクス型液晶表示装置の多くには、いわゆる交流駆動法が適用されている。この手法は、液晶を直流電圧で長時間駆動すると当該液晶の材料物性が変化しその抵抗率が減少するなどの劣化現象への対抗策であり、液晶に印加する駆動電圧の

50

極性をフレーム毎に反転させるものである。より詳しい基本的な動作は、非特許文献 1 などに開示されている。

【 0 0 0 3 】

かかる交流駆動法においては、その駆動電圧の極性反転周波数がフレーム周波数の $1/2$ になることで基本的にはフリッカが生じるところ、極性反転を画面内で空間的にかつ時間的に平均化することで、その光学応答リップルの基本波成分をフレーム周波数相当以上のものとし、フリッカ（可視性フリッカ）が生じないようにしている。より具体的には、任意の 1 画素に対してその隣接画素（又は隣接の画素行若しくは画素列）の駆動電圧極性を異ならせ、さらにフレーム毎にそれらの極性を反転することが行われている。

【 0 0 0 4 】

この従来技術では、駆動電圧の極性反転レートが高く、これに起因して、駆動回路は消費電力を多大に要する傾向がある。これに対し交流駆動の形態を維持しつつ省電力化を図ったものとして、本願と同一の出願人により出願された特許文献 1 がある。これによる駆動方法は、表示すべき画像の水平走査期間毎に画面の水平方向に延びる複数の行電極を選択的にアクティブにし、同画面の垂直方向に延びる複数の列電極に前記画像のフレーム期間毎に極性を反転させて前記画像に応じかつ当該水平走査期間に対応する画素電圧をそれぞれ供給するとともに、それら画素電圧が、当該フレーム期間内の画面において空間的に、当該垂直方向において交番する極性を呈するようにして、マトリクス状に配される画素を交流駆動するマトリクス駆動方法であって、1 の行電極に対応する画素電圧群とこれと同一の極性を呈させるべき他の行電極に対応する画素電圧群との供給タイミングを時系列上連続させるとともに、当該 1 の行電極及び他の行電極についての画素電圧群の各供給タイミングに応答してその対応する行電極をアクティブにしている。

【 0 0 0 5 】

特許文献 1 においては、このようにすることにより、時間軸上の画素電圧の極性反転レートを低下させながら、画面における空間的な画素電圧の極性の反転形態を従来通りの交流化パターンに維持し、消費電力の削減を達成している。

【非特許文献 1】書籍「液晶ディスプレイ技術 - アクティブマトリクス LCD - 」，松本正一著，1997 年 11 月 14 日第 2 刷・産業図書株式会社発行，第 69 頁ないし第 74 頁

【特許文献 1】特開 2003 - 114647（特に、特許請求の範囲の欄、図 2 及び図 3 並びに段落番号 [0 0 3 1] ないし [0 0 5 9] 参照）

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、上記従来技術においては、例えば画面全体を均等な、あるグレー黒表示にしようとしても、相対的に明と暗との横ストライプが交互に繰り返し画面全体に現れる表示不具合が生じたり、さらに一方の極性で駆動される行電極とこれに隣接する他方の極性で駆動される行電極との組毎に画面の垂直方向において漸減又は漸増する輝度を呈する表示不具合が生じることが判明した。特に後者の表示不具合は、同一極性で駆動させる行電極の数を増やそうとしたときには大きな問題となる。なお、以下では上述した表示不具合をアーチファクトと呼び、前者をライン間アーチファクト、後者をブロック内アーチファクトと呼ぶ。請求項の記載についても同様とする。

【 0 0 0 7 】

（目的）

本発明の主たる目的は、上述したアーチファクトの発生を予防しつつ消費電力を削減することのできる交流駆動法に準拠したマトリクス駆動回路及び液晶表示装置を提供することにある。

【 0 0 0 8 】

本発明の他の目的は、メモリ等の電子回路技術を活用して消費電力を削減し得る交流駆動法の多様化に寄与することのできるマトリクス駆動方法及び回路並びにこれを用いた液

10

20

30

40

50

晶表示装置を提供することである。

【課題を解決するための手段】

【0009】

上記目的を達成するため、本発明の第1の態様は、表示すべき画像の水平走査期間毎に画面の水平方向に延びる複数の行電極を選択的にアクティブにし、同画面の垂直方向に延びる複数の列電極に前記画像のフレーム期間毎に極性を反転させて前記画像に応じかつ当該水平走査期間に対応する画素電圧をそれぞれ供給するとともに、それら画素電圧が、当該フレーム期間内の画面において空間的に、当該垂直方向において交番する極性を呈するようにして、マトリクス状に配される画素を交流駆動するマトリクス駆動方法であって、一方の極性を呈させるべき1以上の行電極に対応する画素電圧群の各供給タイミングを時系列上連続させる第1半ブロックと他方の極性を呈させるべき1以上の行電極に対応する画素電圧群の各供給タイミングを時系列上連続させる第2半ブロックとによって各々が構成される複数のブロック期間を時系列上連続させて前記画像のフレーム期間を構成するとともに、前記行電極についての画素電圧群の各供給タイミングに合わせてその対応する行電極をアクティブにする、マトリクス駆動方法であって、前記第1半ブロックでは、前記画面上の配列順序における奇数番目の行電極及び偶数番目の行電極のうちの一方の行電極が選択され、前記第2半ブロックでは、前記一方の行電極に空間的に隣接する当該他方の行電極が選択され、前記ブロック期間を単位とする視覚的アーチファクトを軽減するよう1のフレーム期間における前記第1半ブロック内の行電極選択順序及び前記第2半ブロック内の行電極選択順序とそれぞれ他のフレーム期間において当該対応する半ブロック内のものとを異ならせる、マトリクス駆動方法としている。

【0010】

このようにすることにより、第1及び第2半ブロックにおいて選択される行電極の画素が呈する所期値からの輝度変化パターンがフレームが替わる度に変えられるので、ブロック毎のアーチファクトを視認し難くすることができる。しかも、画面における空間的な画素電圧の極性の反転形態の交流化パターンの維持及び時間軸上の画素電圧の極性反転レートの低下による消費電力の削減を同時に達成することができる。

【0011】

この態様において、1のフレーム期間における前記第1及び第2半ブロックと他のフレーム期間における当該対応する半ブロックとで行電極選択順序を逆にすることができる。これにより、第1及び第2半ブロックにおいて選択される行電極の画素が呈する所期値からの輝度変動パターンにおける増加又は減少傾向がフレームが替わる度に逆の傾向に変えられ、またフレームが替わる度に当該輝度変動パターンにおける最大値及び最小値のライン位置が変わるので、ブロック毎のアーチファクトをより視認し難くすることができる。

【0012】

また、少なくとも2つのフレーム期間において、前記第1及び第2半ブロック内の行電極選択順序が共に昇順とされたブロック期間とこれに対応しかつ前記第1及び第2半ブロック内の行電極選択順序が共に降順とされたブロック期間とが存在するものとしたり、1のフレーム期間において前記第1及び第2半ブロック内の行電極選択順序が共に昇順とされたブロック期間のみが用いられ、他のフレーム期間において前記第1及び第2半ブロック内の行電極選択順序が共に降順とされたブロック期間のみが用いられるものとすることもできる。これにより、より確実にアーチファクトの視認性を低下させることができる。

【0013】

上記目的を達成するため、本発明の第2の態様は、表示すべき画像の水平走査期間毎に画面の水平方向に延びる複数の行電極を選択的にアクティブにし、同画面の垂直方向に延びる複数の列電極に前記画像のフレーム期間毎に極性を反転させて前記画像に応じかつ当該水平走査期間に対応する画素電圧をそれぞれ供給するとともに、それら画素電圧が、当該フレーム期間内の画面において空間的に、当該垂直方向において交番する極性を呈するようにして、マトリクス状に配される画素を交流駆動するマトリクス駆動方法であって、一方の極性を呈させるべき1以上の行電極に対応する画素電圧群の各供給タイミングを時

系列上連続させる第 1 半ブロックと他方の極性を呈させるべき 1 以上の行電極に対応する画素電圧群の各供給タイミングを時系列上連続させる第 2 半ブロックとによって各々が構成される複数のブロック期間を時系列上連続させて前記画像のフレーム期間を構成し、前記行電極についての画素電圧群の各供給タイミングに合わせてその対応する行電極をアクティブにする、マトリクス駆動方法であって、前記第 1 半ブロックでは、前記画面上の配列順序における奇数番目の行電極及び偶数番目の行電極のうちの一方向の行電極が選択され、前記第 2 半ブロックでは、前記一方の行電極に空間的に隣接する当該他方の行電極が選択され、前記ブロック期間を単位とする視覚的アーチファクトを軽減するようフレーム期間において前記第 1 及び第 2 半ブロック内の行電極選択順序をブロック期間毎に昇順と降順とで切り替える、マトリクス駆動方法としている。

10

【0014】

このようにすることにより、例えば、あるブロックにおいて選択される行電極の画素が呈する所期値からの輝度変化パターンが最小輝度から最大輝度への上昇傾向だったものに対し、次のブロックにおいて当該輝度変動を最大輝度から最小輝度への下降傾向とすることで、フレーム内でブロックとブロックと境界部分の輝度変化を緩やかなものとすることができ、ブロック毎のアーチファクトを目立たなくすることができる。

【0015】

この態様において、フレーム期間内に前記第 1 及び第 2 半ブロック内の行電極選択順序が共に昇順とされたブロック期間と前記第 1 及び第 2 半ブロック内の行電極選択順序が共に降順とされたブロック期間とが混在するものとすることができる。これにより、より確実にアーチファクト低減効果を奏させることができる。

20

【0016】

また、1 のフレーム期間において前記第 1 及び第 2 半ブロック内の行電極選択順序が共に昇順とされた昇順ブロック期間と前記第 1 及び第 2 半ブロック内の行電極選択順序が共に降順とされた降順ブロック期間とが交互に用いられ、他のフレーム期間において前記昇順ブロック期間に対応するブロック期間における前記第 1 及び第 2 半ブロック内の行電極選択順序が共に降順とされ前記降順ブロック期間に対応するブロック期間における前記第 1 及び第 2 半ブロック内の行電極選択順序が共に昇順とされるものとするにより、フレームが替わると、輝度変化パターンの山と谷が逆転することになるので、さらにアーチファクトを目立たなくすることができる。

30

【0017】

上記各態様において、各行電極においてその駆動極性が前記一方の極性になる頻度と前記他方の極性になる頻度とが略等しくなるように、連続する第 1 ないし第 4 のフレーム期間において、前記第 1 のフレーム期間に規定される行選択パターンを第 3 及び第 4 フレーム期間の一方に用い、前記第 2 のフレーム期間に規定される行選択パターンを第 3 及び第 4 フレーム期間の他方に用い、これら第 1 ないし第 4 のフレーム期間の繰り返しにより又は前記第 1 ないし第 4 のフレーム期間を含むフレーム期間系列によって前記画像を形成する、という形態にすることができる。こうすることによって、各行電極において呈される一方と他方の極性のバランスがとれ、画像表示動作の継続により各行電極がどちらかの極性の電位に偏ってしまうことを回避することが可能となる。

40

【0018】

また、各ブロック期間内で選択される行電極の数は、1 のフレーム期間と他のフレーム期間とで異なるものとするにより、当該輝度変化パターンの変化周期をフレームが替わる度に変えることができるので、アーチファクトの平均化がなされこれを視認しづらくすることができる。

【0019】

さらに、選択される行電極の数が他のブロック期間と異なる特異ブロック期間を含む特定フレーム期間を、1 フレーム又は所定数フレーム期間おきに用いるものとしてもよい。これにより、特定フレーム期間では他のフレーム期間に対し当該輝度変化パターンが当該特異ブロック期間の存在のためにシフトされることになり、アーチファクトの平均化及び

50

その視認性の低下を図ることができる。この形態においては、前記特異ブロック期間は、フレーム期間における先頭ブロック期間として用いられるものとするにより、確実にその所期の効果を得ることができる。

【0020】

また、上記各態様及び形態においては、1のフレーム期間において前記ブロック期間内で先行する半ブロックにおいて選択される行電極は、次のフレーム期間において前記ブロック期間内で後続する半ブロックにおいて選択される行電極とされるものとしてすることができる。これにより、上述した横ストライプのアーチファクトをも軽減することが可能となる。

【0021】

本発明は、表示すべき画像の水平走査期間毎に画面の水平方向に延びる複数の行電極を選択的にアクティブにし、同画面の垂直方向に延びる複数の列電極に前記画像のフレーム期間毎に極性を反転させて前記画像に応じかつ当該水平走査期間に対応する画素電圧をそれぞれ供給するとともに、それら画素電圧が、当該フレーム期間内の画面において空間的に、当該垂直方向において交番する極性を呈するようにして、マトリクス状に配される画素を交流駆動するマトリクス駆動回路であって、一方の極性を呈させるべき1以上の行電極に対応する画素電圧群の各供給タイミングを時系列上連続させる第1半ブロックと他方の極性を呈させるべき1以上の行電極に対応する画素電圧群の各供給タイミングを時系列上連続させる第2半ブロックとによって各々が構成される複数のブロック期間を時系列上連続させて前記画像のフレーム期間を構成する制御手段と、前記行電極についての画素電圧群の各供給タイミングに合わせてその対応する行電極をアクティブにする行駆動手段とを備え、前記マトリクス駆動回路は、前記第1半ブロックでは、前記画面上の配列順序における奇数番目の行電極及び偶数番目の行電極のうちの一方の行電極が選択され、前記第2半ブロックでは、前記一方の行電極に空間的に隣接する当該他方の行電極が選択され、前記ブロック期間を単位とする視覚的アーチファクトを軽減するよう1のフレーム期間における前記第1半ブロック内の行電極選択順序及び前記第2半ブロック内の行電極選択順序とそれぞれ他のフレーム期間において当該対応する半ブロック内のものとを異ならせることを特徴とするマトリクス駆動回路を提供するものである。

【0022】

本発明はさらに、表示すべき画像の水平走査期間毎に画面の水平方向に延びる複数の行電極を選択的にアクティブにし、同画面の垂直方向に延びる複数の列電極に前記画像のフレーム期間毎に極性を反転させて前記画像に応じかつ当該水平走査期間に対応する画素電圧をそれぞれ供給するとともに、それら画素電圧が、当該フレーム期間内の画面において空間的に、当該垂直方向において交番する極性を呈するようにして、マトリクス状に配される画素を交流駆動するマトリクス駆動回路であって、一方の極性を呈させるべき1以上の行電極に対応する画素電圧群の各供給タイミングを時系列上連続させる第1半ブロックと他方の極性を呈させるべき1以上の行電極に対応する画素電圧群の各供給タイミングを時系列上連続させる第2半ブロックとによって各々が構成される複数のブロック期間を時系列上連続させて前記画像のフレーム期間を構成する制御手段と、前記行電極についての画素電圧群の各供給タイミングに合わせてその対応する行電極をアクティブにする行駆動手段とを備え、前記マトリクス駆動回路は、前記第1半ブロックでは、前記画面上の配列順序における奇数番目の行電極及び偶数番目の行電極のうちの一方の行電極が選択され、前記第2半ブロックでは、前記一方の行電極に空間的に隣接する当該他方の行電極が選択され、前記ブロック期間を単位とする視覚的アーチファクトを軽減するようフレーム期間において前記第1及び第2半ブロック内の行電極選択順序をブロック期間毎に昇順と降順とで切り替えることを特徴とする、マトリクス駆動回路を提供するものである。

【0023】

上記のそれぞれのマトリクス駆動回路において、前記行駆動手段はフロントエンド単位レジスタからテイルエンド単位レジスタまでの複数の単位レジスタがカスケード接続されたシフトレジスタよりなり、そこでは一水平期間にフロントエンド単位レジスタ側の単位

10

20

30

40

50

レジスタの意味のある出力が順次テイルエンド単位レジスタ側の単位レジスタにシフトされ、それぞれ逐次シフト動作が行電極選択順序の実現に導くように、同時に前記意味のある出力が行電極をアクティブにし、前記単位レジスタの出力は行電極に接続されるようにしても良い。このようにして、単にシフトレジスタのシフト動作を一端側から他端側へ従来のように行えばゲート線を所望の順序で活性化させることができる。このような構成は行駆動手段の内部構成の複雑化を防止してアーチファクトを軽減する利点およびそれ以上を提供する。

【発明を実施するための最良の形態】

【0024】

以下、上記態様その他の本発明の実施の形態を、実施例に基づき添付図面を参照して詳しく説明する。

10

【0025】

図1は、本発明の一実施例による液晶表示装置におけるマトリクス駆動回路の概略的構成を示している。

【0026】

図1において、このマトリクス駆動回路10は、所定の表示領域内に画素駆動用能動素子として例えば電界効果型の薄膜トランジスタ(TFT)21が各画素に対応して配置されたアクティブマトリクス型液晶表示(LCD)装置の表示パネル20を駆動するように構成されている。

20

【0027】

表示パネル20において、TFT21はY行X列のマトリクス状に配列され、TFT21のゲート電極は、行毎に当該表示領域を横すなわち水平方向に平行に走るゲートバスライン(以下、ゲートラインと略称する)に接続され、TFT21のソース電極は、列毎に当該表示領域を縦すなわち垂直方向に平行に走るソースバスライン(以下、ソースラインと略称する)に接続される。TFT21のドレイン電極は、個々に画素電極23に接続される。

【0028】

表示パネル20はさらに、画素電極23に対向し間隙をもって配される共通電極25を備えている。かかる間隙には、図示せぬ液晶媒体が封入されており、共通電極25は、ここでは当該表示領域の全域にわたり延在している。TFT21は、ゲートラインを通じて供給される行電極信号としてのゲート信号により行毎に選択的にオンとなる一方、オンとされた各TFTに対してソースラインを通じて供給される列電極信号としてのソース信号のレベルにより表示すべき画素情報に応じた駆動状態にさせられる。画素電極23には、かかる駆動状態に応じた電位がそのドレイン電極により与えられる。この画素電極電位と共通電極25に供給される電圧レベルとの差によって定まる強度の電界により、液晶媒体の配向が画素電極毎に制御される。よって液晶媒体は、画素毎にその画素情報に応じて図示せぬバックライトシステムからの背面照射光や正面側からの外光を変調することができる。かかる液晶表示パネルの基本的構成に関する詳細は、種々様々な文献で周知であるので、ここではこれ以上の説明はしない。

30

【0029】

駆動回路10は、その前段回路であるタイミング制御及び電圧生成回路30と、画像データ記憶用メモリ40と、列駆動手段としてのソースドライバ50と、行駆動手段としてのゲートドライバ60とを備える基本構成を有する。

40

【0030】

タイミング制御及び電圧生成回路30は、図示せぬ信号供給手段からの赤(R)、緑(G)及び青(B)用の各画像データ信号“data”、ドットクロック信号CLK及び水平及び垂直同期信号を含む同期信号Syncを受信し、当該画像データ信号をメモリ40に転送するとともに、クロック信号CLK及び同期信号Syncに基づいて、メモリ40を制御するためのメモリ制御信号Mcと、ソースドライバ50を同期動作させるラッチ信号Stと、ゲートドライバ60を制御するための制御信号Gcとを生成する。この回路30は

50

また、表示パネル 20 における共通電極 25 に供給するための電圧信号 V_{com} を生成する。回路 30 は他にも、ソースドライバ 50 及びゲートドライバ 60 において用いられる基準電圧等を生成し供給するが、本例では簡明とするために説明を省略する。

【0031】

メモリ 40 は、回路 30 からの R, G, B の画像データ信号を受信しそれらを水平走査期間毎に順次各々の色について記憶するとともに、回路 30 からのメモリ制御信号に基づいて、後述する本発明特有のデータ処理（時系列操作処理）を施す。かかるデータ処理の施された画像データ信号 “data'” は、ソースドライバ 50 に転送される。

【0032】

ソースドライバ 50 は、R, G, B の画像データ信号各々についてのディジタル - アナログ変換器を有しており、各色の画像データ信号は水平走査期間毎にアナログ変換され、1 つの水平走査期間において表示すべき画素情報片群（すなわち 1 ライン分の画素情報）を担う画素信号群が各色につき生成される。これら画素信号は、ソース信号として次の水平走査期間が到来するまで保持されるとともに、対応するソースラインに供給される。なお、ソースドライバ 50 に供給されるラッチ信号 S_t が、アナログ変換やソースラインへの電圧供給等の表示動作における水平走査期間その他の必要なタイミングの基礎を担っている。

【0033】

ゲートドライバ 60 は、回路 30 からの制御信号 G_c に応じた形態にて、表示パネル 20 におけるゲートラインを選択的にアクティブにすべく、例えば所定の高電圧をバスラインに選択的に供給する。アクティブにされたゲートバスラインは、対応する各 TFT をオン状態にしこれら TFT に供給されるソース信号による当該 1 ライン分の TFT の同時駆動を可能とする。これにより、アクティブにされたゲートラインに対応する行の画素が同時に上記 1 ライン分の画素情報に応じて光学変調されることになる。なお、回路 30 からの制御信号 G_c によるゲートドライバ 60 の制御形態の詳細は後述される。

【0034】

次に、駆動回路 10 の動作を説明するが、本実施例特有の動作を説明する前に、本実施例の基礎をなす技術による動作の一例を先ず説明する。

【0035】

図 2 は、後者基礎技術による駆動回路 10 の動作を概略的に示している。ここで示されるように、画像データ信号 “data” は、表示パネル 20 の表示領域における上の行から下の行へとライン番号がインクリメントされる場合に、フレーム期間の開始から 1 番目のラインの画素データ、2 番目のラインの画素データ、3 番目のラインの画素データ、... という順序でメモリ 40 に転送されて来る。このような線順次の画像データ列信号は、メモリ 40 において、その転送されて来る順番で（すなわち線順次のまま）ライン毎に記憶される。

【0036】

メモリ 40 は、このように記憶された画像データ信号を回路 30 からの制御信号 M_c に基づいて時系列操作処理を施しつつ読み出す。基礎技術も、後に説明される種々の本発明による実施例によるものも、図 3 に示されるようないわゆる行間交流駆動を指向する。この駆動においては、この図の (a) に示されるように、画像の 1 フレーム期間における画面内では、例えば 1 番目のライン（行）の画素については負極性に駆動し、2 番目のラインの画素については正極性に駆動し、3 番目のラインの画素については負極性に駆動し、... という形で、1 行毎に交番する極性分布を呈する。また、次のフレーム期間においては、同図 (b) に示されるように、1 番目のラインの画素については正極性に駆動し、2 番目のラインの画素については負極性に駆動し、3 番目のラインの画素については正極性に駆動し、... という交番極性分布を維持するものの、それぞれの行は前のフレームとは異なる極性で駆動する。そしてこの (a) の駆動パターンと (b) の駆動パターンとの交互の繰り返しの形態によって行間交流駆動が達成される。図 3 に示される画面内の空間的極性反転分布自体は上記非特許文献 1 などでも知られており、このような画面内における各画素

の空間的な極性反転態様を実現するのに、当該画面の上から下に順番に各行を選択しつつ、例えばその選択した行に対応する極性の画素データをソースドライバに供給するものである。

【0037】

本発明による実施例及びその基礎技術においては、画面の上から下に順番に各行を選択するのではなく、同一極性とすべき画素行を時系列的に連続させて選択し、ソースドライバ50はその選択された行及びその行に課された極性に従って対応の画素データからアナログのソース信号への変換をなす。そして電圧生成回路30も、かかる課された極性に適合するような極性で共通電極25の印加電圧 V_{com} を生成する。図3から分かるように、奇数番目のラインの画素は、フレーム期間が替わっても互いに同極性に駆動されるべきものであり、同様に、偶数番目のラインの画素も、フレーム期間が替わっても互いに同極性に駆動されるべきものである。基礎技術においては、基本的に、図2に示されるように、“data”系列における奇数番目の3つのラインの画素データを、連続するラインの画素データとなるように、また偶数番目の3つのラインの画素データを、連続するラインの画素データとなるように、時間軸上で移し替えている（破線矢印及び実線矢印参照）。これにより、“data'”系列のように、いずれも一方の極性（例えば+）に駆動される偶数番目のラインの画素データが3ライン分時系列上連続し、これに続きいずれも他方の極性（-）に駆動される奇数番目のラインの画素データが3ライン分時系列上連続する。なお、図2は、データ系列“data”と“data'”との間に実時間上の関連性を持たせておらず、簡明とするために主として視覚的に理解できるようにその移し替えの様子を示したものである。

10

20

【0038】

このような時系列上の画素データの移し替え又は配置替え操作を行うことにより、結果的にフレーム期間の開始から2番目（+）、4番目（+）、6番目 n （+）、1番目（-）、3番目（-）、5番目 n （-）、...というライン順の画像データ系列“data'”を得る。この操作をなすために、メモリ40は、各ラインの画素データを上述したように時系列上で配置換えするようにその読出制御がなされる。ソースドライバ50は、ラッチ信号 S_t すなわちここでは水平走査期間の周期で有意になるレベルを呈するタイミング信号に基づき、その有意レベルへの変化に応答してメモリ40からの1ライン分の画素データの更新出力をなす。

30

【0039】

図2に示されるソース信号 S_{sig} は、かかる配置換え後の画素データに基づいたものであってソースラインの任意の1つにおいて観測されるものである。ここでは例として画面全体で同じグレー表示をなす際におけるレベル V_d 又は $-V_d$ （すなわち、ノーマリホワイトタイプの液晶表示パネルで黒表示であれば V_d 又は $-V_d$ の最大値）が、ソース信号 S_{sig} のレベルとして示されている。ソース信号 S_{sig} は、極性を同じくする3ラインの画素データの組に基づいているために、3水平走査周期（3H）毎に反転する。上記共通電極25に供給される電圧 V_{com} も、駆動すべき極性に依拠して回路30により3水平走査周期毎に反転する交流電圧とされており、ソース信号 S_{sig} はこのような交流電圧に適合するグレーレベルを呈するようソースドライバ50により生成される。

40

【0040】

ゲートドライバ60は、上述の如く選択されるラインに対応するゲートラインをアクティブにするスキャン動作を行う。すなわち、ゲートドライバ60は、タイミング制御回路30からの制御信号 G_c に基づき、フレーム期間の開始から2番目（+）、4番目（+）、6番目 n （+）、1番目（-）、3番目（-）、5番目 n （-）、...というライン順でゲートラインをアクティブにするためのゲート制御信号を発生する。図2では、この様子を制御信号 G_c の内容を模式化する形で示しており、ここで示される番号に対応するゲートラインをアクティブにするゲート制御信号が発生されることを意味している。

【0041】

次の第2フレームでは図3の（b）の空間的極性分布を実現するために、極性を替えて

50

、フレーム期間の開始から 2 番目 (-) , 4 番目 (-) , 6 番目 n (-) , 1 番目 (+) , 3 番目 (+) , 5 番目 n (+) , ... というライン順でゲートラインがアクティブにされ、これに対応するソース信号が生成出力されることとなる。

【 0 0 4 2 】

以上のような動作によれば、同極性とすべき各ラインについての画素情報供給及びスキャンを時間軸上連続させる時系列操作処理が行われるので、ソース信号 S_{sig} 及び共通電極に印加される電圧 V_{com} の反転周期を長く、したがって周波数を低くすることができる。これにより、図 3 に示されるような画面内における画素駆動の極性反転分布を維持したまま駆動エネルギーすなわち消費電力を削減することが可能となる。

【 0 0 4 3 】

これに対して本発明者は、以上述べた基礎技術では表示画像の品質に問題が生じうることを見出し、この問題を克服するようさらに改良を加えて後述の実施例を実現した。問題の 1 つは、例えば顕著な例として画面全体を均等なグレー表示にしようすると、奇数番目の行の画素と偶数番目の行の画素とで輝度の差が生じ、相対的に明と暗との横ストライプが交互に繰り返し画面全体に現れるアーチファクト（ライン間アーチファクト）である。2 つ目は、同例において連続的に駆動される奇数番目の複数ラインのセット（例えば第 1 , 第 3 , 第 5 ライン）及びこれに隣接し連続的に駆動される偶数番目の複数ラインのセット（例えば第 2 , 第 4 , 第 6 ライン）とからなるブロック（図 2 において示される 6 H のブロック）毎に、画面上当該ブロックの垂直方向（ライン直交方向）において漸減又は漸増する輝度を呈するアーチファクト（ブロック内アーチファクト）である。

【 0 0 4 4 】

いずれのアーチファクトも、概して画素電極に呈されるべき所期の電位が何らかの影響を受けて変動したことに起因するものであり、特に画素電極の周辺に形成される容量及び寄生容量を介した電位変動によるところが大きいと判断される。そこで本発明者らは、次のような解析をした。

【 0 0 4 5 】

図 4 は、表示領域において任意に選んだ上下に隣接する 2 つの画素電極 P_1 , P_2 及びその周辺構成要素の概略的構成並びにこれらに形成される容量及び等価容量を表している。

【 0 0 4 6 】

表示領域においては、表示領域の横方向にそれぞれ走る複数のゲートラインと表示領域の縦方向にそれぞれ走るソースラインとが平面図上互いに直交する形で配列されている。画素電極は画素毎に設けられており、この画素電極に対し個々に表示すべき画素情報に応じた電位付与をなすための T F T 2 1 が画素電極毎に設けられている。ゲートラインは T F T 2 1 のゲート電極が接続され、ソースラインは当該 T F T 2 1 のソース電極が接続される。T F T 2 1 のドレイン電極は、画素電極に接続される。ここに示した画素電極 P_1 , P_2 は、ゲートライン G_y , G_{y+1} , G_{y+2} とソースライン S_x , S_{x+1} とにより画定される 2 つの領域内に又は同領域に対応づけて形成される。表示領域においてはまた、各画素電極により形成される主たる容量 (C L C) とともに表示用に使われる蓄積容量 (いわゆるストレージキャパシタ) C_{cs} が画素毎に形成されており、これら蓄積容量は、表示領域の横方向に延在するバスライン (以下、 C_s ラインと呼ぶ) により共通接続されている。

【 0 0 4 7 】

かかる構成において、画素電極周辺には主として次の容量が形成されると考えられる。

C L C : 画素電極と共通電極 (図 1 に示される電極 2 5) との間に形成される容量

C g b n e x t : 画素電極と当該画素電極を駆動するためのゲートラインの前に配置されるゲートラインとの間に形成される容量

C c s : 上記蓄積容量 (画素電極と C_s ラインとの間に形成される容量)

C s - p i x e l L : 画素電極とその画素電極に接続される T F T のソース電極が接続されるソースライン (図 4 では画素電極の左側のソースライン) との間に形成される容量

$C_{s-pixelR}$: 画素電極と上記ソースライン以外の隣接ソースライン (図 4 では画素電極の右側のソースライン) との間に形成される容量

C_{sdTFT} : TFT のソース電極とドレイン電極との間に形成される容量

$C_{g-pixel}$: 画素電極とその画素電極に接続される TFT のゲート電極が接続されるゲートライン (図 4 では画素電極の下側のゲートライン) との間に形成される容量

C_{gdTFT} : TFT のゲート電極とドレイン電極との間に形成される容量

C_{dd} : 画素電極と当該画素電極を駆動するためのゲートラインの前と後に配置されるゲートラインにより駆動される (上下) 画素電極との間に形成される容量

【0048】

なお、図 4 では、画素電極 P 1 に関するものと画素電極 P 2 に関するものとを区別するための添え字を上記各容量を表す記号に付して示しているが、かかる区別を要しない場合は適宜その添え字を省略して説明する。

【0049】

上述した例に従えば、図 2 から分かるように、ソース信号 S_{sig} 及び共通電極信号 V_{com} は、フレームの開始から少なくとも 1 ライン分の一方の極性の駆動期間とこれに続く少なくとも 1 ライン分の他方の極性の駆動期間とを繰り返している。この連続する 2 つの期間のペアを以下ではブロックと称する。言い換えると、ソース信号 S_{sig} 及び共通電極信号 V_{com} は、フレームの開始からブロック毎に一方と他方の 2 つの極性を呈し、ブロック前半において一方極性、ブロック後半において他方極性をそれぞれ 3 ライン分又は 1 ライン分持続させている。また、第 1 フレームにおいてブロック前半及び後半に規定されたソース信号 S_{sig} 及び共通電極信号 V_{com} の極性は、第 2 フレームにおいてそれぞれ逆の極性とされる。 C_s ラインには、共通電極信号 V_{com} と同様にレベル変化する信号が供給される。これにより、CLC と同様の機能を蓄積容量 C_s にも持たせ、画素情報の保持能力を倍加させることが可能となる。

【0050】

[画素電極の電位変動の考え方]

図 4 に示されるような画素電極及びこれに形成される各種容量の関係を書き直すと、図 5 のようになる。例えば画素電極 P 1 には、上述した CLC, C_{gbnext} , C_{cs} , ..., C_{dd} の容量の一端が結合し、これら容量それぞれの他端においてはそれぞれの電位 V_{LC} , V_{gbnext} , V_{cs} , ..., V_{dd} が与えられることになる。画素電極 P 1 における電位を V_1 とすると、画素電極 P 1 の総電荷 Q_1 は、

$$Q_1 = CLC(V_1 - V_{LC}) + C_{gbnext}(V_1 - V_{gbnext}) + C_{cs}(V_1 - V_{cs}) + \dots + C_{dd}(V_1 - V_{dd})$$

... (1)

である。

【0051】

ここで、 V_{dd} が V_{dd}' に変化した場合、その時の画素電極 P 1 の総電荷を Q_1' とし、またこの変化に伴って画素電極 P 1 の電位が V_1' に変化したとすると、

$$Q_1' = CLC(V_1' - V_{LC}) + C_{gbnext}(V_1' - V_{gbnext}) + C_{cs}(V_1' - V_{cs}) + \dots + C_{dd}(V_1' - V_{dd}')$$

... (2)

となる。

【0052】

電荷保存則により、 $Q_1' = Q_1$ であり、 $Q_1' - Q_1 = 0$ である。したがって、上記 2 つの式から、

$$(CLC + C_{gbnext} + C_{cs} + \dots + C_{dd})(V_1' - V_1) + C_{dd}(V_{dd} - V_{dd}') = 0$$

... (3)

を導くことができる。

【0053】

よって、 C_{dd} の端部電位 V_{dd} が V_{dd}' に変化したときの画素電極 P 1 の電位変化分 V_1'

10

20

30

40

50

- V_1 は、

$$V_1' - V_1 = \{ C_{dd} / (C_{LC} + C_{gbnext} + C_{cs} + \dots + C_{dd}) \} \times (V_{dd}' - V_{dd})$$

... (4)

となる。

【0054】

ここで、 $C_{total} = C_{LC} + C_{gbnext} + C_{cs} + \dots + C_{dd}$ とおき、また、 $V_1' - V_1$ は V_{dd} が V_{dd}' に変化したことによる画素電極P1における所望の電圧 V_1 に対する変動分であるが、電圧ロスを V_{loss} とし、 $V_1' = V_1 - V_{loss}$ とおくと、

$$V_{loss} = - (V_1' - V_1) = (C_{dd} / C_{total}) \times (V_{dd} - V_{dd}')$$

... (5)

10

となる。このことから、外乱電位変動分に相当する $V_{dd} - V_{dd}'$ により画素電極P1が受ける電圧ロスは、 $V_{dd} - V_{dd}'$ に、画素電極P1に結合する容量の総和の値(C_{total})に対する当該外乱電位変動の生じた容量(C_{dd})の値の比(C_{dd} / C_{total})を乗ずることによって求められることが分かる。外乱電位変動を生じうる他の容量についての画素電極の電圧ロスも同様に求められる。

【0055】

なお、実際には1の画素電極に対し上下2つの隣接画素電極が存在するので、当該1の画素電極が当該隣接画素電極によりどのような電位変動の影響があるかを考えるときには、これら隣接画素電極両方の C_{dd} すなわち $2C_{dd}$ を反映させなければならない。したがって、上記式(5)は、

20

$$V_{loss} = - (V_1' - V_1) = (2C_{dd} / C_{total}) \times (V_{dd} - V_{dd}')$$

... (6)

と書き改められる。

【0056】

[C_{dd} の影響の考察]

図2の基礎技術による例では、ブロック内で偶数ラインの画素を駆動した後に奇数ラインの画素を駆動する形態が採られている。ここで画素を駆動するとは、当該画素の画素電極に表示すべき画素情報に応じた電位を付与することを意味し、以下では適宜、画素若しくは画素電極又はラインに情報を書き込む、又はこれらの書き込みをする、という表現又はこれに実質的に等しい表現を用いる。すなわち、基礎技術においては、ブロックにおいて先に偶数ラインに画素情報が書き込まれ、その後に奇数ラインに画素情報が書き込まれる。ブロック内における偶数ラインと奇数ラインとは互いに空間的に隣接しているので、ブロック内で先に書き込まれたライン(以下、先書ラインと言う。例えば第2, 第4, 第6ライン)の画素電極は、後に書き込まれるライン(以下、後書ラインと言う。例えば第1, 第3, 第5ライン)の書き込みによる C_{dd} 末端電位変化の影響を受け、当該影響を受けた状態は次のフレームで当該先書ラインに再度書き込みがなされるまで、したがってほぼ1フレームにわたり続くことになる。当該先書ラインの画素電極にとっては、その上下に隣接する後書ラインの画素電極に与えられた電位 V_d が $-V_d$ に変化したこと(図2参照)が外乱電位変動となり、これが C_{dd} を介して当該先書ラインの画素電極に電位変動をもたらすことになる。

30

40

【0057】

したがって、先書ラインの画素電極が受ける電圧ロス $V_{loss_Cdd_F}$ は、上記式(6)に倣い、

【数1】

$$V_{loss_Cdd_F} = \frac{2C_{dd}}{C_{total}} \times \{V_d - (-V_d)\}$$

... (7)

となる。

50

【 0 0 5 8 】

一方、後書ライン（第 1，第 3，第 5 ライン等）は、その書き込まれた所期の状態が次のフレームで先書ライン（第 2，第 4，第 6 ライン等）が新たに書き込まれるまで、したがってほぼ 1 フレームにわたって持続する。後書ラインは、同ブロック内の隣接する先書ラインが次のフレームにおいてブロック前半で書き込まれた時に当該先書ラインの書き込みによる Cdd 末端電位変化の影響を受けるものの、直後のブロック後半において直ぐに新たな画素情報が書き込まれるので、その影響はほぼ皆無に等しい。

【 0 0 5 9 】

したがって、後書ラインの画素電極が受ける電圧ロス $V_{loss_Cdd_L}$ は、

【 数 2 】

$$V_{loss_Cdd_L} = 0$$

10

… (8)

とすることができる。

【 0 0 6 0 】

[CsbpixelL/R，CsdTFT の影響の考察]

ソースラインの電位は、図 2 に示されるように、ブロック前半からブロック後半へ切り替わるときに V_d から $-V_d$ に変化し、また、ブロック後半から次のブロック前半へ切り替わるときに $-V_d$ から V_d に変化する。すなわち半ブロック毎にソースラインの電位が反転する。ソースラインは、全てのラインの書き込みに使われるので、一旦あるラインの書き込みがなされた後は、そのラインの画素電極は、次のフレームにおいて新たな書き込み（更新）がなされるまで、ソースラインの電位反転による CsbpixelL，CsbpixelR，CsdTFT の各末端電位変化の影響を受けることになる。ある 1 つの書き込んだラインの画素電極がどの程度影響を受けるかは、そのラインの更新までに当該ラインの極性とは異なる極性の電位が他のラインについてソースラインに何回掛けられたか、すなわち逆極性駆動回数に拠る。なお、逆極性駆動回数だけを考慮に入れるのは、当該ラインの極性と同一極性の電位が他のラインについてソースラインに掛けられる場合は、変動を受けた画素電極電位と共通電極 - ソースライン間電位差との差が小さいので、この場合による画素電極における電荷移動は極めて少ないと考えられるからである。

20

【 0 0 6 1 】

30

この点を考えるために、図 6 を参照する。図 6 は図 2 の例と同じ基礎技術による駆動形態を第 1 及び第 2 フレームの双方につきそれぞれ表形式で示したものである。左端の 1 から 32 までの行番号は表示領域において空間的に配されるライン番号を示し、上端には半ブロック毎のライン番号を示しており、縦に「2，4，6」，「1，3，5」，「8，10，12」，…で示される半ブロックの順に（図の左から右へ）時系列上半ブロック及びブロックが遷移していくことを示し、半ブロック内で示されたライン番号を上から下へ迎えることによりラインの選択順が分かる。一方極性駆動期間を担う前半ブロックと他方駆動極性駆動期間を担う後半ブロックとの境界は点線で示され、ブロック間境界は実線で示されている。選択されるラインに対応する表の欄には、該当の駆動極性に対応する種類の斜線にてハッチングが施されており、当該選択行が空間的に何処に位置するか、どちらの極性で駆動されるかが視覚的に分かるようになっている。

40

【 0 0 6 2 】

先ず、先書ラインの画素電極がソースラインの電位変化に対して受ける影響を考える。先書ラインは本例では偶数ラインである。図 6 を参照して偶数ラインを要素とする半ブロック「14，16，18」を代表例とすると、半ブロック単位でみたときには、この半ブロックに対しては、その次の半ブロック「13，15，17」などの奇数ラインを要素とする半ブロックのラインが書き込まれるときに逆極性の電位がソースラインに掛けられ、他の偶数ラインを要素とする半ブロックのラインが書き込まれるときには同極性の電位がソースラインに掛けられる。図 6 はこの様子を「逆」，「同」なる語で示しており、第 2 フレームにおいて同じ半ブロック「14，16，18」が到来する（したがってこの半ブ

50

ロックのラインが更新される)までに、6つの半ブロックについての逆極性駆動がなされることが分かる。このうち、フレーム内で最終の半ブロックは1ラインしか含まないので、これらより、 $5 \times 3 + 1 \times 1 = 16$ で、逆極性駆動回数は16ラインであることが分かる。これは、表示に用いられる全ライン数(本例では32)の半分に等しい。但し、一般には全ライン数は偶数とは限らないので、全ライン数をNとしたときに $\text{Int}(N/2)$ の値が逆極性駆動の回数に相当するとみなすことにしている。ここで用いた関数 $\text{Int}()$ は引数の値の整数部のみを答えとして導くものである。

【0063】

かかる計算は、図6に示されるような第1フレームの当該半ブロック直後から第2フレームの同半ブロック直前までの期間 Q_f において半フレーム単位で逆極性駆動回数を求めるものであるが、正確な回数を求めるにはこれに加え第2フレームにおける当該半ブロックにおける更新時の駆動を考慮に入れなければならない。第2フレームにおける半ブロック「14, 16, 18」の各ラインの画素電極は、第1フレームにおけるものとは異なる極性でソースラインから電位が順次掛けられる。第2フレームの当該半ブロック内では、第14ラインが先ず逆極性(-)にて書き込まれるが、この時第16及び第18ラインは依然として同極性のままである。この様子が図7に示されている。この書き込みは、第14ラインにとっては更新すなわち新しい画素情報による書き込みなので、対応の画素電極に所望の電位を掛けるものであって当該画素電極の電位エラーにはならない。しかしながら、第16及び第18ラインとしてはこの第14ラインが最初に逆極性になったことにより、この時点で第14ラインよりも1回分多く逆極性の電位がソースラインに印加されたことによる影響を受けることになる。

【0064】

また、その後図8に示されるように第16ラインが逆極性(-)にて書き込まれるが、この時も第18ラインは依然として同極性のままである。このとき第16ラインにとっては更新であり、電位エラーには至らないが、第18ラインとしてはこの第16ラインが先に逆極性になったことにより、この時点で第14ラインよりも2回分、第16ラインよりも1回分多く逆極性の電位がソースラインに印加されたことによる影響を受けることになる。

【0065】

したがって、図9に示されるように第18ラインが第1フレームとは逆の極性(-)で書き込まれ当該半ブロックの更新が完了するまでに、すなわち当該半ブロックの更新期間中に当該3つのラインには逆極性駆動回数に違いが出ることになる。結局、第14ラインについては上記期間 Q_f における逆極性駆動回数の値そのものであるが、第16ラインについては1、第18ラインについては2を当該値に加えて得られる数を逆極性駆動回数としなければならない。半ブロック内で選択されるラインの順番をLで表すと、L-1の分だけ逆極性駆動回数が増えることになる。

【0066】

以上の考察により、先書ラインの画素電極が受ける電圧ロス $V_{\text{loss_Csb_F}}$ は、

【数3】

$$V_{\text{loss_Csb_F}} = \frac{1}{N} \left\{ (L-1) \times \frac{C_{\text{sbpixel}}}{C_{\text{total}}} + \text{Int}\left(\frac{N}{2}\right) \times \frac{C_{\text{sbpixel}}}{C_{\text{total}}} \right\} \times \{V_d - (-V_d)\}$$

… (9)

となる。なお、 $C_{\text{sbpixel}} = C_{\text{s-pixelL}} + C_{\text{s-pixelR}} + C_{\text{sdTFT}}$ であり、式中、 $1/N$ を乗じているのは、上記逆極性駆動回数を逆極性駆動の状況におかれる確率として扱うためである。

【0067】

次に、後書ラインの画素電極がソースラインの電位変化に対して受ける影響を考える。後書ラインは本例では奇数ラインである。図6を参照して今度は奇数ラインを要素とする

半ブロック「1, 3, 5」を代表例とすると、この半ブロックに対しては、その次の半ブロック「8, 10, 12」などの偶数ラインを要素とする半ブロックのラインが書き込まれるときに逆極性の電位がソースラインに掛けられ、他の奇数ラインを要素とする半ブロックのラインが書き込まれるときには同極性の電位がソースラインに掛けられる。上述と同様に、第2フレームにおいて同じ半ブロック「1, 3, 5」が更新されるまでに、5つの半ブロックについての逆極性駆動がなされることが分かる。このうち、フレーム内の最終の半ブロックは1ラインしか含まないので、これらより、 $4 \times 3 + 1 \times 1 = 13$ で、逆極性駆動回数は13ラインに相当する。これは、上記「先書ライン」の場合より3つ少ない。その理由は、第2フレームでは第1フレームに対して全画素が極性を変えて駆動されるので、図6に示されるように、第1フレームの当該半ブロック直後から第2フレームの当該半ブロック直前までの期間Q1において第2フレームが同極性の駆動状態から始まるからである。したがって、Mを半ブロック内のライン数（但し、フレーム内最終ブロックの例外を除く）とすると、当該期間Q1においては、 $Int(N/2 - M)$ の値が逆極性駆動の回数に相当するとみなされる。

10

【0068】

そして上述と同様、正確な回数を求めるため、第2フレームにおける当該半ブロックの更新期間中の当該3つのラインの逆極性駆動回数に違いが考慮される。かかる違いについて、同じように半ブロック内で選択されるラインの順番を表したLを用いることができる。

【0069】

20

以上の考察により、後書きラインの画素電極が受ける電圧ロス $V_{loss_Csb_L}$ は、

【数4】

$$V_{loss_Csb_L} = \frac{1}{N} \left\{ (L-1) \times \frac{C_{sbpixel}}{C_{total}} + Int\left(\frac{N}{2} - M\right) \times \frac{C_{sbpixel}}{C_{total}} \right\} \times \{V_d - (-V_d)\}$$

… (10)

と推定することができる。

【0070】

30

[Cgb-pixel, CgdTFT, Cgbnextの影響の考察]

ゲートラインの電位は、基本的にはTFTをオフとするためのレベルとTFTをオンとするためのレベルとの間で変化する。図2から推察されるように、ゲートラインに供給されるゲート信号は1Hの期間内でアクティブすなわちオンレベルとなるものであり、この短い期間のオンレベル変化を呈した後は次のフレームの対応の時期が到来するまで直流電圧的に長くオフレベルが持続する。一方、画素電圧の基準電位は共通電極電位なので、直流電圧が画素電極に所期電位からの電位変動をもたらす外乱電位変動を考えるとときには、共通電極に印加される電位の変動を考えるべきである。すなわち、共通電極の電位が V_c と0との間で振れるのに応じて変動するゲートラインの電位を考えると、ゲートラインは、当該共通電極電位の反転周期（本例では3H）毎に $V_c/2$ と $-V_c/2$ との間で反転変動するものとみなすことができる。ゲートラインは、画素電極とCgb-pixel, CgdTFT, Cgbnextを介して結合しているので、一旦あるラインの書き込みがなされた後は、そのラインの画素電極は、次のフレームにおいて新たな書き込みがなされるまで、かかるゲートライン電位反転によるCgb-pixel, CgdTFT, Cgbnextの各末端電位変化の影響を受けることになる。ある1つの書き込んだラインがどの程度影響を受けるかは、主として、その更新までに当該ライン書き込み時の共通電極の極性とは異なる極性の電位が共通電極から何回掛けられたかに拠る。

40

【0071】

この回数は、上述した逆極性駆動回数と同じものであり、また他の点についても同様の考え方で総合すると、先書及び後書ラインの画素電極がゲートライン電位変動により受ける電圧ロス $V_{loss_Csb_F}$, $V_{loss_Csb_L}$ は、

50

【数 5】

$$V_{loss_Cgb_F} = \frac{1}{N} \left\{ (L-1) \times \frac{C_{gbpixel} + C_{gbnext}}{C_{total}} + \text{Int} \left(\frac{N}{2} \right) \times \frac{C_{gbpixel} + C_{gbnext}}{C_{total}} \right\} \times V_c \quad \dots (11)$$

【数 6】

$$V_{loss_Cgb_L} = \frac{1}{N} \left\{ (L-1) \times \frac{C_{gbpixel} + C_{gbnext}}{C_{total}} + \text{Int} \left(\frac{N}{2} - M \right) \times \frac{C_{gbpixel} + C_{gbnext}}{C_{total}} \right\} \times V_c \quad \dots (12)$$

10

となる。ここで、各式において乗ぜられている V_c は、 $V_c / 2 - (-V_c / 2)$ の結果である。

【0072】

上述した各考察から、先書ラインの画素電極と後書ラインの画素電極とが所望の電位 V_d から変動し最終的に収束する電圧 V_{actual_F} 、 V_{actual_L} は、次のようになる。

【数 7】

$$\begin{aligned} V_{actual_F} &= V_d - V_{loss_Cdd_F} - V_{loss_Csb_F} - V_{loss_Cgb_F} \\ &= V_d - \frac{2C_{dd}}{C_{total}} \times 2V_d - \frac{1}{N} \left\{ (L-1) \times \frac{C_{sbpixel}}{C_{total}} + \text{Int} \left(\frac{N}{2} \right) \times \frac{C_{sbpixel}}{C_{total}} \right\} \times 2V_d \\ &\quad - \frac{1}{N} \left\{ (L-1) \times \frac{C_{gbpixel} + C_{gbnext}}{C_{total}} + \text{Int} \left(\frac{N}{2} \right) \times \frac{C_{gbpixel} + C_{gbnext}}{C_{total}} \right\} \times V_c \quad \dots (13) \end{aligned}$$

20

【数 8】

$$\begin{aligned} V_{actual_L} &= V_d - V_{loss_Cdd_L} - V_{loss_Csb_L} - V_{loss_Cgb_L} \\ &= V_d - \frac{1}{N} \left\{ (L-1) \times \frac{C_{sbpixel}}{C_{total}} + \text{Int} \left(\frac{N}{2} - M \right) \times \frac{C_{sbpixel}}{C_{total}} \right\} \times 2V_d \\ &\quad - \frac{1}{N} \left\{ (L-1) \times \frac{C_{gbpixel} + C_{gbnext}}{C_{total}} + \text{Int} \left(\frac{N}{2} - M \right) \times \frac{C_{gbpixel} + C_{gbnext}}{C_{total}} \right\} \times V_c \quad \dots (14) \end{aligned}$$

30

【0073】

[アーチファクトの原因]

1. ライン間アーチファクト

40

上記式(13)、(14)は、先書ラインと後書ラインの画素電極の実際の電圧を表しており、これらに値の差があればその差がライン毎の輝度の差すなわちライン間アーチファクトを示すことになる。これを $V_{loss}(LbyL)$ とおくと、

【数 9】

$$\begin{aligned}
 V_{loss}(LbyL) &= V_{actual_F} - V_{actual_L} \\
 &= \frac{2C_{dd}}{C_{total}} \times 2V_d + \frac{1}{N} \left\{ \text{Int} \left(\frac{N}{2} \right) - \text{Int} \left(\frac{N}{2} - M \right) \right\} \times \left(\frac{C_{sbpixel}}{C_{total}} \times 2V_d + \frac{C_{gbpixel} + C_{gbnext}}{C_{total}} \times V_c \right) \\
 &\dots (15)
 \end{aligned}$$

となる。

【0074】

10

上記式(7)及び(8)からも分かるように、先書ラインの画素電極の電位変動は、後書ラインの画素電極の電位変動よりも大きい。したがって、同じ輝度レベルで表示させようとしても、先書ラインの画素と後書ラインの画素とでは表示される輝度レベルに差が生じ、全画面グレー表示の場合には先書ラインの画素が後書ラインの画素よりも明るくなってしまうことになる。また、このように先書ラインの画素電極の電位変動が相対的に大きい点は、上記式(9)と(10)の関係、上記式(11)と(12)との関係からも分かる。何故なら、式(10)、(12)における要素 $\text{Int}(N/2 - M)$ の値は、式(9)、(11)の対応する要素の値よりも小さくなることが明らかであり、式(10)、(12)によって得られる値がそれぞれ式(9)、(11)によって得られる値よりも小さいからである。

20

【0075】

かくして基礎技術による交流駆動では、画面全域にわたり同じ輝度レベルで表示させようとしても、ライン毎に明暗の差が出るパターンが現れることになる。図10において実線で示される特性は、この様子を示しており、先書ライン(偶数ライン)は後書ライン(奇数ライン)よりも所望輝度(V_d に対応する輝度)から大きく外れた輝度を呈する。

【0076】

2. ブロック内アーチファクト

ブロック内アーチファクトは、ブロックに対応するラインの表示画像において輝度のばらつきを生じさせ、ブロック毎にそのような輝度のばらつきを生じさせる要素に起因する。

30

【0077】

上記式(13)及び(14)を見ると、この要素は $(L - 1)$ であることが分かる。すなわち、 L はブロック内で選択されるラインの順番を表すものであり、この数が大きくなるにつれ(したがって遅く書き込まれるラインほど)、両式ともに所望電位 V_d から外れる値となる。

【0078】

より具体的には、ブロック内の輝度変化量を表す成分は、式(13)及び式(14)の $(L - 1)$ に係る要素に対応する電圧変動分であるから、これを $V_{loss}(\text{Block})$ とおくと、次式のようになる。

【数 10】

40

$$\begin{aligned}
 V_{loss}(\text{Block}) &= \frac{1}{N} \left\{ (L-1) \times \frac{C_{sbpixel}}{C_{total}} \right\} \times 2V_d + \frac{1}{N} \left\{ (L-1) \times \frac{C_{gbpixel} + C_{gbnext}}{C_{total}} \right\} \times V_c \\
 &\dots (16)
 \end{aligned}$$

【0079】

かくして基礎技術(図6)による交流駆動では、画面全域にわたり同じ輝度レベルで表示させる場合、図10に示されるライン間アーチファクト成分を除去したとしても、概して図11に示されるようにラインの並びに対しブロック毎に最小値から最大値へ漸増する

50

輝度変化が生じることとなる。この図から、全ラインを同一の輝度で表示しようとした場合にブロック内において遅く選択されたラインほど輝度が高くなり、本例の如き一貫した昇順のライン選択では、画面上空間的に垂直方向にブロック単位で漸増することが分かる。

【 0 0 8 0 】

ライン間アーチファクトを解消する技術自体は、特開 2 0 0 1 - 1 0 8 9 6 4 に記載されている。この従来技術は、例えば図 1 0 に示される高低交番レベルのパターンに対応する偏倚電圧を予め各ソースラインに掛けておくか、或いはソースラインへ供給される信号に当該偏倚電圧を重畳させることにより、ライン間の電位差を消失させアーチファクトを解消している。

10

【 0 0 8 1 】

なお、実際には、ライン間アーチファクトとブロック内アーチファクトとが合成されたアーチファクトが現れうるものであり、本発明においては個々のアーチファクトに留まらずこの合成アーチファクトの解消にも取り組んだものである。実施例 1 ないし 3 は、特開 2 0 0 1 - 1 0 8 9 6 4 に記載の技術に拠らないライン間アーチファクトの対策であり、実施例 4 ないし 9 は、実施例 1 ないし 3 の特徴を用いたブロック内アーチファクトの対策である。実施例 4 ないし 9 は、ここでは実施例 1 ないし 3 のライン間アーチファクト対策をも同時になすものとしているが、特開 2 0 0 1 - 1 0 8 9 6 4 に記載のライン間アーチファクト対策に代えてもよい。また実施例 4 ないし 9 に特有の技術事項自体は、ライン間アーチファクト対策の有無に拘わらず実現可能なものである。以下、上記考察に基づいて

20

【 実施例 1 】

【 0 0 8 2 】

ライン間アーチファクト対策の実施例について、図 1 2 を参照して説明する。

【 0 0 8 3 】

図 1 2 は、図 2 と同様の様式にて本実施例による駆動回路 1 0 によって行われる交流駆動の態様を示している。これによれば、第 1 フレームにおけるライン選択順及び極性の付与の仕方は図 2 の基礎技術の例と同じであるが、第 2 フレームにおいては異なる。すなわち、図 2 では第 2 フレームにおいても第 1 フレームと同じライン選択順であったが、本実施例では第 1 フレームで先書ラインとされていたものを第 2 フレームで後書ラインに替えるようにしている。図 1 2 から分かるように、第 1 フレームでは先頭ブロックにおいて第 2 , 第 4 , 第 6 ラインの次に第 1 , 第 3 , 第 5 ラインを選択しているのに対し、第 2 フレームでは先頭ブロックにおいて第 1 , 第 3 , 第 5 ラインの次に第 2 , 第 4 , 第 6 ラインを選択している。他のブロックにおいても同様に、第 1 フレームでは偶数ラインを先書ライン、奇数ラインを後書ラインとしているものを、第 2 フレームでは逆に奇数ラインを先書ライン、偶数ラインを後書ラインとしている。換言すれば、第 1 フレームのブロック前半とブロック後半の順序を第 2 フレームで逆に行っている。

30

【 0 0 8 4 】

これにより、第 1 フレームで相対的に大きな電圧ロスの生じた先書ラインを第 2 フレームで相対的に小さな電圧ロスで済む後書ラインとして扱うことにより、第 1 フレームと第 2 フレームとの間に各ラインの電圧ロスの差により生じる輝度差を相殺させるような関係を持たせ総合的な電圧ロスの差により生じる視覚的不具合を低減することができる。第 1 フレームでの後書ラインについても、これとは逆の関係になるが、同様に電圧ロスの差により生じる視覚的不具合の相殺的效果が奏される。

40

【 0 0 8 5 】

かくして当該グレー表示時には、概して第 1 フレームでは図 1 0 に示されるような輝度パターンの画像とされ、第 2 フレームでは図 1 3 に示されるような反転輝度パターンの画像とされることにより、各ラインの平均表示輝度が概ね等しくなり、ライン間アーチファクトを消失させることが可能となる。

【 0 0 8 6 】

50

図 1 4 は、図 6 と同様の表形式にて本実施例による動作態様を示している。

【実施例 2】

【0087】

本実施例は、上記実施例 1 を改良したものである。実施例 1 では、先書ラインと後書ラインとをフレームが替わる度に交換するものであったが、図 1 4 に示される内容を検討すると、一部の箇所において電圧ロスの低減効果が不十分になることが判明した。

【0088】

いま、第 2 フレームの第 6 ラインと第 7 ラインとに着目すると、第 6 ラインは後書ラインとして駆動された後に第 7 ラインが先書ラインとして駆動される。このとき第 6 ラインは第 7 ラインに隣接しているので、第 7 ラインが書き込まれた時点で第 6 ラインが影響を受ける。すなわち第 7 ラインの画素電極は第 6 ラインの画素電極と Cdd を介して結合されているので第 6 ラインの画素電極に掛けられた所望電位は第 7 ラインの書き込みにより変動してしまうのである。第 6 ラインを後書ラインとして扱う理由は第 6 ラインが第 1 フレームで先書ラインとして扱われた結果大きな電圧ロスを生じたので第 2 フレームで電圧ロスの小さい後書ラインとして扱うためであるにもかかわらず、隣接する第 7 ラインの書き込みによって第 2 フレームでも大きな電圧ロスが生じているのである。したがって、第 6 ラインの画素電極は、どちらのフレームにおいても大きな電圧ロスを生じてしまい、これに対応する画素が局部的に著しく異なる輝度の表示をもたらす可能性がある。同様のことが、第 1 2 及び第 1 3 ライン、第 1 8 及び第 1 9 ライン、第 2 4 及び第 2 5 ライン、並びに第 3 0 及び第 3 1 ラインにおいても当てはまる。

【0089】

これに対処すべくなされたのが本実施例であり、図 1 5 はその動作態様を示している。本実施例においては、第 2 フレームにおける第 6 ラインの駆動の時期をずらすようにしている。詳述すると、第 2 フレームの先頭ブロックにおいて第 6 ラインの選択をせず、次のブロックで第 6 ラインを選択し、第 6 ラインの選択の後にはこれに続く偶数ラインを順次選択するようにしている。したがって、第 2 フレームの先頭ブロックの後半は 2 ラインしか選択しないことになる。

【0090】

このようにすることにより、第 1 フレームにおいて先書ラインとして扱われたラインは全て、相対的に電圧ロスの少ない条件又は状況の下で後書ラインとして扱われるので、上述したような局部的に電圧ロスが倍加するような問題が解消されるのである。

【0091】

同じ問題の解決手段として、図 1 5 の例を図 1 6 に示すように改変してもよい。図 1 6 は、当該改変例を示すものであり、第 2 フレームの先頭ブロックの後半における最初の後書ライン（偶数ライン）の選択タイミングをダミー（D）として扱い、その後の後書ラインを規定数に従い各ブロックに順次割り当てていくというものである。例えば実効表示領域のから外れた箇所に、第 1 ラインに隣接する予備ラインを設け、この予備ラインを第 5 ラインの後に選択し所定の極性で駆動する。本例では、第 2 フレームにおいて正極性駆動が行われる第 1 ラインに隣接するので、電圧ロスを一律に扱う理由から当該予備ラインは負極性で駆動するのが望ましい。

【0092】

或いは、単に第 5 ラインの選択タイミングと第 2 ラインの選択タイミングとの間に 1 ライン分の時間間隔をおき、上記予備ラインによるものと等価な動作をするようにしてもよい。

【実施例 3】

【0093】

本実施例は、実施例 1 及び 2 をさらに改良するものであり、最初にその改良のポイントにつき図 1 7 を参照する。

【0094】

図 1 7 は、実施例 1 による動作において第 1 及び第 2 フレームにわたる各ラインの呈す

10

20

30

40

50

る極性分布状態を表したものである。各欄に付された「+」及び「-」はそれぞれ正極性及び負極性の駆動極性を示し、斜線が付されている欄はこのタイミングで極性反転し当該欄で示された極性での駆動が開始されていることを示している。

【0095】

いずれかの斜線の付された箇所すなわち極性反転が起きた状態を除き、第1及び第2フレームにおいて正極性の状態となるライン期間(H)の数と負極性の状態となるライン期間(H)の数を、各ラインにつき調べると、図16の右端のような値が得られる。第1ラインについてみると、「+」を呈するライン期間は、3ライン構成の半ブロックが10個分で、1ライン構成の半ブロックが2つ分あり、さらに「+」駆動の第1ラインが属する半ブロックに属するラインが2つ(第2フレームの第3及び第5ライン)分あるので、 $3 \times 10 + 1 \times 2 + 2$ より34Hに相当する。「-」を呈するライン期間は、3ライン構成の半ブロックが8個分で、1ライン構成の半ブロックが2つ分あり、さらに「-」駆動の第1ラインが属する半ブロックに属するラインが2つ(第1フレームの第3及び第5ライン)分あるので、 $3 \times 8 + 1 \times 2 + 2$ より28Hに相当する。したがって、第1ラインについては、第1及び第2フレームにおいて34Hの正極性駆動状態と28Hの負極性駆動状態とを呈するので、これらライン期間数の差 Δ は6H分となり、負極性駆動状態よりも正極性駆動状態が6H分長く偏在することが分かる。第2ライン以降の他のラインについても同様の計算をすることにより、全てのラインについての駆動極性の偏りを見い出すことができる。

【0096】

図17の右側に示した値から、第1及び第2フレームにおいてどのラインも正極性駆動状態が優勢になり、所定の基準電位から正極性へずれたものとなることが分かる。実施例1においては第1フレームと第2フレームとの交互の繰り返しにより画像表示動作を行うものであるから、この動作を続けると各ラインひいては表示領域全体が基準電位から正極性の無視できない値に近づく傾向(電位オフセット)が続き、結果として液晶に直流電圧が掛かることになり、共通電極信号の電圧値の調整を必要としたり表示階調の中心がずれるなどの不具合が起きる可能性があり、好ましくない。

【0097】

本実施例においては、このような問題を解消するように第3及び第4フレームを付加するようにしており、この駆動形態を図18に示す。

【0098】

図18は、図17(図14)の第1及び第2フレームに続いて呈される第3及び第4フレームの駆動形態を示しており、本実施例はこれら第1ないし第4フレームの順次の繰り返しを行うことを指向するものである。この駆動形態では、第3フレームにおいて、図17における第2フレームの選択ライン順を維持しかつ駆動極性を反転させ、第4フレームにおいて、図17における第1フレームの選択ライン順を維持しかつ駆動極性を反転させている。

【0099】

この図18においても右端に極性の偏倚を表す各値を示している。これより、これらの値が図17に示される各対応の値と「+」と「-」で反対になっており、また図17の Δ の値の符号が反転したものとなることが分かる。したがって、図18の Δ の値と図17に示される各対応の値とがライン毎に足し合わされたときには全て丁度0になる。よって、第1及び第2フレームの後に第3及び第4フレームを後続させ、これら4つのフレームにより繰り返し画像表示動作を行うことにより、電位オフセットのない駆動が実現でき、上述したような問題を回避することができる。

【0100】

(他の形態)

図19及び図20には、同様の目的で構成された本実施例の他の形態を示している。この形態は、図15に示した実施例2を基礎としており、図19(図15)に示される第1及び第2フレームの後に図20に示される第3及び第4フレームが続き、これら第1ない

10

20

30

40

50

し第4フレームの順次の繰り返しを行うものとしている。そして、第3フレームにおいて、図19における第2フレームの選択ライン順を維持しかつ駆動極性を反転させ、第4フレームにおいて、図19における第1フレームの選択ライン順を維持しかつ駆動極性を反転させている。

【0101】

この形態においては、例えば第1及び第2フレームにおける第6ラインについて特異な偏倚の値 $\Delta = 12$ を呈するが、第3及び第4フレームにおける第6ラインについて $\Delta = -12$ となっており、図19の Δ の値と図20に示される各対応の値とが足し合わされたときには丁度0になることには変わりはない。よって、この形態でも、第1ないし第4フレームの順次繰り返しにより、上記の形態と同様の作用効果が得られることになる。

10

【0102】

なお、同様の趣旨により、図16に示した例を基礎とした第3及び第4フレームを有する構成を導くことができることは明らかである。また、ここでは第3フレームに第2フレームのライン選択順及び反転駆動極性を担わせ、第4フレームに第1フレームのライン選択順及び反転駆動極性を担わせているが、第1及び第2フレームにおいて呈される図17や図19に示されるような駆動極性の分布パターンに対しこれの反転パターンを有するようなフレームを付加すればよい。すなわち、第4フレームに第2フレームと同じライン選択順及び反転した駆動極性を担わせ、第3フレームに第1フレームと同じライン選択順及び反転した駆動極性を担わせてもよいし、最初の所定長の期間にわたり第1及び第2フレームの交互動作の後に同じ所定長の期間に適切な第3及び第4フレームの交互動作をなすようにしてもよい。

20

【0103】

かくして、第1及び第2フレームの各ラインについての駆動極性の偏りを相殺するような偏りを有する付加フレームを設けたことにより、電位オフセットのない駆動が実現でき、上述したような問題を回避することができる。

【実施例4】

【0104】

ブロック内アーチファクト対策の実施例の1つは、画面全域をあるグレー表示とする場合に図21に示されるような輝度変化を呈するように駆動しようとするものである。図11に示されるような上記基礎技術による駆動により得られる輝度変化は、ブロックとブロックとの間に正のピークから負のピークへの著しい輝度の変化がある（例えば第6ラインと第7ラインとの間）。このような輝度の変化を小さくして図21に示されるように正及び負のピークから徐々に変化させることにより、視覚的にブロック内アーチファクトが目立たなくなる。

30

【0105】

図22は、かかる趣旨に基づいて構成された本実施例による駆動形態を示している。図22は、図6等と同様の様式によるものである。本実施例は、全ラインを同一の輝度で表示しようとした場合にブロック内において遅く選択されたラインほど輝度が高くなる（図11参照）というこれまでの考察に基づき、図15のような全ブロックにおいて昇順のライン選択をする規定を崩し、図21のような輝度変化を呈するようラインの選択順をブロック毎に昇順と降順とで切り替えたものである。

40

【0106】

より詳しくは、図22に示されるように、第1ブロックでは下向き矢印に従って昇順のライン選択がなされ、第2ブロックでは上向き矢印に従って降順のライン選択がなされ、以降、ブロック毎に交互に昇順と降順とを繰り返すようにしている。これにより、あるブロックで遅く選択されたラインに空間的に近いラインは、次のブロックにおいてより遅く選択され、また、あるブロックでより早く選択されたラインに空間的に近いラインは、次のブロックにおいてより早く選択される。したがって、ブロック間で輝度の差の少ない隣接ラインの選択が可能となり、結果的に図21のような輝度変化特性を得ることができる。

50

【 0 1 0 7 】

本実施例においては、ブロック内のライン選択順序が昇順か降順のどちらかとしているが、ブロック内で先行する半ブロックでは昇順及び降順の一方とし、後続する半ブロックではその他方とすることも可能である。

【 0 1 0 8 】

なお、本実施例においても、既述の如き電位オフセットに対処する趣旨で適正な第 3 及び第 4 フレーム又は必要な追加フレームを付加することができ、その場合はさらに効果的な形態が実現される。以下の実施例についても同様である。

【 実施例 5 】

【 0 1 0 9 】

ブロック内アーチファクト対策の実施例のもう 1 つは、画面全域をあるグレー表示とする場合に図 2 3 に示されるような輝度変化を呈するように駆動しようとするものである。図 2 3 において実線で示される輝度変化（これは図 1 1 に示されるものと同じ）を第 1 フレームにおいて呈せしめ、同図において点線で示される輝度変化を第 2 フレームにおいて呈せしめるものである。ここでは、第 1 フレームにおいて輝度の最小値を呈するラインが第 2 フレームにおいては最大値を呈するように、第 1 フレームにおける輝度の最大値を呈するラインが第 2 フレームにおいては最小値を呈するように規定される。また、第 2 フレームにおける輝度変化は、第 1 フレームとは逆に、最大値から最小値に徐々に小さくなる傾斜を有するように規定される。このようにすることにより、視覚的にブロック内アーチファクトが目立たなくなる。

【 0 1 1 0 】

図 2 4 は、かかる趣旨に基づいて構成された本実施例による駆動形態を示している。本実施例も、全ラインを同一の輝度で表示しようとした場合にブロック内において遅く選択されたラインほど輝度が高くなる（図 1 1 参照）という上述の考察に基づいている。図 2 4 に示されるように、第 1 フレームでは図 1 4（実施例 1）と同じく全てのブロックにおいて昇順のライン選択がなされるが、第 2 フレームでは全てのブロックにおいて降順のライン選択がなされる。これにより、第 1 フレームにおいて最大及び最小輝度を呈するラインを第 2 フレームにおいてそれぞれ最小及び最大輝度を呈するラインとするとともに、第 1 フレームにおける最小輝度から最大輝度への傾斜を第 2 フレームにおいて最大輝度から最小輝度への傾斜に変えることができ、結果的に図 2 3 のような輝度変化特性を得ることができる。

【 実施例 6 】

【 0 1 1 1 】

ブロック内アーチファクト対策の実施例の他の 1 つは、画面全域をあるグレー表示とする場合に図 2 5 に示されるような輝度変化を呈するように駆動しようとするものである。図 2 5 において実線で示される輝度変化（これは図 2 1 に示されるものと同じ）を第 1 フレームにおいて呈せしめ、同図において点線で示される輝度変化を第 2 フレームにおいて呈せしめるものである。ここでは、概して図 2 1 に示される輝度変化パターンをフレーム毎に反転させようというものであり、第 1 フレームにおける輝度の最小値を呈するラインが第 2 フレームにおいては最大値を呈するように、第 1 フレームにおける輝度の最大値を呈するラインが第 2 フレームにおいては最小値を呈するように規定される。また、第 1 フレームにおける輝度変化と第 2 フレームにおける輝度変化とは、フレーム間に対応するラインにおいて傾斜が互いに逆極性となるように規定される。このようにすることにより、図 2 1 において説明した形態よりも、視覚的にブロック内アーチファクトが目立たなくなる。

【 0 1 1 2 】

図 2 6 は、かかる趣旨に基づいて構成された本実施例による駆動形態を示している。本実施例も、全ラインを同一の輝度で表示しようとした場合にブロック内において遅く選択されたラインほど輝度が高くなる（図 1 1 参照）という上述の考察に基づいている。図 2 6 に示されるように、第 1 フレームでは図 2 2（実施例 4）と同じくライン選択順がプロ

ック毎に交互に昇順と降順とを繰り返すが、第2フレームではその昇順と降順とを逆にしている。これにより、結果的に図25のような輝度変化特性を得ることができる。

【実施例7】

【0113】

さらに他の実施例は、画面全域をあるグレー表示とする場合に図27に示されるような輝度変化を呈するように駆動しようとするものである。図27において実線で示される輝度変化（これは図11に示されるものと同じ）を第1フレームにおいて呈せしめ、同図において点線で示される輝度変化を第2フレームにおいて呈せしめるものである。ここでは、第1フレームにおける輝度の最小値を呈するラインと最大値を呈するラインとの間の丁度中央のラインが第2フレームにおいて最大値を呈するように、図11の輝度変化パターンをシフトさせたような形に第2フレームが規定される。このようにすることにより、図11において説明した形態よりも、視覚的にブロック内アーチファクトが目立たなくなる。

10

【0114】

図28は、これを実現するための本実施例による駆動形態を示している。本実施例によれば、第1フレーム及び第2フレームともに図15（実施例2）と同様全てのブロックにおいて昇順のライン選択をなすが、第2フレームにおいて工夫が施されている。すなわち、第2フレームの先頭ブロックは、3つの奇数（先書）ラインと3つの偶数（後書）ラインとによる構成が崩され、2つの奇数ラインと1つの偶数ラインとにより構成されている。換言すれば、当該先頭ブロックを6つではなくその半分の3つのラインで構成している。これにより、次のブロックの構成ラインの選択パターンがシフトすることになり、当該次のブロックから輝度のピークを呈せしめることが可能となる。結果的に、図27のような輝度変化特性を得ることができる。

20

【実施例8】

【0115】

また、画面全域をあるグレー表示とする場合に図29に示されるような輝度変化を呈するように駆動する実施例にしてもよい。図29において実線で示される輝度変化（これは図21に示されるものと同じ）を第1フレームにおいて呈せしめ、同図において点線で示される輝度変化を第2フレームにおいて呈せしめるものである。ここでは、第1フレームにおける輝度の最小値を呈するラインと最大値を呈するラインとの間の大略中央に位置するラインが第2フレームにおいて最大値を呈するラインとなるように、図21の輝度変化パターンをシフトさせた形に規定される。このようにすることにより、図21において説明した形態よりも、視覚的にブロック内アーチファクトが目立たなくなる。

30

【0116】

図30は、これを実現するための本実施例による駆動形態を示している。本実施例は、図22の実施例4に基礎を置くが、上述した輝度変化パターンのシフトを実現するために、第2フレームにおいて降順のライン選択をなす先頭ブロックを形成するとともに、先頭ブロックの選択ライン数を少なくしている。そして、以降のブロックにおいて図22に示されるような昇順，降順，…のライン選択を続けるようにしている。これにより、図29のような輝度変化特性を得ることができることになる。

40

【実施例9】

【0117】

さらに、画面全域をあるグレー表示とする場合に図31に示されるような輝度変化を呈するように駆動する実施例にしてもよい。図31において実線で示される輝度変化（これは図11に示されるものと同じ）を第1フレームにおいて呈せしめ、同図において点線で示される輝度変化を第2フレームにおいて呈せしめるものである。ここでは、第1フレームにおける輝度変化の周期と第2フレームにおける輝度変化の周期とが異なり、輝度変化の傾斜も第1フレームと第2フレームとで逆極の関係になるように規定される。このようにすることにより、図11において説明した形態よりも、視覚的にブロック内アーチファクトが目立たなくなる。

50

【 0 1 1 8 】

図 3 2 は、これを実現するための本実施例による駆動形態を示している。本実施例は、図 2 4 の実施例 5 に基礎を置くが、第 2 フレームにおいては各ブロックを 2 つの奇数ライン（先書ライン）と 2 つの偶数ライン（後書ライン）とからなるものとし、各ブロックのライン選択をいずれも降順としている。これにより、図 3 1 のような輝度変化特性を得ることができることになる。本実施例によれば、第 1 フレームにおけるアーチファクトと第 2 フレームにおけるアーチファクトが攪拌された画像となり、個々のアーチファクトの視認性を低下させることができる。

【 0 1 1 9 】

図 3 1 及び図 3 2 の例では、第 1 フレームと第 2 フレームとの間で呈される輝度変化パターンの傾斜の関係が分かりづらいので、これを明瞭とするため、同様の趣旨で構成される図 3 3 及び図 3 4 に示される例を挙げる。この例は、第 1 フレームの各ブロックを 1 2 ライン構成とし第 2 フレームの各ブロックを 8 ライン構成としたものである。

【 0 1 2 0 】

なお、上記実施例及び改変例にさらに変更や追加を加えることは可能である。例えば、図 3 に示した交流駆動パターンは、図 3 5 に示されるようなドット間交流パターンに変えることもできる。また、上述においては、第 1 フレームの先頭ブロックにおいて最初に選択されるラインを正極性に駆動される偶数ラインとした例について説明したが、当該ラインは負極性に駆動されるようにしてもよいし、奇数ラインでもよいことは勿論である。また、フレーム期間やブロック期間、半ブロックにおいて選択されるライン数は例に挙げた数に限定されるものではないことは言うまでもない。

【 0 1 2 1 】

その上、上記実施例を実施するときには、行駆動手段としてのゲートドライバ 6 0 と液晶表示パネル間の接続方法は以下のように設計されることが好ましい。

【 0 1 2 2 】

図 3 6 は、ゲートドライバ 6 0 の構成と、その構成とパネル 2 0 のゲート線間の関係を示す。図 3 6 では、ゲートドライバ 6 0 は、シフトレジスタ 6 1 とシフトレジスタの出力を再配置するためのスイッチング部 6 2 を有している。シフトレジスタ 6 1 は、フロントエンド単位レジスタ 6 1 1 からテイルエンド単位レジスタ 6 1 3 2 までカスケード接続された複数の単位レジスタ（6 1 1 - 6 1 3 2）よりなり、フロントエンド単位レジスタ 6 1 1 側の意味のある出力（例えば、高電圧出力）が各水平走査期間に対して意味のある出力が表示パネルの行電極を活性化するとき、テイルエンド単位レジスタ 6 1 3 2 側に順次シフトされる。

【 0 1 2 3 】

上述の実施例のように、逐次シフト動作が行電極選択順序の実現に導くようにスイッチング部 6 2 により、単位レジスタの出力は表示パネルの行電極に接続される。例えば、図 1 2 の実施例では、第 1 フレームでは第 2、4、1、3、5・・・のラインが選択されると共に、図中の実線の矢印のように、第 1、2、3、4、5、6 の単位レジスタの出力が個別にラインにそれぞれ接続される。加えて、第 2 フレームでは、第 1 3 5 2 4 6 のラインがこの順で選択されると共に、図中の破線の矢印のように、第 1、2、3、4、5、6 の単位レジスタの出力が個別にラインにそれぞれ接続される。

【 0 1 2 4 】

そのようにすることにより、上記実施例によれば、単にシフトレジスタのシフト動作を一端側から他端側へ従来のように行えばゲート線を所望の順序で活性化させることができる。このことは、ゲートドライバ 6 0 の内部構成の必要な複雑化を防止してアーチファクトを軽減する。

【 0 1 2 5 】

スイッチング部 6 2 はよく知られたアナログスイッチアレイにより実現することができる。代替的には、フレーム毎には行選択パターンは切り換えられず、スイッチング部 6 2 は不要であり、所望の選択順序に適合した配線を持つ行電極にシフトレジスタ 6 1 の出力

を直接接続すれば十分である。

【0126】

加えて、上記実施例はシフトレジスタ61の出力をとゲート線を第1フレームと第2フレーム間で接続方法を切り換えるようなスイッチング部62を設けるように意図されていたが、代わりに第1フレーム用のシフトレジスタと第2フレーム用の他のシフトレジスタを設け、それぞれのシフトレジスタにはゲート線が対応するように固定的に接続され、一方に関連するフレーム中では一方が活性化され、他方は非動作となるような構成を採用するようにしても良い。

【0127】

また、上記各実施例では、液晶表示装置に用いられるマトリクス駆動回路について説明しているが、これに限らず、ここで説明したマトリクス駆動回路を用いることのできる表示装置であれば、そのようなものにも適宜適用することができることは勿論である。

【0128】

以上、本発明による代表的実施例を説明したが、本発明はこれらに限定されるものではなく、当業者であれば、添付請求項の範囲内で種々の改変例を見出すことができる。

【図面の簡単な説明】

【0129】

【図1】本発明の実施例によるマトリクス駆動回路の概略的構成を示すブロック図。

【図2】本発明の実施例の基礎技術によるマトリクス駆動回路の動作を説明するためのタイムチャート。

【図3】行間交流駆動形態を示す模式図。

【図4】隣接する画素電極及びその周辺の構成を示す回路図。

【図5】画素電極とこれに結合する容量の等価回路図。

【図6】基礎技術による駆動形態を説明するための図表。

【図7】基礎技術による駆動形態におけるライン更新時の最初の過程を示す図。

【図8】基礎技術による駆動形態におけるライン更新時の次の過程を示す図。

【図9】基礎技術による駆動形態におけるライン更新時の最後の過程を示す図。

【図10】基礎技術によって生じるライン間アーチファクトを説明するためのグラフ。

【図11】基礎技術によって生じるブロック内アーチファクトを説明するためのグラフ。

【図12】本発明の第1実施例によるマトリクス駆動回路の動作を説明するためのタイムチャート。

【図13】本発明の第1実施例における第2フレームにおいて呈されるライン番号対輝度特性を示すグラフ。

【図14】本発明の第1実施例による駆動形態を表す図表。

【図15】本発明の第2実施例による駆動形態を説明するための図表。

【図16】本発明の第2実施例の改変例による駆動形態を説明するための図表。

【図17】本発明の第3実施例による第1及び第2フレームにおける駆動形態を示す図表。

【図18】本発明の第3実施例による第3及び第4フレームにおける駆動形態を示す図表。

【図19】本発明の第3実施例の変形例による第1及び第2フレームにおける駆動形態を示す図表。

【図20】本発明の第3実施例の変形例による第3及び第4フレームにおける駆動形態を示す図表。

【図21】本発明の第4実施例によるライン番号対輝度特性を示すグラフ。

【図22】本発明の第4実施例による駆動形態を示す図表。

【図23】本発明の第5実施例によるライン番号対輝度特性を示すグラフ。

【図24】本発明の第5実施例による駆動形態を示す図表。

【図25】本発明の第6実施例によるライン番号対輝度特性を示すグラフ。

【図26】本発明の第6実施例による駆動形態を示す図表。

【図 27】本発明の第 7 実施例によるライン番号対輝度特性を示すグラフ。

【図 28】本発明の第 7 実施例による駆動形態を示す図表。

【図 29】本発明の第 8 実施例によるライン番号対輝度特性を示すグラフ。

【図 30】本発明の第 8 実施例による駆動形態を示す図表。

【図 31】本発明の第 8 実施例によるライン番号対輝度特性を示すグラフ。

【図 32】本発明の第 8 実施例による駆動形態を示す図表。

【図 33】本発明の第 9 実施例による他の形態におけるライン番号対輝度特性を示すグラフ。

【図 34】本発明の第 9 実施例による他の形態における駆動形態を示す図表。

【図 35】ドット間交流駆動形態を示す模式図。

【図 36】本発明の変形例によるゲートドライバの構成と、ドライバと表示パネルのゲート線間の関係を示す図。

【符号の説明】

【0130】

10 ... マトリクス駆動回路

20 ... 液晶表示パネル

21 ... TFT

23 ... 画素電極

25 ... 共通電極

30 ... タイミング制御及び電圧生成回路

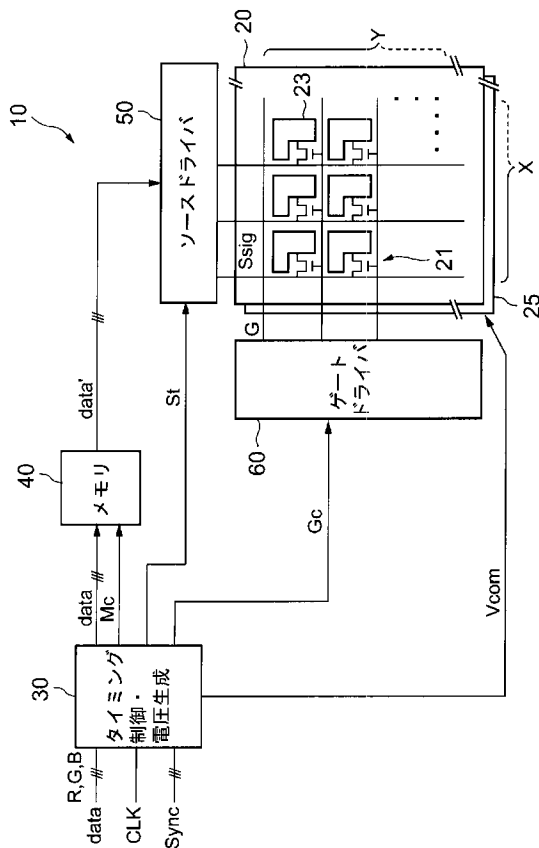
40 ... メモリ

50 ... ソースドライバ

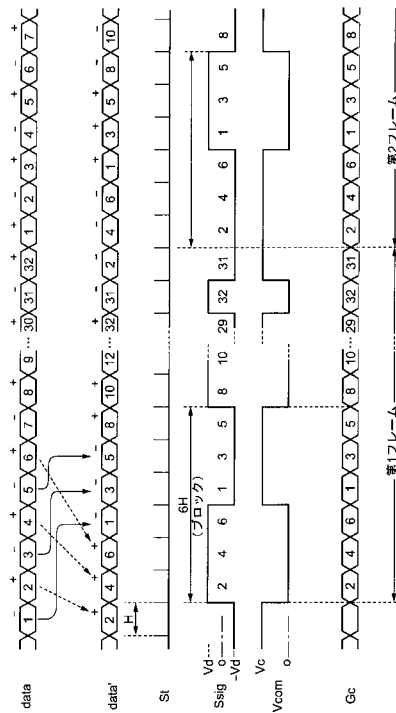
60 ... ゲートドライバ

P1, P2 ... 画素電極

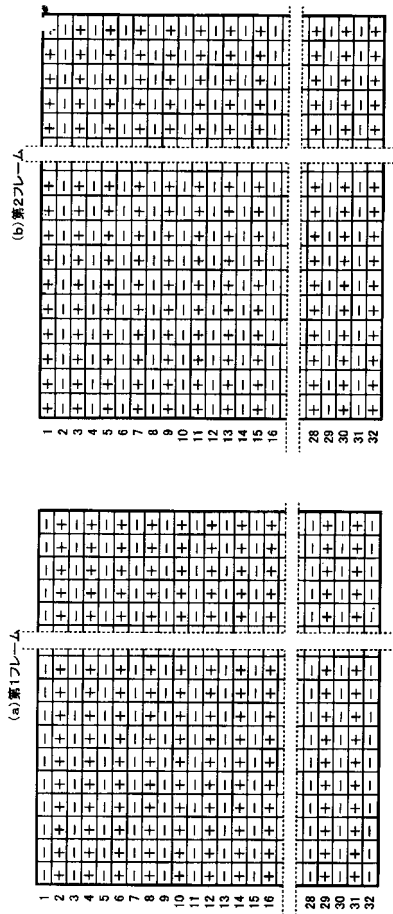
【図 1】



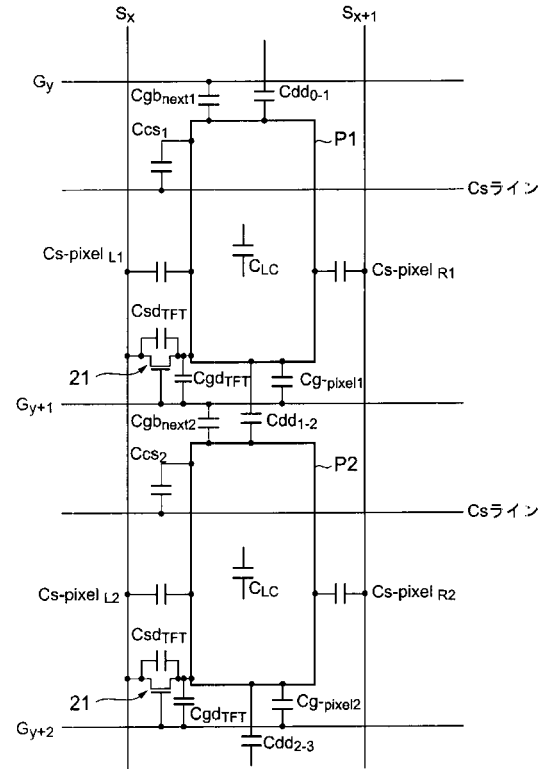
【図 2】



【図 3】

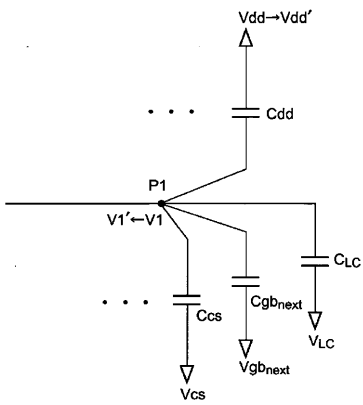


【図 4】

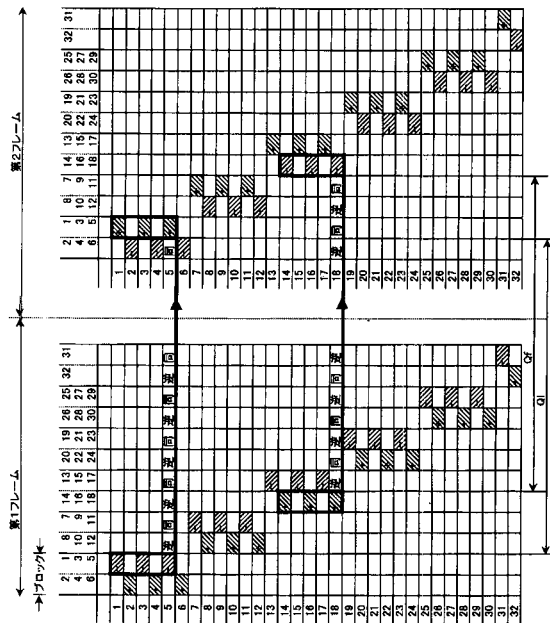


【図 5】

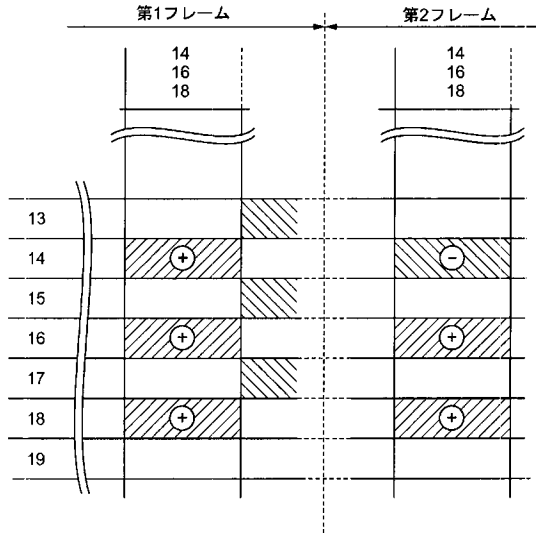
[Fig. 5]



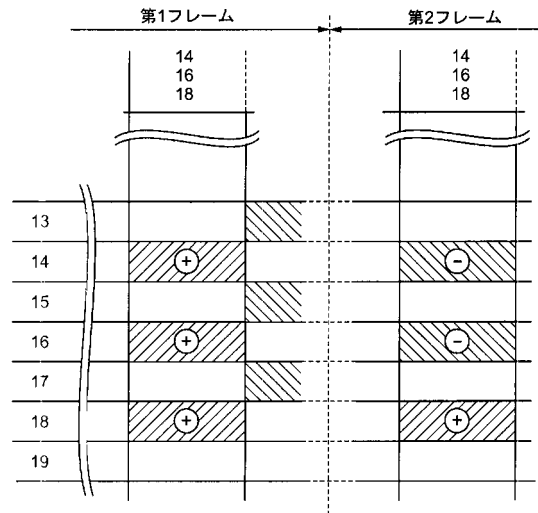
【図 6】



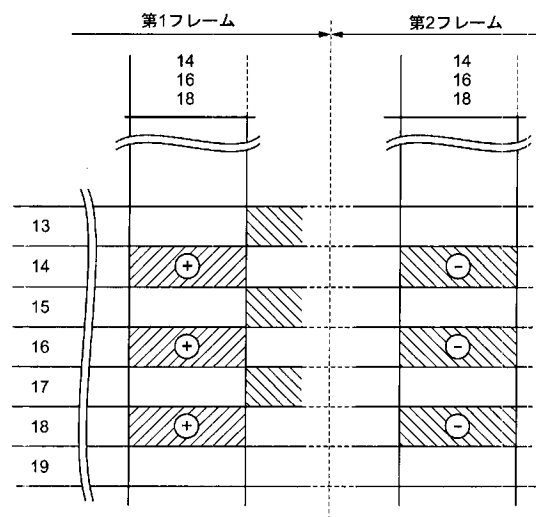
【図 7】



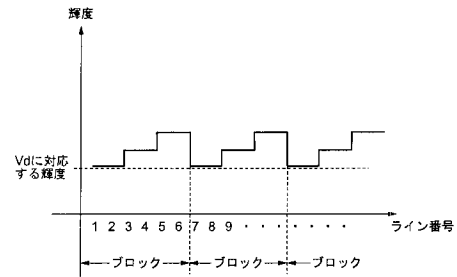
【図 8】



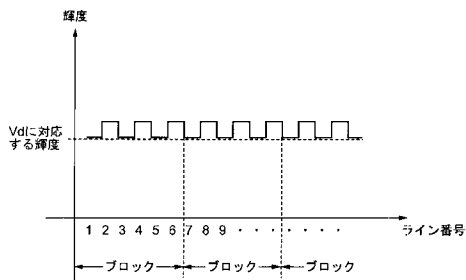
【図 9】



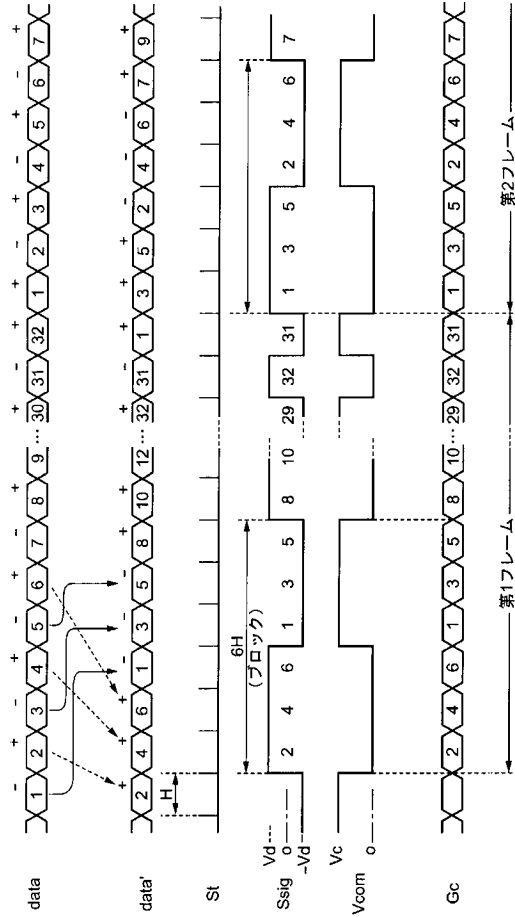
【図 11】



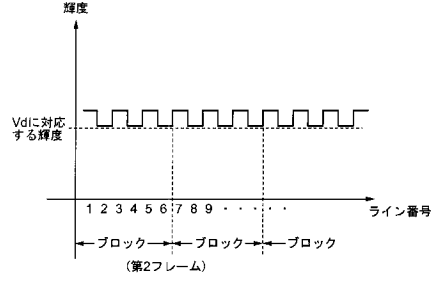
【図 10】



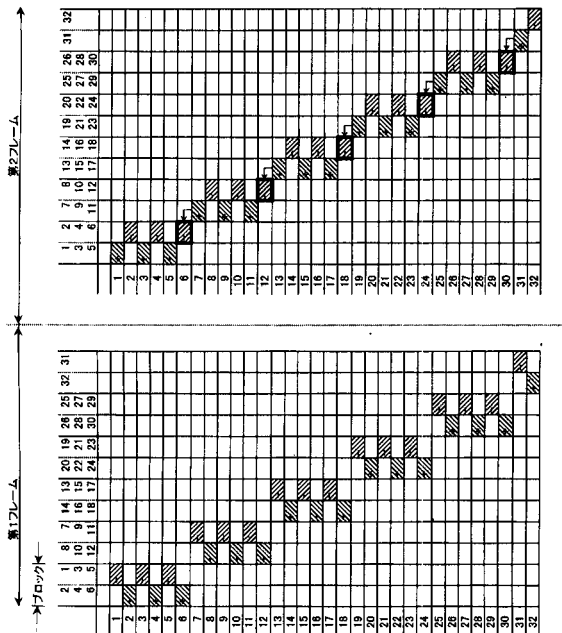
【図 1 2】



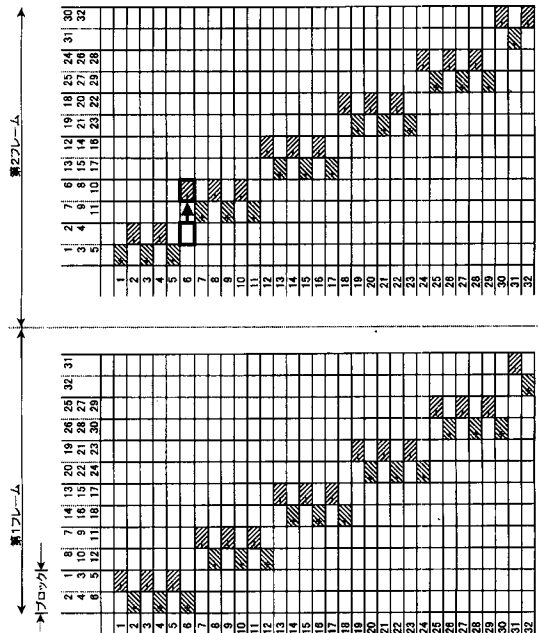
【図 1 3】



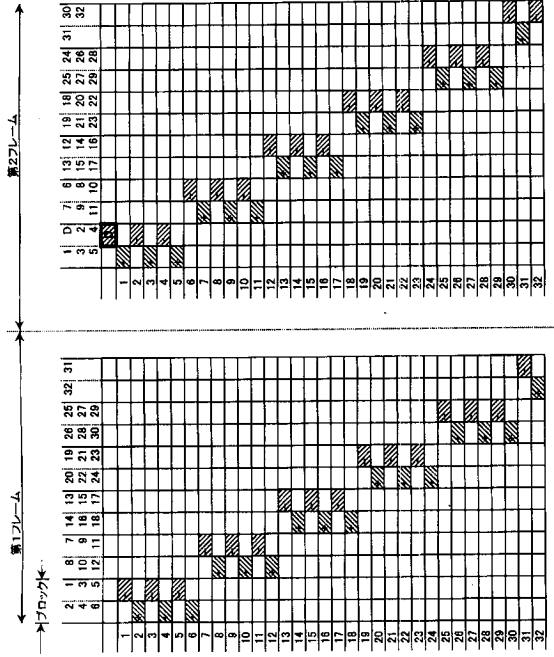
【図 1 4】



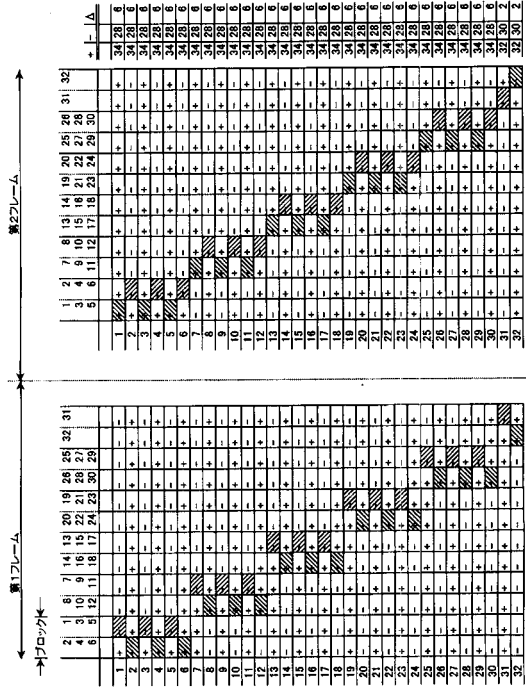
【図 1 5】



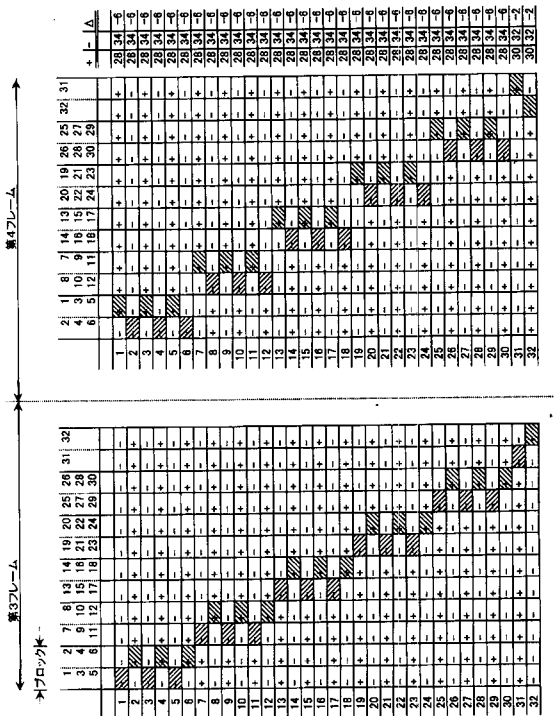
【図 16】



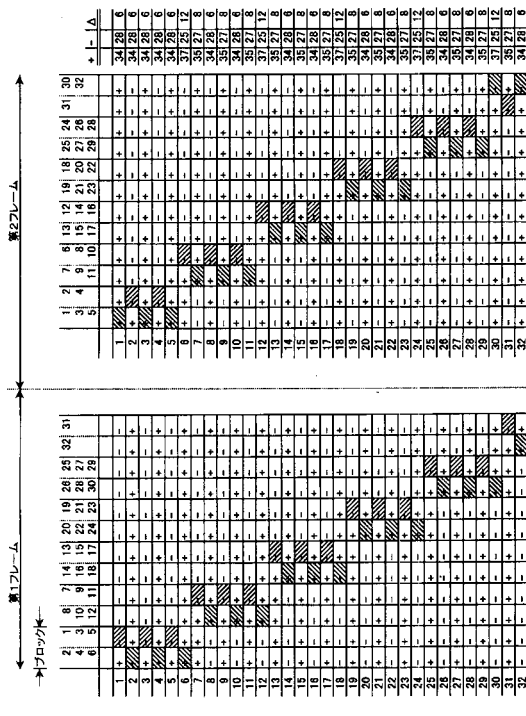
【図 17】



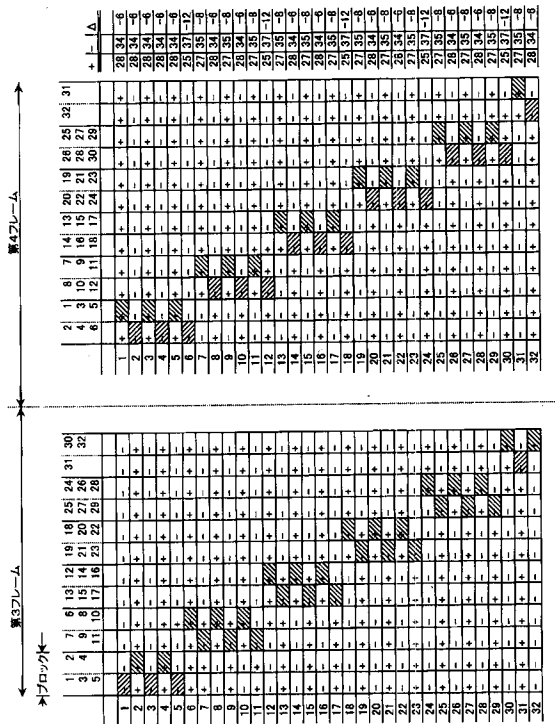
【図 18】



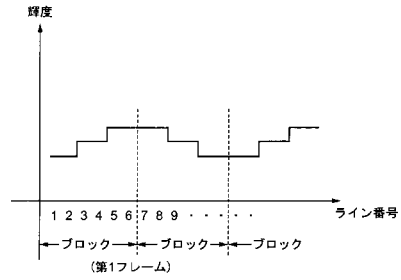
【図 19】



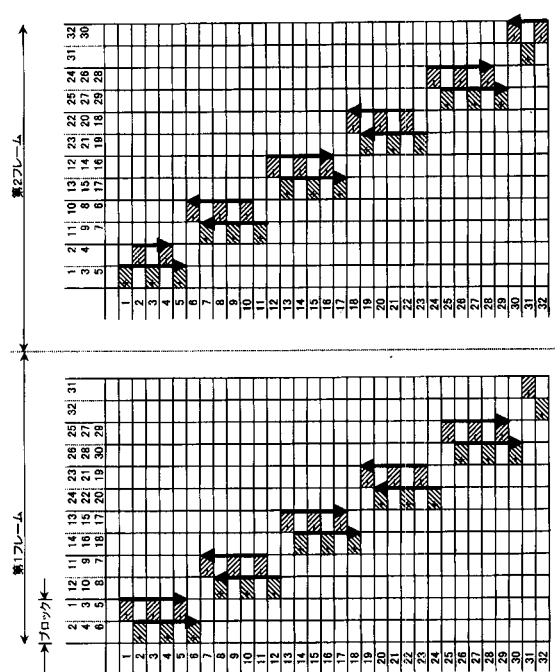
【図 20】



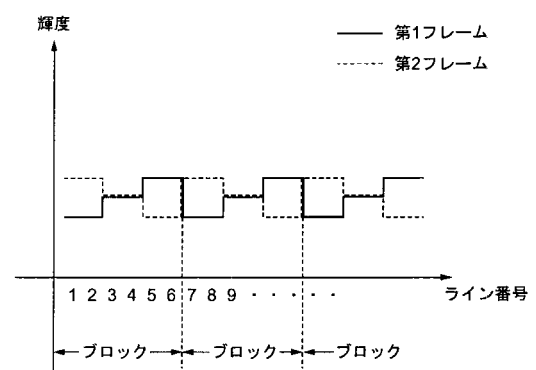
【図 21】



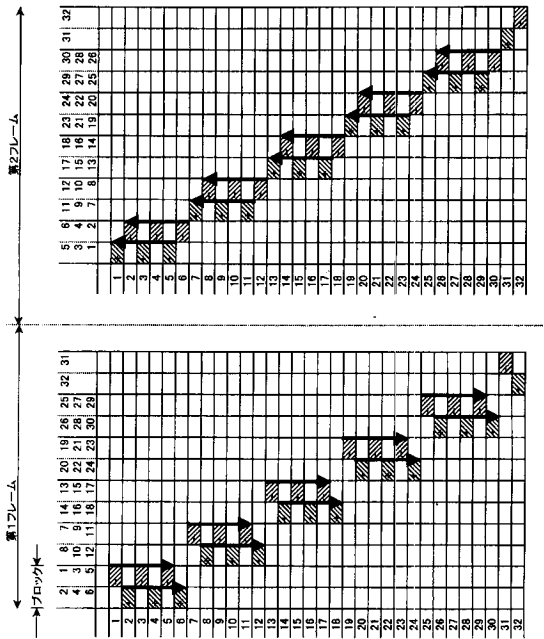
【図 22】



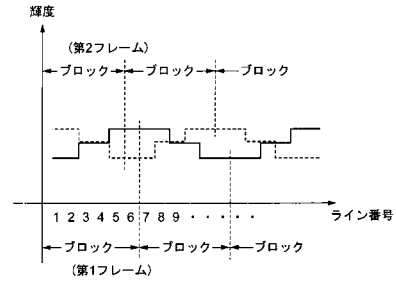
【図 23】



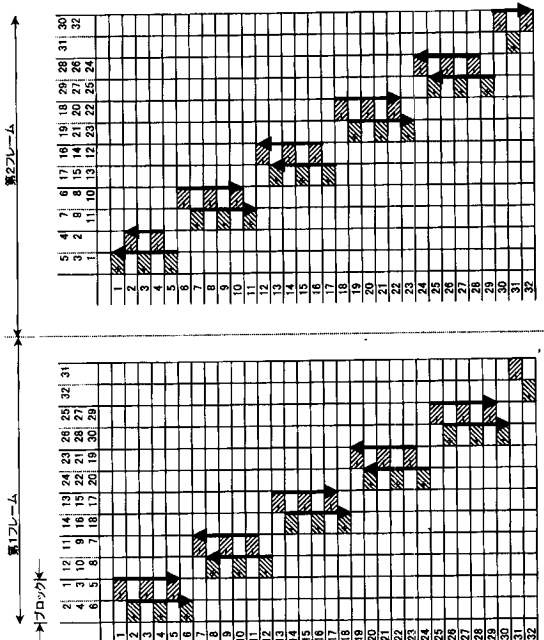
【図 2 4】



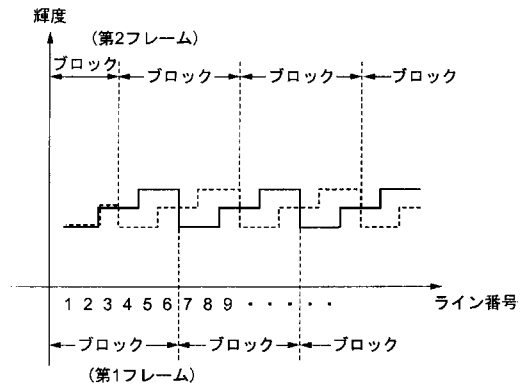
【図 2 5】



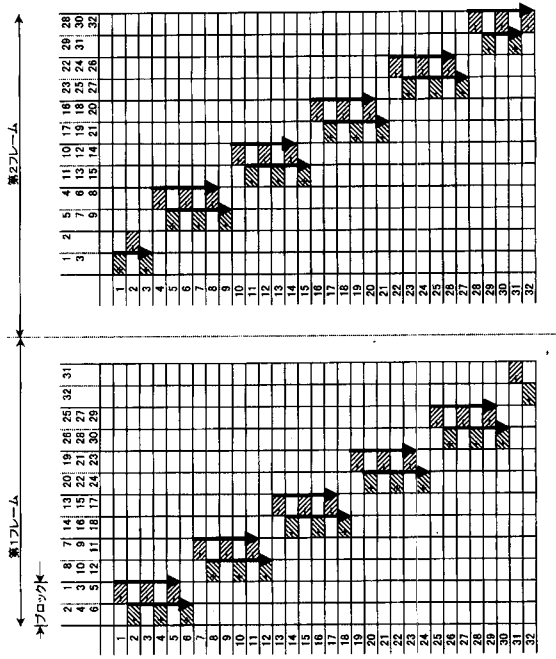
【図 2 6】



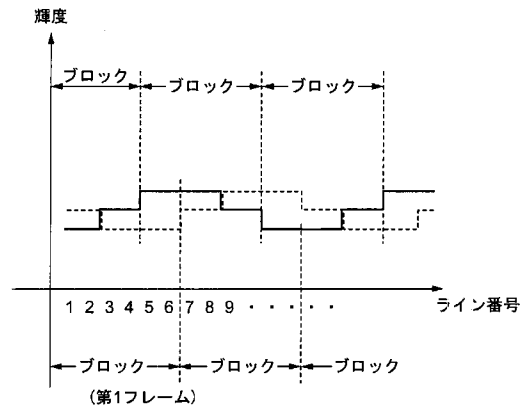
【図 2 7】



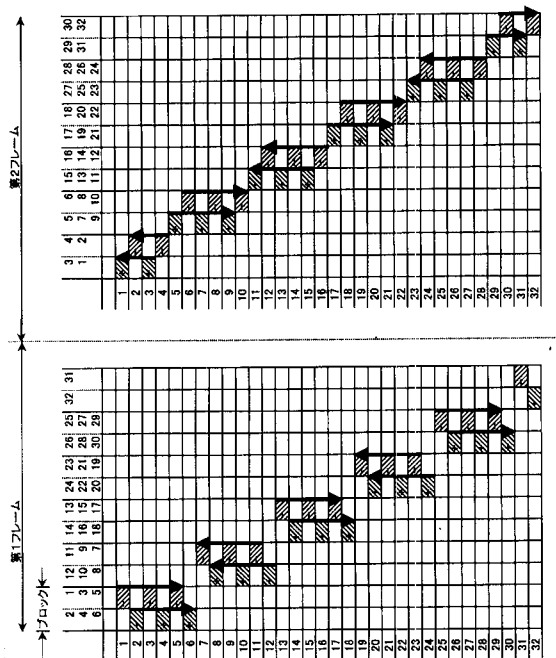
【図 28】



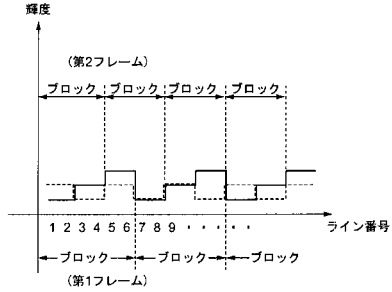
【図 29】



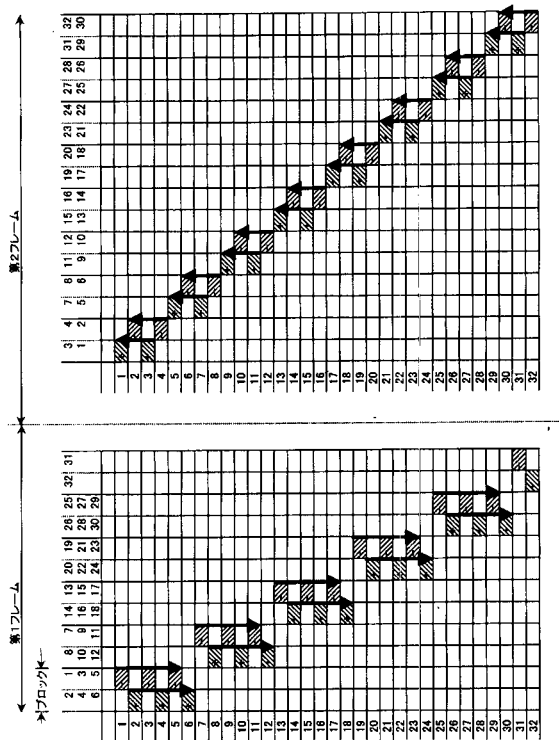
【図 30】



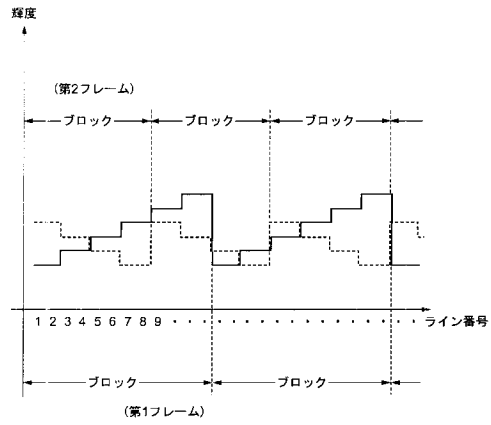
【図 31】



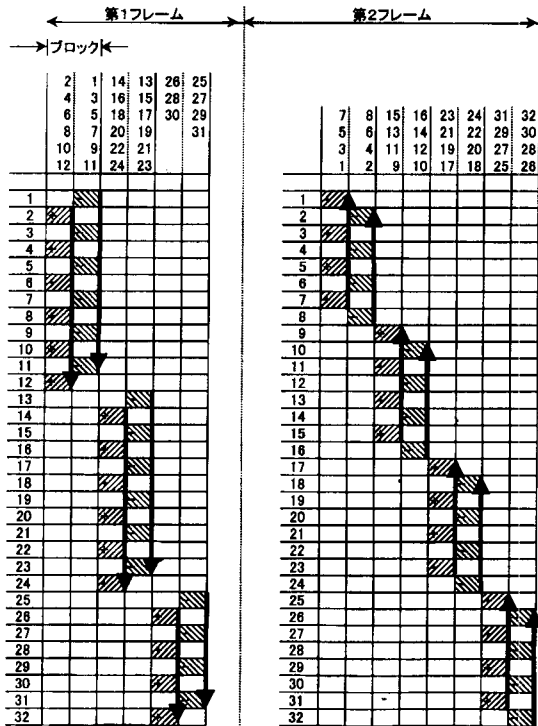
【図 3 2】



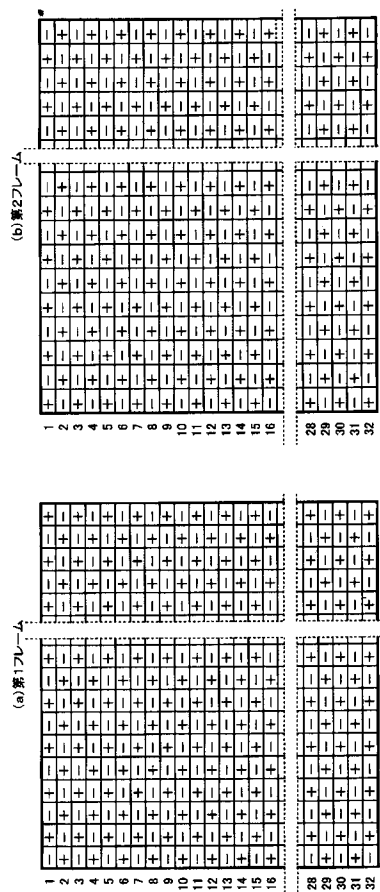
【図 3 3】



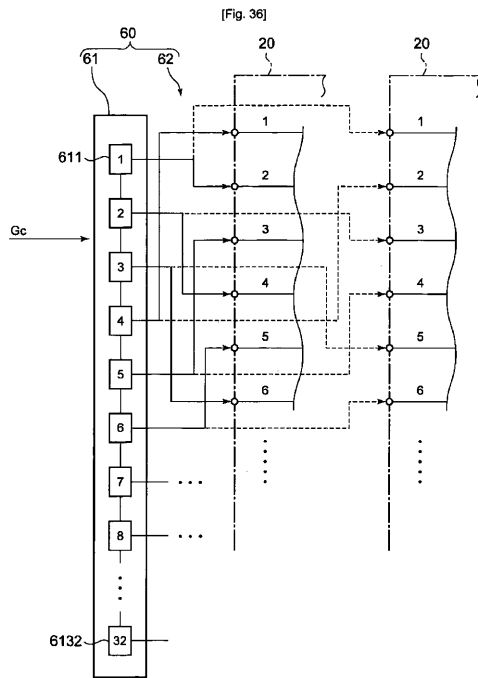
【図 3 4】



【図 3 5】



【図 36】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.

.../IB2005/052665

A. CLASSIFICATION OF SUBJECT MATTER G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 12, 3 January 2001 (2001-01-03) -& JP 2000 250496 A (SHARP CORP), 14 September 2000 (2000-09-14) abstract; figures 1-3,16,17,19-22	1,2,8, 12,13,15
Y	----- abstract; figures 1-3,16,17,19-22	3-7,10, 11,14
Y	WO 03/030137 A (KONINKLIJKE PHILIPS ELECTRONICS N.V; YAMASHITA, MASAKATSU; IKEHARA, MA) 10 April 2003 (2003-04-10) figures 3,5 page 2, lines 1-7 page 8, line 26 - page 9, line 12 page 12, line 7 - line 13 ----- -/--	3-7,14
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 24 November 2005		Date of mailing of the international search report 02/12/2005
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Ladiray, O

INTERNATIONAL SEARCH REPORT

International Application No.

P/IB2005/052665

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	PATENT ABSTRACTS OF JAPAN vol. 2003, no. 12, 5 December 2003 (2003-12-05) -& JP 2004 004857 A (SHARP CORP), 8 January 2004 (2004-01-08) abstract; figures 1,2,7,15,18,19 -----	10,11
Y	PATENT ABSTRACTS OF JAPAN vol. 013, no. 266 (P-887), 20 June 1989 (1989-06-20) -& JP 01 059332 A (MATSUSHITA ELECTRIC IND CO LTD), 7 March 1989 (1989-03-07) abstract; figure 1 -----	3-7,14

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
.../IB2005/052665

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
JP 2000250496	A	14-09-2000	JP 3454744 B2	06-10-2003
WO 03030137	A	10-04-2003	CN 1561512 A	05-01-2005
			EP 1433157 A2	30-06-2004
			JP 2003114647 A	18-04-2003
			TW 589599 B	01-06-2004
			US 2005062707 A1	24-03-2005
JP 2004004857	A	08-01-2004	NONE	
JP 01059332	A	07-03-1989	NONE	

フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 2 M
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 4 2 B
G 0 9 G	3/20	6 2 2 R
G 0 2 F	1/133	5 2 5
G 0 2 F	1/133	5 5 0

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100096921

弁理士 吉元 弘

(74) 代理人 100103263

弁理士 川崎 康

(72) 発明者 萩 野 修 司

東京都港区港南 2 - 1 3 - 3 7 フィリップスビル フィリップスエレクトロニクスジャパン株式会社内

(72) 発明者 渡 邊 英 俊

東京都港区港南 2 - 1 3 - 3 7 フィリップスビル フィリップスエレクトロニクスジャパン株式会社内

(72) 発明者 岩 津 明 宏

東京都港区港南 2 - 1 3 - 3 7 フィリップスビル フィリップスエレクトロニクスジャパン株式会社内

(72) 発明者 山 下 桂大朗

東京都港区港南 2 - 1 3 - 3 7 フィリップスビル フィリップスエレクトロニクスジャパン株式会社内

F ターム (参考) 2H093 NA16 NA34 NA43 NC13 NC28 NC34 ND05 ND09 ND35 ND39

5C006 AC27 AC28 AF42 AF44 AF71 BB16 BC03 FA22 FA47

5C080 AA10 BB05 DD05 DD26 FF11 FF12 JJ02 JJ03 JJ04 JJ05

专利名称(译)	矩阵驱动电路和使用它的液晶显示装置		
公开(公告)号	JP2008510178A	公开(公告)日	2008-04-03
申请号	JP2007525442	申请日	2005-08-11
[标]申请(专利权)人(译)	统宝香港控股有限公司		
申请(专利权)人(译)	三通小便哦，香港控股有限公司		
[标]发明人	萩野修司 渡邊英俊 岩津明宏 山下桂大朗		
发明人	萩野修司 渡邊英俊 岩津明宏 山下桂大朗		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3674 G09G3/3614 G09G3/3648 G09G2310/0213 G09G2310/0224 G09G2320/0209 G09G2320/0233 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.621.B G09G3/20.621.A G09G3/20.622.D G09G3/20.622.M G09G3/20.642.A G09G3/20.642.B G09G3/20.622.R G02F1/133.525 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA34 2H093/NA43 2H093/NC13 2H093/NC28 2H093/NC34 2H093/ND05 2H093/ND09 2H093/ND35 2H093/ND39 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF44 5C006/AF71 5C006/BB16 5C006/BC03 5C006/FA22 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD26 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	耀希达凯贤治 弘吉 川崎靖		
优先权	2004236138 2004-08-13 JP		
其他公开文献	JP4943332B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：在防止出现伪影的同时降低功耗。一种用于交替驱动每个像素的矩阵驱动方法。连续时间序列的一个或多个所述第一半块和一个或多个行电极的另一极性的像素电压组的每个供给定时的的是在时间序列一个极性的行电极的像素电压组的各供给定时的连续并且后半块在时间序列中连续形成帧周期。在前半块中，选择屏幕上排列顺序中的奇数行电极和偶数行电极中的一个，并且在后半块中，在空间上与一个行电极相邻选择另一个行电极，以便在一个帧周期中减少以块周期为单位的视觉伪像

