

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-170692
(P2008-170692A)

(43) 公開日 平成20年7月24日(2008.7.24)

(51) Int.Cl.			F I			テーマコード (参考)	
G09G	3/36	(2006.01)	G09G	3/36		2H093	
G09G	3/20	(2006.01)	G09G	3/20	642J	5C006	
G09G	3/30	(2006.01)	G09G	3/20	641P	5C080	
G09G	5/02	(2006.01)	G09G	3/20	642K	5C082	
G02F	1/133	(2006.01)	G09G	3/30	Z		
審査請求 未請求 請求項の数 8 O L (全 10 頁) 最終頁に続く							

(21) 出願番号	特願2007-3475 (P2007-3475)	(71) 出願人	302020207
(22) 出願日	平成19年1月11日 (2007.1.11)		東芝松下ディスプレイテクノロジー株式会社
			東京都港区港南4-1-8
		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		最終頁に続く	

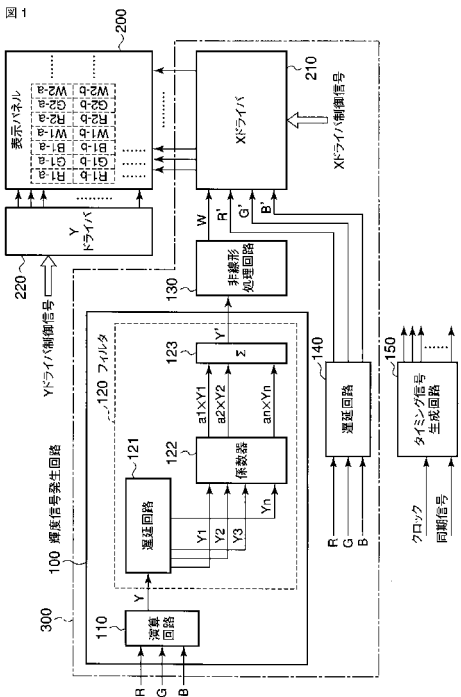
(54) 【発明の名称】 平面表示装置の画素信号処理方法及び処理回路

(57) 【要約】

【課題】画素レイアウトの設計が容易であるとともに、フルカラー画素の表示色の重心が安定している平面表示装置の画素信号処理方法及び処理回路を提供する。

【解決手段】複数のフルカラー画素が2次元に配置された表示パネルと、前記表示パネルに映像信号を供給する信号供給回路を有した平面表示装置において、前記表示パネルの1つのフルカラー画素は、同一面積のR、G、B、W画素がR G B Wの順序の規則性を持って配置されており、前記信号供給回路から前記W画素に供給されるW画素信号は、前記R G B画素に供給するR G B信号を用いて生成している。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数のフルカラー画素が 2 次元に配置された表示パネルと、前記表示パネルに映像信号を供給する信号供給回路を有した平面表示装置において、

前記表示パネルの 1 つのフルカラー画素は、同一面積で単一色画素である R、G、B、W 画素を有し、R G B W の順序の規則性を持って水平ライン方向に沿って配置されており、

前記信号供給回路から前記 W 画素に供給される W 画素信号は、前記 R G B 画素に供給する R G B 信号を用いて生成していることを特徴とする平面表示装置の画素信号処理方法。

【請求項 2】

前記単一色画素の第 1 グループを R 1、G 1、B 1、W 1 画素とし、この第 1 グループと隣り合う第 2 グループを R 2、G 2、B 2、W 2 画素とした場合、R 1、G 1、B 1 画素と R 2、G 2、B 2 画素に対応する入力信号をそれぞれ R 1、G 1、B 1 信号、R 2、G 2、B 2 信号とし、前記 W 1 画素に供給する W 1 信号は、

前記 R 1、G 1、B 1 信号を用いて生成した輝度信号である Y 1 信号と、R 2、G 2、B 2 信号を用いて生成した輝度信号である Y 2 信号とがそれぞれ係数を乗算された後、加算されて生成されていることを特徴とする請求項 1 記載の平面表示装置の画素信号処理方法。

【請求項 3】

前記 W 1 信号には、さらに非線形処理回路による非線形処理が施されることを特徴とする請求項 2 記載の平面表示装置の画素信号処理方法。

【請求項 4】

前記単一色画素の第 1 グループを R 1、G 1、B 1、W 1 画素とした場合、R 1、G 1、B 1 画素に対応する入力信号をそれぞれ R 1、G 1、B 1 信号とし、前記 W 1 画素に供給する W 1 信号としては、前記 R 1、G 1、B 1 信号を用いて生成した輝度信号である Y 1 信号が用いられていることを特徴とする請求項 1 記載の平面表示装置の画素信号処理方法。

【請求項 5】

前記 W 1 信号には、さらに非線形処理回路による非線形処理が施されることを特徴とする請求項 4 記載の平面表示装置の画素信号処理方法。

【請求項 6】

前記表示パネルにおいて前記 R、G、B、W 画素は、R G B W の順序の規則性を持って水平ライン方向に沿って配置され、垂直方向へは、R B R B・・・の画素順と、G W G W・・・の画素順と、B R B R・・・の画素順が存在することを特徴とする請求項 1 記載の平面表示装置の画素信号処理方法。

【請求項 7】

複数のフルカラー画素が 2 次元に配置された表示パネルと、前記表示パネルに映像信号を供給する信号供給回路を有した平面表示装置において、

前記表示パネルの 1 つのフルカラー画素は、同一面積で単一色画素である R、G、B、W 画素を有し、R G B W の順序の規則性を持って水平ライン方向に沿って配置されており、

前記信号供給回路は、前記 R G B 画素に供給する R G B 信号を用い、前記 W 画素に供給する W 画素信号を生成する輝度信号発生回路を有することを特徴とする平面表示装置の画素信号処理装置。

【請求項 8】

前記表示パネルは、前記単一色画素の第 1、第 2 グループ、・・・が R 1、G 1、B 1、W 1 画素、R 2、G 2、B 2、W 2 画素と繰り返して設けられ、

前記輝度信号発生回路は、前記 R 1、G 1、B 1 画素と R 2、G 2、B 2 画素に対応する入力信号をそれぞれ R 1、G 1、B 1 信号、R 2、G 2、B 2 信号とし、前記 W 1 画素に供給する W 1 信号は、前記 R 1、G 1、B 1 信号を用いて生成するために、遅延回路、

10

20

30

40

50

係数器及び加算器を有することを特徴とする請求項 7 記載の平面表示装置の画素信号処理回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は平面表示装置の画素信号処理方法及び処理回路に関するもので、赤（R）、緑（G）、青（B）などの単一色画素を配置してフルカラー画素を得るためのレイアウト技術及びこれらの画素に信号を供給する技術に係わるものである。

【背景技術】

【0002】

有機発光素子を用いたフルカラー画素の寿命を向上する方法として、4つの単一色画素（あるいは4つのサブピクセル）を用いる技術が提案されている。4つの単一色画素は、例えば赤（R）、緑（G）、青（B）、白（W）の画素である。W画素が有効に利用されることにより、高輝度時に他のR、G、B画素に対して過電流を流す必要がないので、長寿命が得られる。

【0003】

ここで、全体の発光効率が上がるように、赤（R）、緑（G）、青（B）、白（W）の単一色画素の各開口率が設計されている。各単一色画素の開口率は、画素面積及び画素レイアウト状態に依存する。

【特許文献1】特開2005-129504公報

【特許文献2】特開2005-129505公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

各単一色画素の開口率がそれぞれ異なる場合、画素レイアウトの設計が非常に複雑となり、製造も煩雑である。また、4つの単一色画素を1つのフルカラー画素としてみた場合、このフルカラー画素で表現された表示色の重心が、カラーの内容により一定箇所に安定しない。つまり、フルカラー画素の表示色の中心が、色変化に応じて振れることになる。

【0005】

そこでこの発明は、画素レイアウトの設計が容易であるとともに、フルカラー画素の表示色の重心が安定している平面表示装置の画素信号処理方法及び処理回路を提供することを目的とする。

【課題を解決するための手段】

【0006】

この発明の一実施の形態では、複数のフルカラー画素が2次元に配置された表示パネルと、前記表示パネルに映像信号を供給する信号供給回路を有した平面表示装置において、前記表示パネルの1つのフルカラー画素は、同一面積のR、G、B、W画素がRGBWの順序の規則性を持って配置されており、前記信号供給回路から前記W画素に供給されるW画素信号は、前記RGB画素に供給するRGB信号を用いて生成していることを特徴とする。

【発明の効果】

【0007】

上記の手段により、画素レイアウトの設計が容易であるとともに、フルカラー画素の表示色の重心が安定している。

【発明を実施するための最良の形態】

【0008】

以下、図面を参照してこの発明の実施の形態を説明する。図1にはこの発明が適用された平面表示装置の一実施の形態を示す。RGB信号は、輝度信号発生回路100を構成する演算回路110に入力されて、輝度信号Yに変換される。

【0009】

10

20

30

40

50

次に輝度信号 Y はフィルタ 120 内の遅延回路 121 に入力されて遅延される。遅延回路 121 からは、複数の輝度信号 Y1, Y2, Y3、・・・Yn を同時化して得ることができる。

【0010】

複数の輝度信号 Y1, Y2, Y3、・・・Yn は、係数器 122 に入力される。係数器 122 では、各輝度信号 Y1, Y2, Y3、・・・Yn に対して、係数が乗算される。係数が乗算された複数の輝度信号は、加算器 123 に入力され、所定の輝度信号が加算され、輝度信号 Y' として出力される。この輝度信号 Y' は、非線形処理回路 130 にて非線形処理を受けて、W 信号として X ドライバ 210 に入力される。

【0011】

先の RGB 信号は、遅延回路 140 にもまた入力されている。遅延回路 140 で調整を受けた RGB 信号は、R' G' B' 信号として、X ドライバ 210 に入力される。X ドライバ 210 からの 1 ライン毎の R' G' B' W 信号は、表示パネル 200 に信号線を介して入力される。この表示パネル 200 は、1 ライン単位で R' G' B' W 信号を取り込む。このためのライン走査信号は、Y ドライバ 220 から出力されている。

【0012】

X ドライバ 210、Y ドライバ 220 に対する制御信号は、タイミング信号生成回路 150 から出力されている。タイミング信号生成回路 150 はクロック及び RGB 同期信号を用いて、輝度信号発生回路 100、X ドライバ 210、Y ドライバ 220 に対するタイミング信号及び制御信号を生成している。

【0013】

表示パネル 200 は、液晶表示パネルであり、その画素配列は、図 2 (A) に示すようになっている。図 2 (A) では、代表的に 3 つの水平ラインを途中まで示している。各水平ラインは、RGBW 画素が繰り返して配列されている。図 2 (A) では、第 1 ラインの第 1 グループに R1 - a, G1 - a, B1 - a, W1 - a の符号を付し、第 1 ラインの第 2 グループに R2 - a, G2 - a, B2 - a, W2 - a の符号を付して示している。また第 2 ラインの第 1 グループに R1 - b, G1 - b, B1 - b, W1 - b の符号を付し、第 2 ラインの第 2 グループに R2 - b, G2 - b, B2 - b, W2 - b の符号を付して示している。さらに第 3 ラインの第 1 グループに R1 - c, G1 - c, B1 - c, W1 - c の符号を付し、第 3 ラインの第 2 グループに R2 - c, G2 - c, B2 - c, W2 - c の符号を付して示している。

【0014】

図 2 (B) は、図 1 に示した装置の一動作例を説明するために示している。例えば第 1 ラインにおいて、W1 画素に供給される W 信号は、W1 画素の左右に位置する RGB 画素のための RGB 信号から生成される。即ち、W1 画素が属するグループの RGB 信号を用いて Y1 信号が生成される。また、W2 画素が属するグループの RGB 信号を用いて Y2 信号が生成される。Y1 信号と Y2 信号は、図 1 で示したように、係数器 122 に入力される。次に、Y1 信号と Y2 信号とにそれぞれ係数 a1 (=1/2), a2 (=1/2) が乗算されて Y' 信号が生成される。この Y' 信号がこの実施例では、W 信号 (即ち W1 信号) として用いられる。

【0015】

図 2 (C) は、図 1 に示した装置の他の動作例を説明するために示している。例えば第 1 ラインにおいて、W1 画素に供給される W 信号は、W1 画素が属するグループの RGB 画素のための RGB 信号から生成される。即ち、W1 画素が属するグループの RGB 信号を用いて Y1 信号が生成される。Y1 信号は、図 1 で示したように、係数器 122 に入力される。次に、Y1 信号に係数 a1 (=1) が乗算されて Y' 信号が生成される。この Y' 信号がこの実施例では、W 信号 (即ち W1 信号) として用いられる。この例であると、信号処理回路の構成をさらに簡素化することができる。

【0016】

図 2 (D) は、図 1 に示した装置のまた他の動作例を説明するために示している。Y1

10

20

30

40

50

信号と Y 2 信号を得る処理、Y 1 信号と Y 2 信号とにそれぞれ係数 $a_1 (=1/2)$, $a_2 (=1/2)$ が乗算されて Y' 信号が生成されるまでは図 2 (B) の例と同じである。この Y' 信号は、さらに非線形処理回路 1 3 0 において、非線形処理を受けて、W 信号 (即ち $W_1 \times k$ 信号) として用いられる。

【 0 0 1 7 】

図 2 (E) は、図 1 に示した装置のさらにまた他の動作例を説明するために示している。第 1 ラインにおいて、 W_1 画素に供給される W 信号は、 W_1 画素が属するグループの RGB 画素のための RGB 信号から生成される。即ち、 W_1 画素が属するグループの RGB 信号を用いて Y 1 信号が生成される。Y 1 信号は、図 1 で示したように、係数器 1 2 2 に入力される。次に、Y 1 信号に係数 $a_1 (=1)$ が乗算されて Y' 信号が生成される。こ

10

【 0 0 1 8 】

図 3 (A) - 図 3 (F) には、上記非線形処理回路 1 3 0 の特性の各種の例を示している。この特性は、Y' 信号を例えばルックアップテーブルにより変換処理する方法で実現される。また非線形処理回路 1 3 0 は、複数の特性を選択的に実現するテーブルを内蔵してもよい。そして、表示パネル 2 0 0 に最適な特性を選択できるようにしてもよい。ガンマ補正特性が実現できるようにテーブルが用意されていてもよい。このような補正によると、画像の輝度レベルが小さい特定の範囲において、W 画素に供給する信号レベルを抑圧する。これにより画面上の白レベルとクロックレベルの比を大きくしコントラストを向上

20

【 0 0 1 9 】

上記した表示パネルの画素配列は、各水平ラインが R , G , B , W 画素の順序であり、縦 (垂直) 方向に同じタイプの画素が配置された。しかし、縦 (垂直) 方向に並ぶ画素配列が、図 4 に示すように、R B R B R B 、G W G W G W 、B R B R B R のように配列されてもよい。この場合は、垂直方向の解像度も向上することになる。

【 0 0 2 0 】

図 1 に示した遅延回路 1 4 0 は、単純に時間調整だけでなく、補間回路を含むものであってもよい。補間回路は、表示パネル上の物理的な画素配列位置と、画素信号のサンプリング位相との整合を取るために用いられる。

30

【 0 0 2 1 】

遅延回路 1 4 0 の内部について、図 5 を参照して説明する。この遅延回路 1 4 0 は、色信号を補間する RGB 信号を遅延する遅延器 1 4 0 A と、RGB 信号を用いて補間信号を生成する補間回路 1 4 0 B を有する。

【 0 0 2 2 】

補間回路 1 4 0 B は、赤 (R) , 緑 (G) , 青 (B) の入力映像信号のいずれか 1 つの入力映像信号を基準の第 1 の色信号とし、他の 2 つの入力映像信号を第 2 と第 3 の色信号とする。そして時間的にずれた複数の第 2 の色信号にそれぞれ係数を掛けて合成して第 1 の補間色信号を生成し、時間的にずれた複数の第 3 の色信号にそれぞれ係数を掛けて合成して第 2 の補間色信号を生成する回路である。

40

【 0 0 2 3 】

入力端子 1 4 1 R , 1 4 1 G , 1 4 1 B には、R , G , B 信号が供給される。この入力映像信号は、遅延器 1 4 0 A と補間回路 1 4 0 B に供給される。

【 0 0 2 4 】

補間回路 1 4 0 B は、上記した第 1 の色信号 (例えば G 信号) と、第 1 の補間色信号 (例えば R c 信号) と、第 2 の補間色信号 (例えば B c 信号) とを出力する。第 1 の色信号 (G 信号) 、第 1 の補間色信号 (R c 信号) と、第 2 の補間色信号 (B c 信号) は出力選択回路 1 4 0 C に供給される。出力選択回路 1 4 0 C は、補間色信号である R c , G , B c 信号を選択して出力することができるし、また遅延器 1 4 0 A からの R , G , B 信号を

50

選択して出力することもできる。この選択は、切り替え端子 142 に与えられる切り替え信号により行なわれる。出力選択回路 140C が、R、G、B 信号を選択して出力するケースは、表示パネルの画素配列に適合する RGB 信号が入力されたときである。出力選択回路 140C が、Rc、G、Bc 信号を選択して出力するケースは、これから説明するように、表示パネル上の物理的な画素配列位置と、画素信号のサンプリング位相との整合を取るときである。この選択切り替えは、ユーザにより任意に切り替えが可能である。

【0025】

出力選択回路 140C の出力は、X ドライバ 210 に供給される。140D は、入力映像信号の同期信号に同期してクロック CK1、CK2 を生成する位相ロックループ回路であり、ここでは、各種のタイミングパルスが生成されており、各回路で利用される。

10

【0026】

なお、R'G'B' 信号は並列で出力されているが、シリーズ変換されて出力されてもよい。

【0027】

補間回路 140B の入力端子 141R、141G、141B には、並列 RGB 信号が入力する。ここで、表示パネル 200 の表示領域における画素配列が水平方向へ R、G、B、W (図示せず)、R、G、B、W (図示せず)、... とシリーズに配列されているものとする。G を基準にして、並列 RGB 信号を、シリーズに配列すると、シリーズ RGB 信号は、基本的には、Rc0、G0、Bc0、Rc1、G1、Bc1、... の配列となる (図 7 参照)。この並列 - シリーズ変換では、物理的な画素配置に適合するように画素の利得が調整される。実際には、RGB 画素に対して W 画素も加えてシリーズ配列されるので、並列 RGB 信号がさらに係数調整されるが、今は、基本的な考え方で説明する。

20

【0028】

並列 RGB 信号からシリーズ RGB 信号に配列変更を行った場合、以下の点に分かる。つまり G 信号は基準であるから、各 G サンプルはそのままの利得を維持してもよい。しかし、R 信号は、本来の位置からずれた位置で表示され、B 信号も本来の位置からずれた位置で表示されることになる。この結果、並列 RGB 信号時の R 信号、B 信号をそのまま対応するシリーズ配列の画素に供給した場合、RGB 信号で表現される本来の色信号とは異なる色信号に変化する。

【0029】

30

そこで、なんらかの形で R 信号、B 信号の補正が必要となる。図 6 は、その補正を行う回路であり、この回路が、補間回路 140B の基本構成である。R 信号は、遅延素子 D11、D12 の直列回路に入力され、G 信号は遅延素子 D21、D22 の直列回路に入力され、B 信号は遅延素子 D31、D32 の直列回路に入力される。遅延素子 D12 の入力側と出力側の R 信号は、それぞれ 1/3 係数器 21、2/3 係数器 22 に入力されて利得制御され、加算器 25 で加算され、Rc 信号となる。遅延素子 D32 の入力側と出力側の B 信号は、それぞれ 2/3 係数器 23、1/3 係数器 24 に入力されて利得制御され、加算器 26 で加算され、Bc 信号となる。G 信号は、遅延素子 D21、D22 の直列回路からそのまま出力される。

【0030】

40

G 信号、Rc 信号、Bc 信号は、それぞれ利得制御回路を有したバランス調整回路 27 で色バランスを調整され、出力選択回路 140C に入力される。

【0031】

図 7 には、上記した補間回路 140B でシリーズ RGB 信号を得る場合の計算式の例を示している。G 信号の場合は、これが基準となるために $(1 \times G_0)$ 、 $(1 \times G_1)$ 、... とし得られる。R 信号の場合は、 $\{(2/3)R_0 + (1/3)R_1\}$ 、 $\{(2/3)R_1 + (1/3)R_2\}$ 、... とし得られる。B 信号の場合は、 $\{(1/3)B_0 + (2/3)B_1\}$ 、 $\{(1/3)B_1 + (2/3)B_2\}$ 、... とし得られる。このように、R 信号、B 信号に対しては、シリーズ配列された場合、物理的な配置位置が変更されたので、隣の画素の成分の影響を考慮している。

【0032】

上記の処理は、補間演算処理であるが、フィルタリング処理により、上記したシリーズ

50

R G B 信号を得ることも可能である。

【 0 0 3 3 】

図 8 は、上記補間回路 1 4 0 B の他の例である。R 信号処理回路 4 0 1、G 信号処理回路 4 0 2、B 信号処理回路 4 0 3 は、それぞれ同じ構成である。R 信号処理回路 4 0 1 の構成から説明する。R 信号は、0 挿入回路 1 a に供給される。ここでは R 信号のサンプル間に 2 つの 0 挿入が行われる。したがってここでのクロック周波数は、入力した R 信号のためのクロック周波数より大きく、3 倍のクロック周波数となる。0 挿入回路 1 a から出力された信号は、遅延素子 1 b、1 c、1 d、1 e、1 f の直列回路に入力される。遅延素子 1 b、1 c、1 d、1 e、1 f の出力は、それぞれ乗算器 1 g、1 h、1 i、1 j、1 k にて係数メモリ 1 m からの係数と乗算される。乗算結果は、合成回路 1 l にて合成され、サンプル回路 1 n に入力される。サンプル回路 1 n は、R c 信号が存在すべき位相で、R c 信号を出力する。

10

【 0 0 3 4 】

G 信号処理回路 4 0 2、B 信号処理回路 4 0 3 も上記した R 信号処理回路 4 0 1 と構成は同じであるから、具体的な説明は省略する。G 信号処理回路 4 0 2 においては、合成回路 2 l からの合成出力は、サンプル回路 2 n に入力される。そしてサンプル回路 2 n は、G 信号が存在すべき位相で G 信号を出力する。B 信号処理回路 4 0 3 においては、合成回路 3 l からの合成出力は、サンプル回路 3 n に入力される。そしてサンプル回路 3 n は、B c 信号が存在すべき位相で B c 信号を出力する。

【 0 0 3 5 】

20

図 9 には、上記した各信号処理回路 4 0 1、4 0 2、4 0 3 のフィルタリング処理を説明するために、サンプルデータが処理される様子を示している。R 信号のサンプルの間には、1 2 0 度位相間隔で、0 が挿入されている。この R 信号が上記したフィルタリング処理を受けると、係数値の設定により、ゲイン制御を受けるとともに、位相も制御されることになる。G 信号、B 信号も同様にゲイン制御及び位相制御を受ける。そして、サンプル回路 1 n、2 n、3 n において、R' 信号、G 信号、B' 信号の出力タイミング（位相）を設定することにより、先の実施形態と同様なシリーズ R G B 信号を得ることができる。

【 0 0 3 6 】

このフィルタ出力に対しても、R G B 間のバランスを得るために、利得制御回路を設けてもよい。

30

【 図面の簡単な説明 】

【 0 0 3 7 】

【 図 1 】 この発明の一実施の形態が適用された平面表示装置を構成例を示す図である。

【 図 2 】 図 1 の装置の動作例を説明するために画素配列と画素信号処理例を示す図である。

。

【 図 3 】 図 1 の線形処理回路における特性の各種例を示す図である。

【 図 4 】 この発明が適用された画素配列の他の例を示す図である。

【 図 5 】 図 1 の遅延回路 1 4 0 の他の例を示す図である。

【 図 6 】 図 5 の回路の動作原理を説明するために画素信号の処理回路例を示す図である。

【 図 7 】 図 5 の回路の動作原理を説明するために画素信号の計算処理例を示す図である。

40

【 図 8 】 図 5 の回路の動作原理を説明するために画素信号のさらに他の処理回路例を示す図である。

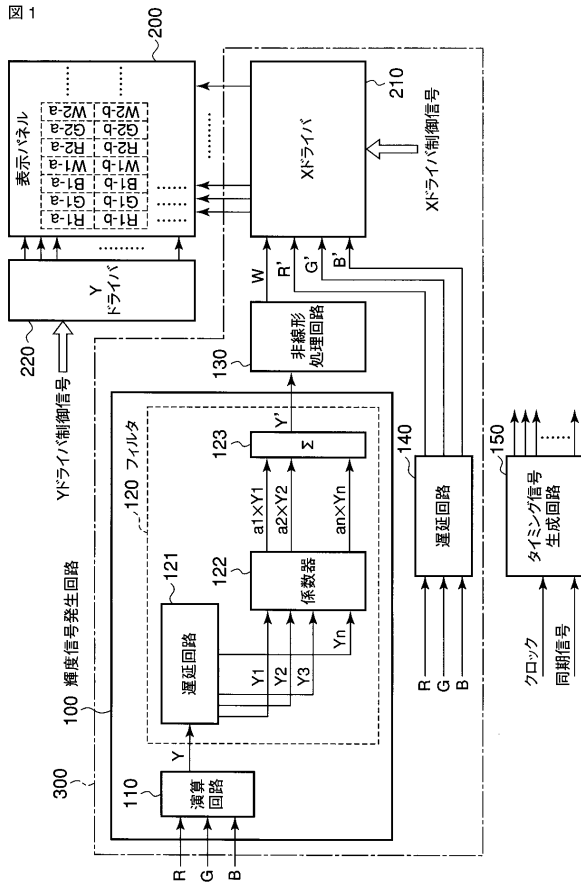
【 図 9 】 図 8 の回路の動作説明図である。

【 符号の説明 】

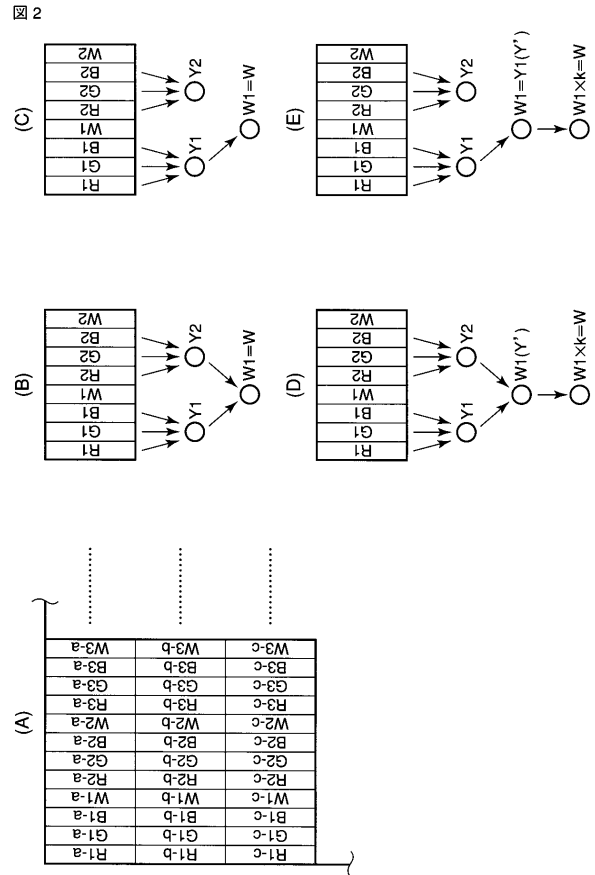
【 0 0 3 8 】

1 0 0 ... 輝度信号発生回路、1 1 0 ... 演算回路、1 2 0 ... フィルタ、1 3 0 ... 非線形処理回路、1 4 0 ... 遅延回路、1 5 0 ... タイミング信号生成回路、2 0 0 ... 表示パネル、2 1 0 ... X ドライバ、2 2 0 ... Y ドライバ。

【図 1】

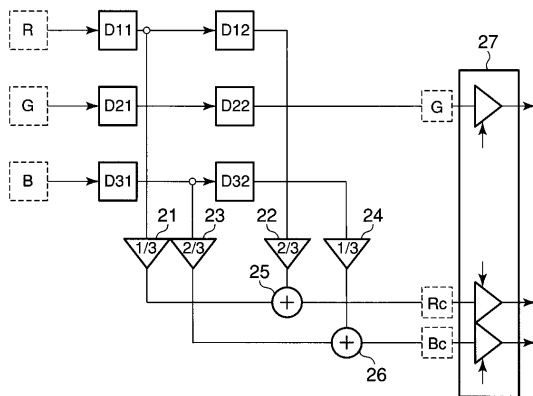


【図 2】



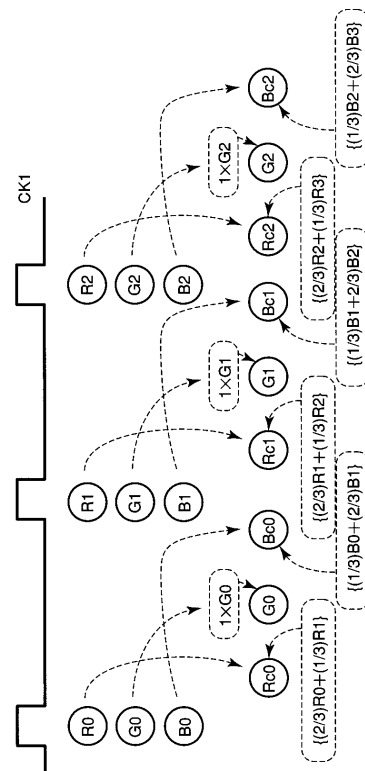
【 図 6 】

図 6



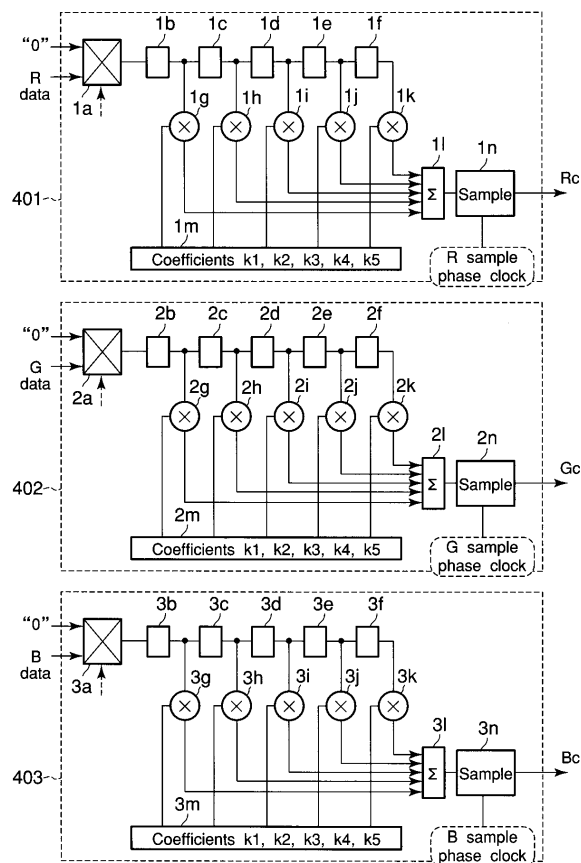
【 図 7 】

図 7



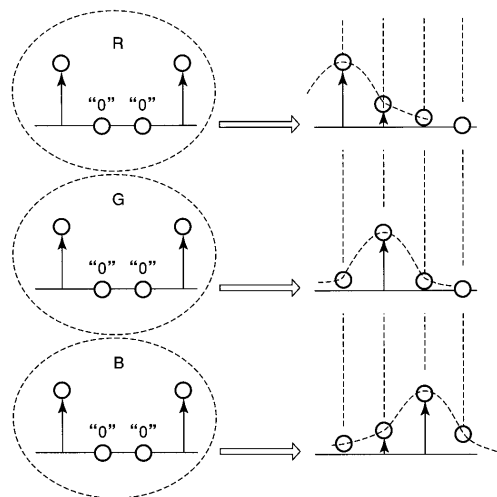
【 図 8 】

図 8



【 図 9 】

図 9



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 3 2 Z	
	G 0 9 G 5/02 B	
	G 0 2 F 1/133 5 1 0	

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 穴井 貴実雄

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H093 NA16 NA61 NC03 NC09 NC11 NC16 NC23 NC26 ND17 ND22
 5C006 AA11 AA21 AC11 AC21 AF51 AF52 AF85 BB16 BC06 BC16
 BF15 FA12 FA21 FA41 FA47 FA56
 5C080 AA06 AA10 BB05 CC03 DD01 DD18 EE29 JJ02 JJ04 JJ05
 5C082 BA12 BB51 BD02 CA11 CA12 DA71 DA86 MM02 MM10

[illegible]