

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-152261
(P2008-152261A)

(43) 公開日 平成20年7月3日(2008.7.3)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H089
GO2F 1/1345 (2006.01)	GO2F 1/1345	2H092
GO2F 1/1339 (2006.01)	GO2F 1/1339 505	5C094
GO9F 9/30 (2006.01)	GO9F 9/30 309	
	GO9F 9/30 330Z	

審査請求 未請求 請求項の数 20 O L (全 16 頁)

(21) 出願番号 特願2007-322953 (P2007-322953)
 (22) 出願日 平成19年12月14日(2007.12.14)
 (31) 優先権主張番号 10-2006-0128428
 (32) 優先日 平成18年12月15日(2006.12.15)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)

(74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子

最終頁に続く

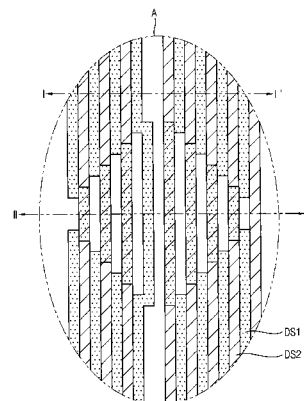
(54) 【発明の名称】 表示装置及びその製造方法

(57) 【要約】

【課題】シールラインの未硬化を防止することができる表示装置を提供する。

【解決手段】表示装置は、ゲート絶縁膜を挟んで互いに交差されるようにゲートライン及びデータラインが形成された表示領域と、表示領域の4辺を囲む第1、第2、第3、及び第4周辺領域を含む表示基板と、液晶を挟んで表示基板と対向する対向基板と、表示基板と対向基板との間のエッジに形成され表示基板と対向基板を結合させるシールラインと、ゲートラインの第1端部と隣接した表示基板の第1周辺領域に実装される駆動チップとを含み、表示基板は、データラインと駆動チップとを接続するために、ゲート絶縁膜を挟んで互いに交互に配置される第1及び第2データ信号印加線を含み、第1データ信号印加線は、シールラインが露出されるように一部領域が第2データ信号印加線と重なるように形成される。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

周辺領域によって囲まれた表示領域を有するベース基板と、第 1 方向に延長され基板上に形成されたゲートラインと、前記ゲートライン上に形成されたゲート絶縁膜と、第 1 方向と垂直である第 2 方向に延長され前記ゲート絶縁膜上に形成されたデータラインを含む表示基板と、

前記表示基板と対向する対向基板と、

前記表示基板と前記対向基板との間に介在する液晶層と、

前記表示基板と前記対向基板との間の前記周辺領域に形成され前記表示領域を囲むシールラインと、

前記ゲート絶縁膜の第 1 側上に配置された第 1 信号線と、

前記ゲート絶縁膜で前記第 1 側の反対側である第 2 側上に配置された第 2 信号線と、
を含み、前記第 1 信号印加線は、前記シールラインが露出されるように一部領域が前記第 2 信号印加線と重なるように形成されることを特徴とする表示装置。

10

【請求項 2】

前記周辺領域は駆動チップ及び前記ゲートラインの第 1 端部が実装された領域に隣接したことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記第 1 信号線は複数個の第 1 信号線を含み、前記第 2 信号線も複数個の第 2 信号線を含むことを特徴とする請求項 2 記載の表示装置。

20

【請求項 4】

前記第 2 信号印加線は直線形状に形成され、前記第 1 信号印加線は前記第 2 信号印加線と一部領域が重なるようにジグザグ形状に形成されることを特徴とする請求項 3 記載の表示装置。

【請求項 5】

前記第 2 信号印加線は直線形状に形成され、前記第 1 信号印加線は前記第 2 信号印加線と一部領域が重なるように曲線の波形状に形成されることを特徴とする請求項 3 記載の表示装置。

【請求項 6】

前記第 2 信号印加線は直線形状に形成され、前記第 1 信号印加線は前記第 2 信号印加線と一部領域が重なるように三角波形形状に形成されることを特徴とする請求項 3 記載の表示装置。

30

【請求項 7】

前記第 1 信号印加線は前記ベース基板上に形成され、前記第 2 信号印加線は前記ゲート絶縁膜上に形成されることを特徴とする請求項 3 記載の表示装置。

【請求項 8】

前記周辺領域は前記表示領域の一側に配置される第 1 周辺領域、前記表示領域の第 2 側に配置される第 2 周辺領域、前記表示領域の第 3 側に配置される第 3 周辺領域、及び前記表示領域の第 4 側に配置される第 4 周辺領域を含むことを特徴とする請求項 7 記載の表示装置。

40

【請求項 9】

前記第 1 信号印加線は、

前記第 1 周辺領域及び前記データラインの第 1 端部に隣接した前記第 3 周辺領域に形成され、 $4m - 2$ 番目データラインに接続される第 1 偶数信号印加線と、

前記第 1 周辺領域及び前記第 1 端部の反対側である前記データラインの第 2 端部に隣接した前記第 4 周辺領域に形成され、 $4m - 3$ 番目データラインに接続される第 1 奇数信号印加線を含む（ここで、 m は自然数である）ことを特徴とする請求項 8 記載の表示装置。

【請求項 10】

前記第 2 信号印加線は、

前記第 1 周辺領域及び前記第 3 周辺領域に形成され、 $4m$ 番目データラインに接続され

50

る第2偶数信号印加線と、

前記第1周辺領域及び前記第4周辺領域に形成され、4m-1番目データラインに接続される第2奇数信号印加線を含むことを特徴とする請求項9記載の表示装置。

【請求項11】

前記表示基板は、

前記4m-2番目データラインと前記第1偶数信号印加線とを接続する第1連結部と、

前記4m-3番目データラインと前記第1奇数信号印加線とを接続する第2連結部と、を含むことを特徴とする請求項10記載の表示装置。

【請求項12】

前記表示基板は、

前記第1端部の反対側である前記ゲートラインの第2端部に隣接した前記第2周辺領域に形成されるゲート駆動回路部を更に含むことを特徴とする請求項10記載の表示装置。

【請求項13】

前記表示基板は、

前記第3周辺領域及び前記第4周辺領域のうち、少なくとも1つの領域を経て前記駆動チップと前記ゲート駆動回路部とを接続する第3信号印加線を更に含むことを特徴とする請求項12記載の表示装置。

【請求項14】

前記表示基板は、前記対向基板と電気的に接続されるショートポイントを更に含み、

前記ショートポイントは、前記第1周辺領域で前記第1及び第2偶数信号印加線と前記第1及び第2奇数信号印加線の間形成されることを特徴とする請求項13記載の表示装置。

【請求項15】

前記駆動チップは、前記ゲートラインの配列方向と垂直に配列された出力パッドを含むことを特徴とする請求項14記載の表示装置。

【請求項16】

前記出力パッドは、

中央に位置して、前記ショートポイントに接続される共通電圧パッドと、

前記共通電圧パッドを基準として前記第3周辺領域方向に配列され、前記第1及び第2偶数信号印加線に接続される第1データ信号パッドと、

前記共通電圧パッドを基準として前記第4周辺領域方向に配列され、前記第1及び第2奇数信号印加線に接続される第2データ信号パッドと、

前記第1及び第2データ信号パッドの外郭に配列され、前記第3信号印加線に接続されるゲート信号パッドと、

を含むことを特徴とする請求項15記載の表示装置。

【請求項17】

前記駆動チップは、前記ゲートラインと垂直な方向に延長された方向に沿ってジグザグ形状に配列された複数の出力パッドを含むことを特徴とする請求項14記載の表示装置。

【請求項18】

前記シールラインは、光硬化物質を含むことを特徴とする請求項1記載の表示装置。

【請求項19】

前記シールラインは、前記表示基板を通じて印加された紫外線によって硬化されることを特徴とする請求項18記載の表示装置。

【請求項20】

周辺領域によって囲まれた表示領域が定義されたベース基板を含む表示基板を準備する段階と、

前記ベース基板上で第1方向に延長された複数個のゲートラインを形成する段階と、

前記ゲートライン上にゲート絶縁膜を形成する段階と、

前記ゲート絶縁膜上に前記第1方向と垂直な第2方向に延長された複数個のデータラインを形成する段階と、

10

20

30

40

50

前記表示基板を向かい合う対向基板を配置する段階と、
 前記表示基板と前記対向基板との間に液晶層を形成する段階と、
 前記表示基板と前記対向基板との間にシールラインを形成する段階と、
 前記表示領域を前記シールラインによって囲む段階と、
 前記ゲート絶縁膜の第1側上に第1信号線を形成する段階と、
 前記ゲート絶縁膜で反対側である第2側上に第2信号線を形成する段階と、
 前記シールラインの最小限一部に沿って前記第1信号線の一部を前記第2信号線とオーバーラップさせる段階と、
 を含む表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置及びその製造方法に関し、より詳細にはシールラインの未硬化を防止することができる表示装置及びその製造方法に関する。

【背景技術】

【0002】

一般的に、表示装置はゲートライン及びデータラインが互いに交差されるように形成され多数の画素を定義する表示基板と、液晶を挟んで表示基板と対向する対向基板と、表示装置を駆動させるために表示基板に結合される駆動チップを含む。

中小型製品に使用される表示装置は、駆動チップがデータラインの端部に対応される表示基板の上側又は下側に配置されるので、表示装置の上下長さが増加される構造を有する。しかし、最近、デジタルスチルカメラ(Digital Still Camera: DSC)等の製品では、画面の近くに機器操作ボタンを配置したデザインを採用することにより、ゲートラインの端部に対応する表示基板の左側又は右側に駆動チップを配置する構造が開発されている。

【0003】

しかし、駆動チップが表示基板の左側又は右側に配置された場合、駆動チップとデータラインとを接続するデータ信号印加線が表示基板の上側又は下側に稠密に形成されるので、シールラインを硬化させる工程において紫外線が遮断されてシールラインに未硬化の部分が発生するという問題点がある。

【発明の開示】

【発明が解決しようとする課題】

【0004】

従って、本発明は、シールラインの未硬化を防止することができる表示装置を提供する。

又、本発明は、前記表示装置の製造方法を提供する。

【課題を解決するための手段】

【0005】

本発明の一特徴による表示装置は、表示基板、対向基板、シールライン、及び駆動チップを含む。前記表示基板は、ゲート絶縁膜を挟んで互いに交差するようにゲートライン及びデータラインが形成された表示領域と、前記表示領域の4辺を囲む第1、第2、第3、及び第4周辺領域を含む。前記対向基板は、液晶を挟んで前記表示基板と対向する。前記シールラインは、前記表示基板と前記対向基板との間のエッジに形成され前記表示基板と前記対向基板を結合させる。前記駆動チップは、前記ゲートラインの第1端部と隣接した前記表示基板の前記第1周辺領域に実装される。前記表示基板は、前記データラインと前記駆動チップとを接続するために前記ゲート絶縁膜を挟んで互いに交互に配置される第1及び第2信号印加線を含み、前記第1信号印加線は前記シールラインを露出するように一部領域が前記第2信号印加線と重なるように形成される。

【0006】

一実施例として、前記第2信号印加線は直線形状に形成され、前記第1信号印加線は前

10

20

30

40

50

記第 2 信号印加線と一部領域が重なるようにジグザグ形状に形成される。

他の実施例として、前記第 2 信号印加線は直線形状に形成され、前記第 1 信号印加線は前記第 2 信号印加線と一部領域が重なるように曲線の波形状に形成される。

前記シールラインは、前記表示基板方向から入射する紫外線によって硬化される。

【0007】

前記第 1 信号印加線は、前記ゲートラインと同一層に形成され、前記第 2 信号印加線は、前記データラインと同一層に形成されることができ。

前記第 1 信号印加線は、前記第 1 周辺領域及び前記データラインの第 1 端部に隣接した前記第 3 周辺領域に形成され、 $4m - 2$ 番号データラインに接続される第 1 偶数信号印加線、及び前記第 1 周辺領域及び前記データラインの第 2 端部に隣接した前記第 4 周辺領域に形成され、 $4m - 3$ 番号データラインに接続される第 1 奇数信号印加線を含むことができる。ここで、 m は自然数である。

10

【0008】

前記第 2 信号印加線は、前記第 1 周辺領域及び前記第 3 周辺領域に形成され、 $4m$ 番目データラインに接続される第 2 偶数信号印加線、及び前記第 1 周辺領域及び前記第 4 周辺領域に形成され、 $4m - 1$ 番目データラインに接続される第 2 奇数信号印加線を含むことができる。

前記表示基板は、前記ゲートラインの第 2 端部に隣接した前記第 2 周辺領域に形成されるゲート駆動回路部を更に含むことができる。又、前記表示基板は、前記第 3 周辺領域及び前記第 4 周辺領域のうち、少なくとも 1 つの領域を経て前記駆動チップと前記ゲート駆動回路部とを接続する第 3 信号印加線を更に含むことができる。

20

【0009】

本発明の一特徴による表示装置の製造方法において、まず、周辺領域によって囲まれた表示領域が定義されたベース基板を含む表示基板を準備する。その後、前記ベース基板上で第 1 方向に延長された複数個のゲートラインを形成する。その後、前記ゲートライン上にゲート絶縁膜を形成する。続いて、前記ゲート絶縁膜上に前記第 1 方向と垂直な第 2 方向に延長された複数個のデータラインを形成する。その後、前記表示基板を向かい合う対向基板を配置する。さらに、前記表示基板と前記対向基板との間に液晶層を形成する。続いて、前記表示基板と前記対向基板との間にシールラインを形成する。その後、前記表示領域を前記シールラインによって囲む。さらに、前記ゲート絶縁膜の第 1 側上に第 1 信号線を形成する。続いて、前記ゲート絶縁膜で反対側である第 2 側上に第 2 信号線を形成する。その後、前記シールラインの最小限一部に沿って前記第 1 信号線の一部を前記第 2 信号線とオーバーラップさせる。

30

【0010】

このような表示装置及びその製造方法によると、稠密に配置された信号印加線によるシールラインの未硬化を防止することができる。

【発明を実施するための最良の形態】

【0011】

以下、添付図面を参照して本発明の好ましい実施例をより詳細に説明する。

図 1 は、本発明の一実施例による表示装置を示す斜視図で、図 2 は、図 1 に図示された表示基板の平面図である。

40

図 1 及び図 2 に示すように、本発明の一実施例による表示装置 100 は、表示基板 200、液晶を挟んで表示基板 200 と対向する対向基板 300、表示基板 200 と対向基板 300 とを結合させるシールライン 400、及び表示基板 200 に実装される駆動チップ 500 を含む。

【0012】

表示基板 200 は、図 2 に示すように、実質的に画像を表示する表示領域 DA と表示領域 DA の 4 辺を囲む第 1、第 2、第 3、及び第 4 周辺領域 PA1、PA2、PA3、PA4 を含む。

表示基板 200 は、表示領域 DA でゲート絶縁膜を挟んで互いに交差するように形成さ

50

れたゲートラインGL及びデータラインDLを含む。各画素は最小限1つのゲートラインGL及び最小限1つのデータラインDLに接続される。例えば、ゲートラインGLは横方向に延長されるように形成され、データラインDLは縦方向に延長されるように形成される。

【0013】

図示していないが、ゲートラインGLとデータラインDLとが交差する領域には、ゲートラインGL及びデータラインDLに接続される薄膜トランジスタ(以下、TFT)を形成することができる。TFTのゲート端子及びソース端子には、それぞれゲートラインGL及びデータラインDLが接続され、ドレイン端子には画素電極が接続されている。従って、ゲートラインGLを通じてTFTのゲート端子にゲート信号が印加されると、TFTがターンオンしてデータラインDLを通じてTFTのソース端子に印加されたデータ信号がドレイン端子を通じて画素電極に印加される。この際、表示装置100の1つの画素に複数個のTFTを形成することもできる。

10

【0014】

一方、表示基板200の第1周辺領域PA1はゲートラインGLの第1端部と隣接した領域で、第2周辺領域PA2はゲートラインGLの第1端部の反対側である第2端部と隣接した領域である。又、表示基板200の第3周辺領域PA3はデータラインDLの第1端部と隣接した領域で、第4周辺領域PA4はデータラインDLの第1端部の反対側である第2端部と隣接した領域である。即ち、第1周辺領域PA1は表示領域DAの左側領域で、第2周辺領域PA2は表示領域DAの右側領域で、第3周辺領域PA3は表示領域DAの上側領域で、第4周辺領域PA4は表示領域DAの下側領域である。従って、表示領域DAは、第1、第2、第3、及び第4周辺領域PA1、PA2、PA3、PA4によって囲まれた構造を有する。

20

【0015】

表示基板200は、第2周辺領域PA2に形成されるゲート駆動回路部210を含むことができる。ゲート駆動回路部210は、多数の駆動トランジスタで構成されたシフトレジスタを含む。ゲート駆動回路部210は、ゲートラインGL、データラインDL、及び薄膜トランジスタを形成する薄膜工程によって同時に形成されることができる。ゲート駆動回路部210は、駆動チップ500から印加されるゲート制御信号に反応してゲートラインGLにゲート信号を順に出力する。他の実施例として、ゲート駆動回路部210がゲート信号を順不同で出力するように構成することも可能である。

30

【0016】

シールライン400は、表示基板200と対向基板300との間のエッジに形成され表示基板200と対向基板300との間に配置される液晶が漏出することを防止する。

シールライン400は、紫外線等の外部光によって硬化される光硬化性樹脂で構成される。シールライン400は、表示基板200方向から入射する紫外線等の外部光によって硬化する。この際、シールライン400が対向基板300方向から、表示基板200の側面方向から、又は対向基板300の側面方向から入射する紫外線によって硬化させることもできる。

40

【0017】

駆動チップ500は、表示基板200の第1周辺領域PA1に実装される。このように、駆動チップ500を表示基板200の右側に該当する第1周辺領域PA1に配置することにより、表示基板200の上側又は下側に該当する第3周辺領域PA3又は第4周辺領域PA4の面積を減少させることができる。一方、表示装置100は駆動チップ500が第2周辺領域PA2に配置され、ゲート駆動回路部210が第1周辺領域PA1に形成された構造を有することができる。

【0018】

駆動チップ500は、外部から入力される各種制御信号に反応して表示装置100を駆動させるための各種出力信号を出力する。例えば、駆動チップ500は、データラインDLに印加されるデータ信号、ゲート駆動回路部210に印加されるゲート制御信号及び対

50

向基板 300 に印加される共通電圧等を出力する。ゲート制御信号及び共通電圧のうち少なくともいずれか 1 つが互いに異なる信号制御部（図示せず）によって印加されるように構成できる。

【0019】

一方、表示基板 200 は、駆動チップ 500 から出力されるデータ信号をデータライン DL に印加するための第 1 信号印加線 DS1 及び第 2 信号印加線 DS2 を含む。

図 3 は、図 2 の A 部分を拡大した拡大図で、図 4 は、図 3 の I-I' に沿って切断した断面図で、図 5 は、図 3 の II-II' に沿って切断した断面図である。

図 2 ~ 図 5 に示すように、第 1 信号印加線 DS1 及び第 2 信号印加線 DS2 は、データライン DL と駆動チップ 500 とを接続するために、第 1 周辺領域 PA1、第 3 周辺領域 PA3、及び第 4 周辺領域 PA4 に形成される。例えば、第 1 信号印加線 DS1 及び第 2 信号印加線 DS2 は、第 1 周辺領域 PA1 及び第 3 周辺領域 PA3 を経て偶数番目データライン DL に接続され、第 1 周辺領域 PA1 及び第 4 周辺領域 PA4 を経て奇数番目データライン DL に接続される。

【0020】

第 1 信号印加線 DS1 及び第 2 信号印加線 DS2 は、ゲート絶縁膜 220 を挟んで互いに交互に配置される。具体的に、第 1 信号印加線 DS1 及び第 2 信号印加線 DS2 は、ゲート絶縁膜 220 を挟んで互いに異なる層に形成される。例えば、第 1 信号印加線 DS1 は、基板 230 上に形成することにより、ゲートライン GL と同一層に形成される。また、第 2 信号印加線 DS2 は、第 1 信号印加線 DS1 をカバーしているゲート絶縁膜 220 上に形成することにより、データライン DL と同じ層に形成される。第 2 信号印加線 DS2 は、保護膜 240 でカバーされた構成とすることができる。一方、第 1 信号印加線 DS1 はデータライン DL と同一層に形成され、第 2 信号印加線 DS2 はゲートライン GL と同一層に形成することができる。

【0021】

このように、第 1 信号印加線 DS1 と第 2 信号印加線 DS2 を互いに異なる層に形成すると、第 1 信号印加線 DS1 と第 2 信号印加線 DS2 間の距離を減少させることができるので、第 3 周辺領域 PA3 及び第 4 周辺領域 PA4 の幅を減少させることができる。

第 1 信号印加線 DS1 と第 2 信号印加線 DS2 をある程度重なるように形成すると、第 3 周辺領域 PA3 及び第 4 周辺領域 PA4 の幅をより減少させることができる。しかし、第 1 信号印加線 DS1 と第 2 信号印加線 DS2 との重なる幅が大きすぎると、第 1 信号印加線 DS1 と第 2 信号印加線 DS2 との間に形成される寄生キャパシタによって信号の歪曲が発生するおそれがある。従って、信号の歪曲が発生しない範囲内で第 3 周辺領域 PA3 及び第 4 周辺領域 PA4 の幅を最小化するために、第 1 信号印加線 DS1 と第 2 信号印加線 DS2 は、最も近接した距離を維持するように交互に形成することが好ましい。

【0022】

一方、第 3 周辺領域 PA3 及び第 4 周辺領域 PA4 では、図 4 に示すように、第 1 信号印加線 DS1 と第 2 信号印加線 DS2 が稠密に形成されているので、表示基板 200 の下部から入射する紫外線が第 1 信号印加線 DS1 と第 2 信号印加線 DS2 によって遮断されシールライン 400 に未硬化の部分が発生することとなる。シールラインが部分的に未硬化である場合、背面から見た時、第 1 及び第 2 信号印加線 DS1、DS2 は、部分的に未硬化であるシールラインによって点線形状に見える。

【0023】

従って、第 1 信号印加線 DS1 と第 2 信号印加線 DS2 からシールライン 400 が露出されるように、第 1 信号印加線 DS1 の一部領域を第 2 信号印加線 DS2 と重なるように形成することにより、シールライン 400 の未硬化を防止することができる。

図 3 及び図 5 に示すように、第 2 信号印加線 DS2 は直線形状に形成されているが、第 1 信号印加線 DS1 は第 2 信号印加線 DS2 と一部領域が重なるようにジグザグ形状に形成される。

【0024】

10

20

30

40

50

このように、第1信号印加線DS1をジグザグ形状に形成すると、第1信号印加線DS1と第2信号印加線DS2が重なった面積だけ、紫外線の透過可能な領域が増加するので、シールライン400をより効果的に硬化させることができる。一方、第1信号印加線DS1は直線形状に形成される反面、第2信号印加線DS2は第1信号印加線DS1と一部領域が重なるようにジグザグ形状に形成することができる。

【0025】

一般的に、ゲートラインGLとデータラインDLは互いに異なる比抵抗を有するゲート金属及びデータ金属で形成される。これによって、ゲートラインGLと同じゲート金属で形成される第1信号印加線DS1と、データラインDLと同じデータ金属で形成される第2信号印加線DS2との間の抵抗の差異により、充電率差異が発生し表示不良が発生するおそれがある。

10

【0026】

しかし、本発明のように、第1信号印加線DS1をジグザグ形状に形成することにより、第2信号印加線DS2に対して第1信号印加線DS1の長さが長くなって第2信号印加線DS2との抵抗差異を緩和することができる。この場合は、第1信号印加線DS1の比抵抗が第2信号印加線DS2より大きい場合である。逆に、第2信号印加線DS2の比抵抗が第1信号印加線DS1より大きい場合、第1信号印加線DS1を直線形状に形成し、第2信号印加線DS2をジグザグ形状に形成する。

【0027】

図6は、図3に図示された第1及び第2信号印加線の他の実施例を示す平面図である。

20

図6に示すように、第2信号印加線DS2は直線形状に形成される反面、第1信号印加線DS1は第2信号印加線DS2と一部領域が重なるように曲線の波形状に形成される。

このように、第1信号印加線DS1を曲線の波形状に形成すると、紫外線が透過可能な領域が増加し、シールライン400の未硬化を防止することができ、第2信号印加線DS2に対して長さが長くなって、第2信号印加線DS2との抵抗差異を緩和することができる。また、第1信号印加線DS1を直線形状に形成し、第2信号印加線DS2を第1信号印加線DS1と一部領域が重なるように曲線の波形状に形成することができる。第1信号印加線DS1及び第2信号印加線DS2の2つの信号印加線のうち、抵抗値が低い方の長さを増加するように、長さの増加の可否を決定できる。

【0028】

30

図7は、図3に図示された第1及び第2信号印加線の更に他の実施例を示す平面図である。

図7に示すように、第2信号印加線DS2を直線形状に形成し、第2信号印加線DS2と一部領域が重なるように第1信号印加線DS1を三角波形状に形成する。

このように、第1信号印加線DS1を三角波形状に形成すると、紫外線が透過可能な領域が増加し、シールライン400の未硬化を防止することができ、第2信号印加線DS2に対して第1信号印加線DS1の長さが長くなって、第2信号印加線DS2との抵抗差異を緩和することができる。また、第1信号印加線DS1を直線形状に形成し、第2信号印加線DS2を第1信号印加線DS1と一部領域が重なるように三角波形状に形成することもできる。第1信号印加線DS1又は第2信号印加線DS2の長さは、2つの信号印加線のうち、どちらの信号印加線の抵抗値が低いかによって、増加させるかの可否を決定することができる。

40

【0029】

図8は、図2に図示されたデータラインと第1及び第2信号印加線の接続関係を示す図である。

図2及び図8に示すように、第1信号印加線DS1は、第1偶数信号印加線251及び第1奇数信号印加線252を含むように構成できる。

第1偶数信号印加線251は第1周辺領域PA1及び第3周辺領域PA3に形成され、 $n-2$ 番目データライン DL_{n-2} と駆動チップ500を接続する。ここで、 n は4の倍数である。

50

【0030】

第1奇数信号印加線252は第1周辺領域PA1及び第4周辺領域PA4に形成され、 $n-3$ 番目データライン DL_{n-3} と駆動チップ500を接続する。

第2信号印加線DS2は、第2偶数信号印加線253及び第2奇数信号印加線254を含むように構成できる。

第2偶数信号印加線253は第1周辺領域PA1及び第3周辺領域PA3に形成され、 n 番目データライン DL_n と駆動チップ500を接続する。

【0031】

第2奇数信号印加線254は、第1周辺領域PA1及び第4周辺領域PA4に形成され、 $n-1$ 番目データライン DL_{n-1} と駆動チップ500を接続する。

結果的に、第1偶数信号印加線251及び第2偶数信号印加線253は、第1周辺領域PA1及び第3周辺領域PA3を経て偶数番目データラインDLに接続され、第1奇数信号印加線252及び第2奇数信号印加線254は第1周辺領域PA1及び第4周辺領域PA4を経て奇数番目データラインDLに接続される。

【0032】

一方、第1偶数信号印加線251及び第1奇数信号印加線252は、データラインDLとゲート絶縁膜220を挟んで互いに異なる層に形成されている。従って、表示基板200は、第1偶数信号印加線251と $n-2$ 番目データライン DL_{n-2} とを電氣的に接続する第1連結部261及び第1奇数信号印加線252と $n-3$ 番目データライン DL_{n-3} とを電氣的に接続する第2連結部262を含むことができる。第1及び第2連結部261、262及びデータラインDL間の関係は、図9に関する説明でより詳細に説明される。

【0033】

図9は、図8に図示された第1連結部の一実施例を示す断面図である。

図9に示すように、第1偶数信号印加線251はゲート絶縁膜220の下部層に形成され、 $n-2$ 番目データライン DL_{n-2} はゲート絶縁膜220の上部層に形成されている。このとき、第1連結部261は、第1偶数信号印加線251と $n-2$ 番目データライン DL_{n-2} の直接接触を通じて形成される。即ち、 $n-2$ 番目データライン DL_{n-2} は、ゲート絶縁膜220に形成されたコンタクトホールを通じて第1偶数信号印加線251と直接接続される。 $m-3$ 番目データラインは同じ方法で第2連結部262を通じて第1奇数信号印加線252と接続される。

【0034】

図10は、図8に図示された第1連結部の他の実施例を示す断面図である。

図10に示すように、第1連結部261は、第1偶数信号印加線251と $n-2$ 番目データライン DL_{n-2} を接続するブリッジ電極270を通じて形成される。即ち、ブリッジ電極270の一端は、保護膜240及びゲート絶縁膜220に形成されたコンタクトホールを通じて第1偶数信号印加線251と接続され、ブリッジ電極270の他端は保護膜240に形成されたコンタクトホールを通じて $n-2$ 番目データライン DL_{n-2} と接続される。例えば、ブリッジ電極270はインジウムティンオキサイド(ITO)で形成される。

【0035】

一方、第2連結部262は第1連結部261と同じ構造を有するので、これについての説明は省略する。

表示基板200は、図2及び図8に示すように、第1偶数信号印加線251及び第2偶数信号印加線253が第3周辺領域PA3に形成され、第1奇数信号印加線252及び第2奇数信号印加線254が第4周辺領域PA4に形成された構造を有するが、これと異なり、第1偶数信号印加線251及び第2偶数信号印加線253が第4周辺領域PA4に形成され、第1奇数信号印加線252及び第2奇数信号印加線254が第3周辺領域PA3に形成された構造とすることができる。

【0036】

10

20

30

40

50

図 2 及び図 8 に示すように、表示基板 200 は、第 1 周辺領域 PA1 に実装された駆動チップ 500 と第 2 周辺領域 PA2 に形成されたゲート駆動回路部 210 を接続するための第 3 信号印加線 GS を含むことができる。

第 3 信号印加線 GS は、第 3 周辺領域 PA3 及び第 4 周辺領域 PA4 のうち、少なくとも 1 つの領域を経て駆動チップ 500 とゲート駆動回路部 210 を接続する。

【0037】

第 3 周辺領域 PA3 を経る第 3 信号印加線 GS は、第 1 偶数信号印加線 251 及び第 2 偶数信号印加線 253 との交差を防止するために、第 1 偶数信号印加線 251 及び第 2 偶数信号印加線 253 の周囲に形成することが好ましく、第 4 周辺領域 PA4 を経る第 3 信号印加線 GS は、第 1 奇数信号印加線 252 及び第 2 奇数信号印加線 254 との交差を防止するために、第 1 奇数信号印加線 252 及び第 2 奇数信号印加線 254 の周囲に形成することが好ましい。第 3 信号印加線 GS は第 3 周辺領域 PA3 又は第 4 周辺領域 PA4 の幅を減少させるために、第 1 及び第 2 偶数信号印加線 251、253 又は第 1 及び第 2 奇数信号印加線 252、254 と最大限近接するように形成することが好ましい。

10

【0038】

駆動チップ 500 から出力されるゲート制御信号は、第 3 信号印加線 GS を通じてゲート駆動回路部 210 に印加される。例えば、第 3 信号印加線 GS は、ゲート駆動回路部 210 のシフトレジスタの動作を開示させる動作開示信号が伝送される動作開始信号線、互いに位相が逆である第 1 及び第 2 クロック信号を伝送する第 1 及び第 2 クロック信号線、ゲートライン GL に接続された薄膜トランジスタの駆動を遮断するゲートオフ信号を伝送するゲートオフ信号線等を含むように構成できる。

20

【0039】

図 11 は、図 2 に図示された駆動チップのパッド構造を示す平面図である。

図 2、図 8、及び図 11 に示すように、駆動チップ 500 は、表示基板 200 と接続される面に形成された入力パッド IP、及び出力パッド OP を含む。駆動チップ 500 は、入力パッド IP を通じて外部から入力される各種制御信号に反応して、表示装置 100 を駆動させるための各種出力信号を、出力パッド OP を通じて出力する。例えば、駆動チップ 500 は、データライン DL に印加されるデータ信号、ゲート駆動回路部 210 に印加されるゲート制御信号、及び対向基板 300 に印加される共通電圧等を出力する。

30

【0040】

出力パッド OP は、ゲートライン GL の配列方向に沿って一列に配列される。これと異なり、出力パッド OP は、ゲートライン GL の配列方向に沿ってジグザグ形態の複数の列に配列することができる。他の実施例において、出力パッド OP と表示基板 200 との間の接触面積を増加するように構成できる。

出力パッド OP は、共通電圧パッド 510、第 1 データ信号パッド 520、第 2 データ信号パッド 530、及びゲート信号パッド 540 を含む。

【0041】

共通電圧パッド 510 は、出力パッド OP のうちで中央に位置する。共通電圧パッド 510 は、対向基板 300 (図 1 に図示) に形成された共通電極に印加される共通電圧 Vcom を出力する。

40

第 1 データ信号パッド 520 は、共通電圧パッド 510 を基準として一側方向に配列される。例えば、第 1 データ信号パッド 520 は、共通電圧パッド 510 を基準として第 3 周辺領域 PA3 方向に配列される。第 1 データ信号パッド 520 は、第 1 及び第 2 偶数信号印加線 251、253 と接続される。第 1 データ信号パッド 520 を通じて出力されるデータ信号は、第 1 及び第 2 偶数信号印加線 251、253 を経て偶数番目データライン DL に印加される。

【0042】

第 2 データ信号パッド 530 は、共通電圧パッド 510 を基準として第 1 データ信号パッド 520 の反対側方向に配列される。例えば、第 2 データ信号パッド 530 は、共通電圧パッド 510 を基準として第 4 周辺領域 PA4 方向に配列される。第 2 データ信号パッ

50

ド 5 3 0 は、第 1 及び第 2 奇数信号印加線 2 5 2、2 5 4 と接続される。第 2 データ信号パッド 5 3 0 を通じて出力されるデータ信号は、第 1 及び第 2 奇数信号印加線 2 5 2、2 5 4 を経て奇数番目データライン DL に印加される。

【0043】

ゲート信号パッド 5 4 0 は、第 1 及び第 2 データ信号パッド 5 2 0、5 3 0 の周囲にそれぞれ配列される。ゲート信号パッド 5 4 0 は、第 3 信号印加線 GS と接続される。ゲート信号パッド 5 4 0 を通じて出力されるゲート制御信号は、第 3 信号印加線 GS を経てゲート駆動回路部 2 1 0 に印加される。

ゲート信号パッド 5 4 0 は、動作開始信号を出力する第 1 パッド 5 4 1、第 1 及び第 2 クロック信号を出力する第 2 及び第 3 パッド 5 4 2、5 4 3、及びゲートオフ信号を出力する第 4 パッド 5 4 4 を含むことができる。ゲート信号パッド 5 4 0 の腐食を防止するために、ゲートオフ信号を出力する第 4 パッド 5 4 4 は最も外側に配置し、動作開始信号を出力する第 1 パッド 5 4 1 は最も内側に配置することが好ましい。

【0044】

一方、表示基板 2 0 0 は、対向基板 3 0 0 と電氣的に接続されるショートポイント 2 8 0 を含むように構成できる。

図 1 2 は、図 2 のショートポイント部分を拡大した B 部分の拡大図である。

図 2、図 8、及び図 1 2 に示すように、ショートポイント 2 8 0 は、第 1 周辺領域 PA 1 で第 1 及び第 2 偶数信号印加線 2 5 1、2 5 3 と第 1 及び第 2 奇数信号印加線 2 5 2、2 5 4 間に形成される。

【0045】

具体的に、第 1 及び第 2 偶数信号印加線 2 5 1、2 5 3 は、第 3 周辺領域 PA 3 方向に曲げられて延長され、第 1 及び第 2 奇数信号印加線 2 5 2、2 5 4 は、第 4 周辺領域 PA 4 方向に曲げられて延長されるので、第 1 及び第 2 偶数信号印加線 2 5 1、2 5 3 と第 1 及び第 2 奇数信号印加線 2 5 2、2 5 4 が分岐する領域には、ショートポイント 2 8 0 を形成するのに十分な空間が形成される。第 1 及び第 2 偶数信号印加線 2 5 1、2 5 3 と第 1 及び第 2 奇数信号印加線 2 5 2、2 5 4 間に形成される空間にショートポイント 2 8 0 を形成すると、駆動チップ 5 0 0 の共通電圧パッド 5 1 0 との接続経路を最大限短縮することができ、空間活用の効率を向上することができる。

【0046】

共通電圧パッド 5 1 0 を通じて出力される共通電圧は、ショートポイント 2 8 0 を経て対向基板 3 0 0 の共通電極に印加される。

一方、図示されていないが、駆動チップ 5 0 0 と隣接したデータライン DL に接続される第 1 及び第 2 信号印加線 DS 1、DS 2 は、第 1 及び第 2 信号印加線 DS 1、DS 2 間に形成される空間を利用して、ジグザグ形状に曲げられた構造に形成する場合、駆動チップ 5 0 0 と相対的に遠い位置に形成されたデータライン DL に接続される第 1 及び第 2 信号印加線 DS 1、DS 2 との長さの差異を減少させて、抵抗差異を減少することができる。

【産業上の利用可能性】

【0047】

このような表示装置及びその製造方法によると、駆動チップを表示領域の左側又は右側に配置することにより、表示領域の上側又は下側の幅を減少することができる。

又、駆動チップとデータラインを接続する信号印加線を表示領域の上側及び下側に偶数番目及び奇数番目に分けて配置し、ゲート絶縁膜を挟んで互いに異なる層に交互に形成することにより、表示領域の上側及び下側の幅を最小化することができる。

【0048】

又、ゲート絶縁膜を挟んで互いに異なる層に形成される信号印加線の一部領域を重なるように形成することにより、シールラインの未硬化を防止することができる。

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れる

10

20

30

40

50

ことなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0049】

【図1】本発明の一実施例による表示装置を示す斜視図である。

【図2】図1に図示された表示基板の平面図である。

【図3】図2のA部分を拡大した拡大図である。

【図4】図3のI-I'に沿って切断した断面図である。

【図5】図3のII-II'に沿って切断した断面図である。

【図6】図3に図示された第1及び第2信号印加線の他の実施例を示す平面図である。

【図7】図3に図示された第1及び第2信号印加線の更に他の実施例を示す平面図である

10

。

【図8】図2に図示されたデータラインと第1及び第2信号印加線の接続関係を示す図である。

【図9】図8に図示された第1連結部の一実施例を示す断面図である。

【図10】図8に図示された第1連結部の他の実施例を示す断面図である。

【図11】図2に図示された駆動チップのパッド構造を示す平面図である。

【図12】図2のショートポイント部分を示すB部分の拡大図である。

【符号の説明】

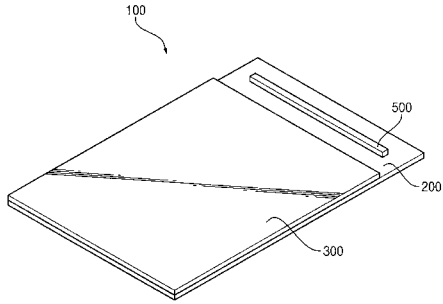
【0050】

100 表示装置
 200 表示基板
 210 ゲート駆動回路部
 DS1、DS2 第1及び第2信号印加線
 251 第1偶数信号印加線
 252 第1奇数信号印加線
 253 第2偶数信号印加線
 254 第2奇数信号印加線
 280 ショートポイント
 300 対向基板
 400 シールライン
 500 駆動チップ

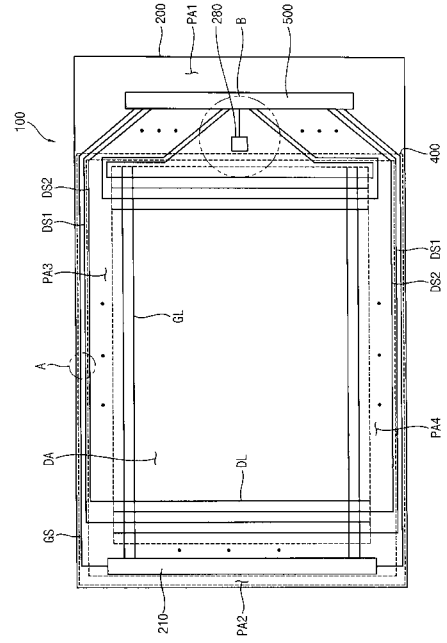
20

30

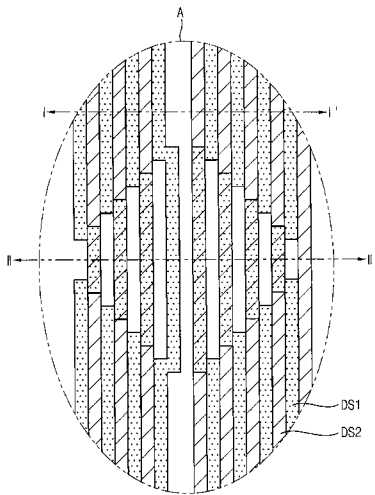
【 図 1 】



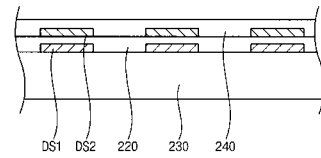
【 図 2 】



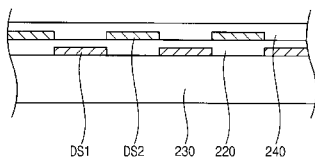
【 図 3 】



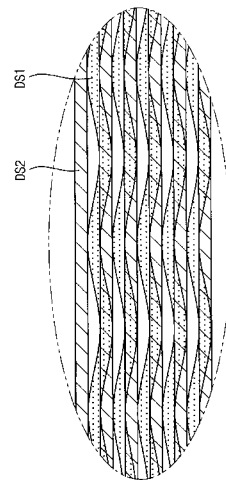
【 図 5 】



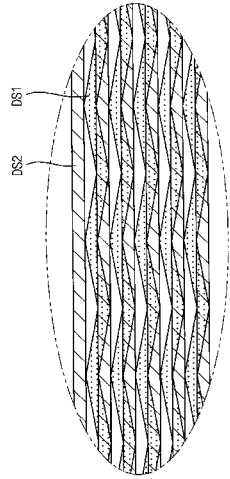
【 図 4 】



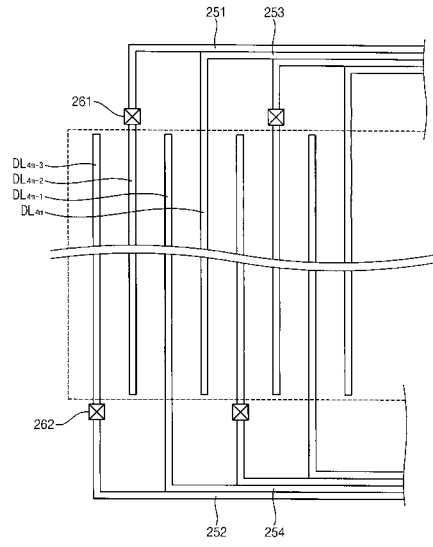
【 図 6 】



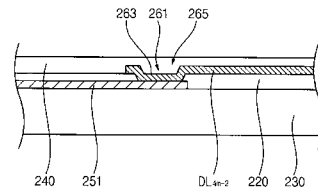
【 図 7 】



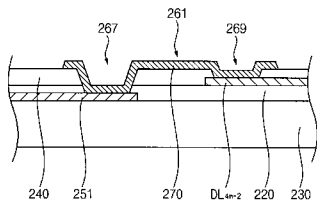
【 図 8 】



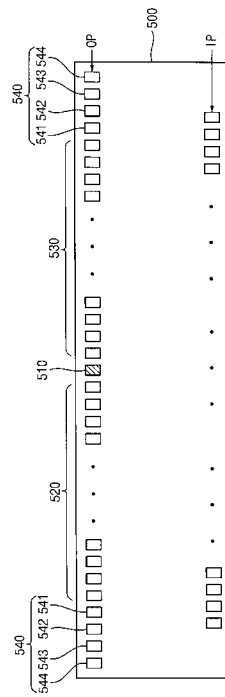
【 図 9 】



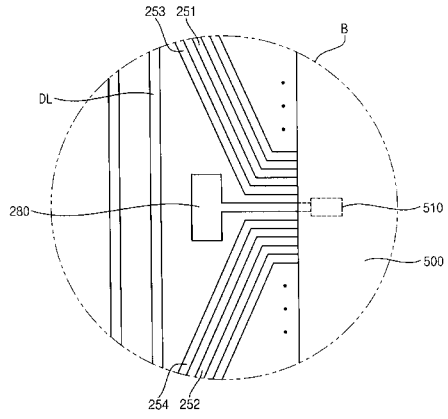
【 図 10 】



【 図 11 】



【 図 1 2 】



フロントページの続き

(72)発明者 鄭 基 勳

大韓民国ソウル特別市城北区敦岩2洞ハンジンアパート210棟1802号

(72)発明者 成 碩 濟

大韓民国京畿道龍仁市水枝区竹田洞碧山アパート208棟602号

(72)発明者 全 容 濟

大韓民国京畿道水原市勸善区勸善洞1311-6エスティボボ419号

(72)発明者 崔 晋 榮

大韓民国ソウル特別市蘆原区上溪9洞ボラムアパート209棟102号

Fターム(参考) 2H089 LA46 NA44 QA01 QA16 TA03 TA09

2H092 GA33 GA35 GA44 GA59 GA60 JA24 NA18 NA25 PA04

5C094 AA43 BA43 DA07 DB01 EA10 FB12

专利名称(译)	显示装置及其制造方法		
公开(公告)号	JP2008152261A	公开(公告)日	2008-07-03
申请号	JP2007322953	申请日	2007-12-14
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	鄭基勳 成碩濟 全容濟 崔晋榮		
发明人	鄭基勳 成碩濟 全容濟 崔晋榮		
IPC分类号	G02F1/1368 G02F1/1345 G02F1/1339 G09F9/30		
CPC分类号	G02F1/1339 G02F1/1345 G02F2001/13456		
FI分类号	G02F1/1368 G02F1/1345 G02F1/1339.505 G09F9/30.309 G09F9/30.330.Z G09F9/30.330		
F-TERM分类号	2H089/LA46 2H089/NA44 2H089/QA01 2H089/QA16 2H089/TA03 2H089/TA09 2H092/GA33 2H092/GA35 2H092/GA44 2H092/GA59 2H092/GA60 2H092/JA24 2H092/NA18 2H092/NA25 2H092/PA04 5C094/AA43 5C094/BA43 5C094/DA07 5C094/DB01 5C094/EA10 5C094/FB12 2H189/DA89 2H189/EA05Y 2H189/FA52 2H189/HA16 2H189/LA04 2H189/LA06 2H189/LA10 2H192/AA24 2H192/FA22 2H192/FA32 2H192/FA35 2H192/FA37 2H192/FA44 2H192/FA48 2H192/FA73 2H192/FB02 2H192/FB27 2H192/FB32 2H192/FB33 2H192/GD25		
优先权	1020060128428 2006-12-15 KR		
其他公开文献	JP5362978B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够防止密封线不固化的显示装置。解决方案：显示装置包括：显示基板，包括显示区域，其四个边缘被第一，第二，第三和第四外围区域围绕，具有栅极线，彼此交叉的数据线并插入形成于其上的栅极绝缘层；相对的基板，与显示基板相对设置，在它们之间插入液晶；密封线，设置在显示基板和边缘上的相对基板之间，并将显示基板和相对基板粘合在一起；驱动芯片安装在显示基板的第一外围区域上，与栅极线的第一端部相邻，其中显示基板包括第一和第二数据信号施加线，交替设置，栅极绝缘层介于其间，用于此目的连接数据线和驱动芯片的步骤，形成第一数据信号施加线，以使其一部分区域与第二数据信号施加线重叠，以暴露密封线。

