

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-72365

(P2007-72365A)

(43) 公開日 平成19年3月22日(2007.3.22)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 612F	5C006
G02F 1/133 (2006.01)	G09G 3/20 641C	5C080
	G09G 3/20 641A	
	G09G 3/20 641K	
審査請求 未請求 請求項の数 12 O L (全 22 頁) 最終頁に続く		

(21) 出願番号 特願2005-261924 (P2005-261924)

(22) 出願日 平成17年9月9日(2005.9.9)

(71) 出願人 503121103

株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目4番1号

(74) 代理人 100080001

弁理士 筒井 大和

(72) 発明者 赤井 亮仁

神奈川県川崎市麻生区王禅寺1099番地
株式会社日立製作所システム開発研究所
内

(72) 発明者 工藤 泰幸

神奈川県川崎市麻生区王禅寺1099番地
株式会社日立製作所システム開発研究所
内

最終頁に続く

(54) 【発明の名称】 表示装置用駆動装置

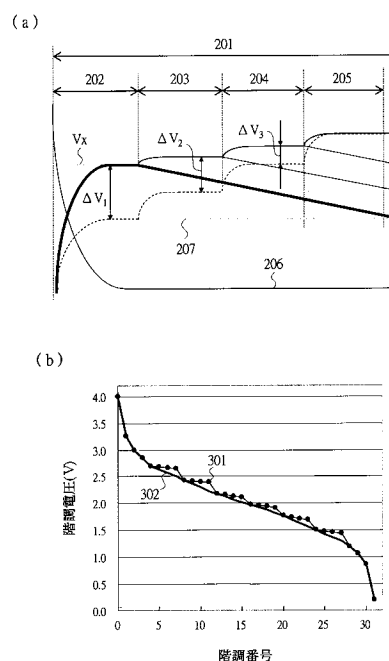
(57) 【要約】

【課題】 表示装置用の駆動方法及び駆動装置に関し、分割期間毎にレベルが変化する階調電圧を出力する方法（第1の駆動方法）における画質劣化を改善でき、省回路規模での多階調表示化と画質劣化軽減を両立できる技術を提供する。

【解決手段】 本駆動方法及び駆動装置では、液晶パネルの電流リーク経路及びそれ起因の信号線電圧変動を考慮して、第1の駆動方法における分割期間毎に、 γ 調整機能（第2の駆動方法）を適用する。信号線駆動部において、各階調の出力期間毎に異なる電圧変動量を加減算した階調電圧を生成し、予め信号線電圧変動量を考慮した階調電圧 V_x を信号線に印加する。

【選択図】 図2

図 2



【特許請求の範囲】**【請求項 1】**

複数の階調の夫々に対応した階調電圧を生成する階調電圧生成部と、入力された表示データに応じて表示パネルの信号線へ出力すべき階調電圧を前記複数の階調の夫々に対応した階調電圧から選択する階調電圧選択部とを有する表示装置用駆動装置であって、

走査期間の時分割期間に応じて、当該時分割期間に応じた前記信号線の電圧変動量に対応したレベル調整を施した階調電圧を、前記信号線に印加する手段を有することを特徴とする表示装置用駆動装置。

【請求項 2】

複数の階調の夫々に対応した階調電圧を生成する階調電圧生成部と、入力された表示データに応じて表示パネルの信号線へ出力すべき前記階調電圧を選択する階調電圧選択部とを有する表示装置用駆動装置であって、

前記階調電圧選択部は、前記信号線毎に、前記階調電圧生成部から時分割で出力された階調電圧から、前記信号線へ出力すべき階調電圧を選択し、選択された階調電圧を出力する期間の長さを、前記表示データによって制御するものであり、

前記階調電圧生成部は、前記階調電圧を前記信号線へ出力するための 1 走査期間を時分割した複数の各期間に応じて、理想電圧に対するレベルが変動する前記階調電圧を生成可能であり、

前記階調電圧に関して、前記信号線における前記時分割した各期間に応じた電圧変動量に合わせて、前記電圧変動量を加減算した、前記分割した期間毎にレベルの異なる前記階調電圧を生成する手段を有することを特徴とする表示装置用駆動装置。

【請求項 3】

請求項 2 記載の表示装置用駆動装置において、

前記階調電圧生成部は、前記階調電圧のうち高電位の階調電圧から低電位の階調電圧へ向かって又は低電位の階調電圧から高電位の階調電圧へ向かって段階的に前記レベルが変動する階調電圧を出力することを特徴とする表示装置用駆動装置。

【請求項 4】

請求項 2 記載の表示装置用駆動装置において、

前記階調電圧生成部は、基準電圧を抵抗分割するラダー抵抗と、前記ラダー抵抗と前記基準電圧との間に位置する可変抵抗とを備えたことを特徴とする表示装置用駆動装置。

【請求項 5】

請求項 4 記載の表示装置用駆動装置において、

前記可変抵抗の抵抗値を調整するための調整レジスタを備えたことを特徴とする表示装置用駆動装置。

【請求項 6】

請求項 5 記載の表示装置用駆動装置において、

前記調整レジスタは、階調番号と階調電圧との関係のグラフ上の振幅が設定されることを特徴とする表示装置用駆動装置。

【請求項 7】

請求項 6 記載の表示装置用駆動装置において、

前記階調電圧生成部は、前記 1 走査期間を時分割した期間の数と等しい数の前記調整レジスタを備え、前記調整レジスタに格納された設定値を順次選択する切替回路を有することを特徴とする表示装置用駆動装置。

【請求項 8】

請求項 7 記載の表示装置用駆動装置において、

前記切替回路は、前記時分割するタイミングで前記調整レジスタに格納された設定値を、前記可変抵抗に転送することを特徴とする表示装置用駆動装置。

【請求項 9】

複数の階調の夫々に対応した階調電圧を生成する階調電圧生成部と、入力された表示データに応じて表示パネルの信号線へ出力すべき前記階調電圧を選択する階調電圧選択部と

10

20

30

40

50

を有する表示装置用駆動装置であって、

前記階調電圧選択部は、前記信号線毎に、前記階調電圧生成部から時分割で出力された階調電圧から、前記信号線へ出力すべき階調電圧を選択し、選択された階調電圧を出力する期間の長さを、前記表示データによって制御するものであり、

前記階調電圧生成部は、前記階調電圧を前記信号線へ出力するための１走査期間を時分割した複数の各期間に応じて、理想電圧に対するレベルが変動する前記階調電圧を生成可能であり、

前記階調電圧に関して、前記階調電圧生成部で生成した階調電圧に対し、前記信号線における前記時分割した各期間に応じた電圧変動量に合わせてレベル調整あるいは変換を施して、前記分割した期間毎にレベルの異なる階調電圧を出力する手段を有することを特徴とする表示装置用駆動装置。 10

【請求項１０】

複数の階調の夫々に対応した階調電圧を生成する階調電圧生成部と、入力された表示データに応じて表示パネルの信号線へ出力すべき前記階調電圧を選択する階調電圧選択部とを有する表示装置用駆動装置であって、

前記階調電圧選択部は、前記信号線毎に、前記階調電圧生成部から時分割で出力された階調電圧から、前記信号線へ出力すべき階調電圧を選択し、選択された階調電圧を出力する期間の長さを、前記表示データによって制御するものであり、

前記階調電圧生成部は、前記階調電圧を前記信号線へ出力するための１走査期間を時分割した複数の各期間に応じて、理想電圧に対するレベルが変動する前記階調電圧を生成可能であり、 20

前記走査期間を３分割しそれぞれの期間を前記表示パネルの信号線である表示色に対応したＲ線，Ｇ線，Ｂ線に割り当てて駆動する方法と組み合わせた表示駆動を行うものであり、

前記Ｒ，Ｇ，Ｂ毎に個別に、前記階調電圧に関して、前記階調電圧生成部で生成した階調電圧に対し、前記信号線における前記時分割した各期間に応じた電圧変動量に合わせて、前記電圧変動量を加減算した、前記分割した期間毎にレベルの異なる階調電圧を出力する手段を有することを特徴とする表示装置用駆動装置。

【請求項１１】

外部からの表示データに応じた電圧を表示パネルへ出力する表示装置用駆動装置において、 30

１水平期間内の分割期間に応じて階段状に変化する電圧を出力するための出力回路と、

前記表示データに応じて、前記階段状に変化する電圧のレベルを確定するための選択回路と、

前記階段状に変化する電圧のレベルを前記分割期間ごとにシフトするための回路を備えることを特徴とする表示装置用駆動装置。

【請求項１２】

外部からの表示データに応じた電圧を表示パネルへ出力する表示装置用駆動装置において、

１水平期間内の分割期間に応じて階段状に変化する電圧を出力するための出力回路と、 40

前記表示データに応じて、前記階段状に変化する電圧のレベルを確定するための選択回路と、

前記階段状に変化する電圧のレベルを前記分割期間ごとに設定するための設定回路とを備えることを特徴とする表示装置用駆動装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、携帯電話機等のモバイル機器等に具備される表示装置用駆動装置（駆動回路を実装したＩＣ等）の技術に関し、特に、低消費電力化かつ省回路規模で動作可能な表示装置の駆動方法及び駆動回路の技術に関する。

【背景技術】

【0002】

従来、TFT液晶等の表示装置用の駆動回路として、特開2005-99665号公報（特許文献1）記載の駆動回路の技術がある。この駆動回路では、表示データの上位ビットの階調数に応じた数の階調電圧線と、表示データの下位ビットに対応して予め設定された時間毎にパルス信号を受けて、上位ビットの内容に応じた階調電圧線を当該パルス信号がアクティブの期間のみ選択して信号線に出力するセクタ、及び各階調電圧線に画像データの下位ビットの階調数だけ変化する階調電圧を供給する階調電圧生成部とを有する。特開2005-99665号公報（特許文献1）記載の駆動方法は、予め設定された分割期間毎に電圧レベルが変化する階調電圧群の中から、表示データの上位ビットに応じて一つを選択し、選択された階調電圧を表示データの下位ビットの情報に応じた期間のみ信号線に出力する方法である。以下、このような方法を第1の駆動方法と略称する。以上の構成と動作により、少ない回路規模で、より多くの階調表示を実現することが可能となる。

【0003】

また、 γ 調整機能を実現する従来の方法として、特開2005-49868号公報（特許文献2）記載の駆動回路がある。この回路及び方法では、S字状の γ 特性カーブに対して、振幅調整、傾き調整、微調整のそれぞれを、振幅調整レジスタ、傾き調整レジスタ、微調整レジスタで調整できるようにし、個々の液晶パネルの特性における所望の γ 特性に応じた各階調電圧を調整することを可能とするものである。

【特許文献1】特開2005-99665号公報

【特許文献2】特開2005-49868号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

前記第1の駆動方法では、ある構造を持つ液晶パネル及びその表示装置に対しては、例えば、グラデーション表示をさせた場合に、均一に表示輝度が変化せず、筋状の画質劣化が発生する場合がある。例えば液晶パネル内の信号線と対向電極間に電流リーク経路がある場合には、信号線及び選択画素電極に充電された電荷が対向電極へ移動し、信号線及び画素電極に印加された階調電圧レベルが変動することがある。これにより画質劣化が発生し、所望の表示輝度が得られない。

【0005】

図1は本発明の技術で適用対象とする前提技術の液晶パネル401の一例を示したものである。液晶パネル401は、TFT基板101、対向電極102、液晶層103、信号線（データ線ともいう）104、走査線105、電流リーク経路106を有する。この中で、特に信号線104と対向電極102の間に電流リーク経路106がある液晶パネル401において、画質劣化が発生することが判っている。

【0006】

ここで、この画質劣化の発生原因について、図8(a),(b)を用いて説明する。図8(a)は、1走査期間中の信号線(104)、及び対向電極(102)の電圧遷移を示したものである。201は1走査期間、202は第1の分割期間、203は第2の分割期間、204は第3の分割期間、205は第4の分割期間である。また206は対向電極電圧、207は電圧印加期間が第1の分割期間202である階調の理想電圧、208は第1の駆動方法を図1に示す液晶パネル401に適用した場合の信号線(104)電圧遷移である。

【0007】

まず、第1の駆動方法においては、電圧印加期間が第1の分割期間202である階調に着目すると、第1の分割期間202が終了後、信号線104は(1走査期間201-第1の分割期間202)の時間、フローティング状態に移行する。そして、信号線104と対向電極102の間に電流リーク経路106が存在する場合、信号線104の階調電圧が対向電極電圧206側に変動し、理想電圧207に対して、実際には信号線電圧遷移208

が発生してしまう。一方、電圧印加期間が第４の分割期間２０５である階調に着目すると、第４の分割期間２０５が終了した直後にＴＦＴがオフ状態に遷移するため、信号線１０４の階調電圧がほとんど変動しない。

【０００８】

以上から、分割期間（２０２～２０５）毎に異なる電圧変動が信号線１０４に発生する。例えば表示データを３２レベル、１走査期間２０１の分割数を４とすると、このような電圧変動量の偏りが４階調ごとに８回繰り返されることになる。

【０００９】

図８（ｂ）は、信号線１０４を接続する信号線駆動部の出力電圧と、ＴＦＴがオフ状態に遷移した直後の信号線（１０４）電圧に着目した、階調番号－階調電圧の特性を示したものである。２０９は信号線駆動部の出力電圧の階調番号と電圧の特性、２１０はＴＦＴがオフ状態に遷移した直後の画素電極電圧（信号線電圧）の階調番号と電圧の特性である。液晶パネル４０１の表示輝度は、画素電極電圧（２１０）で決定されるが、これにより、グラデーション表示させた場合は８本の筋が見られる画質劣化が発生する。なお、ここでは、画質劣化が発生する仕組みを図８（ａ）に示すように信号線１０４を低い電圧から高い電圧へ遷移させた場合で説明したが、第１の駆動方法では、信号線１０４を高い電圧から低い電圧へ遷移させた場合も同様に画質劣化が発生する。

【００１０】

本発明は以上のような問題に鑑みてなされたものであり、その目的は、上記のような画質劣化を改善でき、省回路規模での多階調表示化と画質劣化軽減を両立できる技術を提供することにある。

【課題を解決するための手段】

【００１１】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００１２】

前述した画質劣化の原因は、分割期間（２０２～２０５）毎に信号線１０４の電圧変動量が異なるからである。そこで、本発明の技術では、分割期間（２０２～２０５）毎に γ 特性を調整する機能・手段を用いる。前記 γ 特性は、表示データ、階調電圧、実際の表示輝度（画素電極電圧）などの関係と言い換えられる。

【００１３】

この γ 調整機能を実現する従来の方法として、前記特開２００５－４９８６８号公報（特許文献２）記載の駆動回路がある。

【００１４】

以上を踏まえ、本発明の技術では、前記目的を達成するために、前記特開２００５－４９８６８号公報（特許文献２）記載の γ 調整機能（以下、第２の駆動方法とする）を、前記第１の駆動方法に適用した構成を有することを特徴とする。即ち、信号線（１０４）と対向電極（１０２）の間に電流リーク経路（１０６）を有する液晶パネル（４０１）等の表示パネルに対して第１の駆動方法を適用した場合に発生する信号線（１０４）及び画素電極の電圧変動に対し、予めその電圧変動量を考慮して即ちその変動の影響を打ち消すように、加減算などのレベル調整を施した階調電圧を、信号線に印加・出力する手段を備える構成にした。

【００１５】

図２（ａ）は、本発明の技術において、前記第１の駆動方法に第２の駆動方法を適用した駆動方法及び駆動回路の構成における、信号線１０４電圧レベルの遷移を示したものである。理想電圧２０７に対して、予め分割期間（２０２～２０５）毎に異なる電圧変動量 ΔV_1 、 ΔV_2 、 ΔV_3 を加算した階調電圧 V_x （ $V_x = V_{data} + \Delta V_y$ ， $x = 0, 1, 2, \dots, 31$ ）を生成し、信号線駆動部は、液晶パネル４０１の信号線１０４にその電圧（ V_x ）を印加することにした。この結果、ＴＦＴがオフ状態に遷移した直後における、隣り合う階調の電圧差を調整することができる。

10

20

30

40

50

【 0 0 1 6 】

図 2 (b) は、信号線 (1 0 4) 電圧に着目した場合の階調番号 - 階調電圧特性を示したものである。3 0 1 は信号線駆動部の出力電圧の階調番号と電圧の特性、3 0 2 は T F T がオフ状態に遷移したタイミングでの画素電極電圧 (信号線電圧) の階調番号と電圧の特性である。実際に表示輝度を決定する画素電極電圧 (3 0 2) で判るように、特性カーブが滑らかになり、従来技術で発生していた筋状の画質劣化が回避できる。

【 0 0 1 7 】

以上から、本発明の駆動装置を用いることにより、省回路規模での多階調表示化と本発明第一の目的である画質劣化軽減を両立することが可能になる。

【 0 0 1 8 】

本駆動装置は、例えば、複数の階調の夫々に対応した階調電圧を生成する階調電圧生成部と、入力された表示データに応じて表示パネルの信号線へ出力すべき前記階調電圧を選択する階調電圧選択部とを有する。前記階調電圧選択部は、前記信号線毎に、前記階調電圧生成部から時分割で出力された階調電圧から、前記信号線へ出力すべき階調電圧を選択し、選択された階調電圧を出力する期間の長さを、前記表示データによって制御する。前記階調電圧生成部は、前記階調電圧を前記信号線へ出力するための 1 走査期間を時分割した複数の各期間に応じて、理想電圧に対するレベルが変動する前記階調電圧を生成可能である。そして本駆動装置は、前記階調電圧に関して、前記信号線における前記時分割した各期間に応じた電圧変動量に合わせて、前記電圧変動量を加減算した前記時分割期間毎にレベルの異なる前記階調電圧を生成する手段を有する。あるいは、本装置は、階調電圧生成部で生成した階調電圧に対し前記加減等のレベル調整あるいは変換を施して出力する手段などを有する。また特に、前記階調電圧生成部は、段階的 (階段状) に前記レベルが変動する階調電圧を出力する。また特に、本装置は、前記時分割期間毎のレベル調整のためのレジスタ等を備える。

【 0 0 1 9 】

本駆動装置は、例えば、1 水平期間内の分割期間に応じて階段状に変化する電圧を出力するための出力回路 (実施の形態における 4 1 2 , 4 1 3 と対応する) と、表示データに応じて、前記階段状に変化する電圧のレベルを確定するための選択回路 (4 1 5 ~ 4 1 7 等) と、前記階段状に変化する電圧のレベルを前記分割期間ごとにシフトするための回路 (4 2 7 , 4 2 8 等) を備える。また、本駆動装置は、例えば、1 水平期間内の分割期間に応じて階段状に変化する電圧を出力するための出力回路と、前記表示データに応じて、前記階段状に変化する電圧のレベルを確定するための選択回路と、前記階段状に変化する電圧のレベルを前記分割期間ごとに設定するための設定回路 (振幅調整レジスタ 4 1 8 ~ 4 2 1 等) とを備える。

【 発明の効果 】

【 0 0 2 0 】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。本発明によれば、省回路規模で多階調表示化可能であると同時に、画質劣化の小さい駆動回路が実現可能となる。

【 発明を実施するための最良の形態 】

【 0 0 2 1 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部には原則として同一符号を付し、その繰り返しの説明は省略する。図 1 ~ 図 7 は、本実施の形態を説明するためのものである。図 8 は、従来技術を説明するものである。なお各図中で同様の機能部位が複数ある場合にその一部のみ符号を付与している。

【 0 0 2 2 】

本実施の形態の駆動装置では、表示装置の信号線電圧変動を考慮した階調電圧出力が可能な階調電圧調整機能を設けている。その機能は、本実施の形態の駆動方法に従った表示装置の駆動を行うものである。本実施の形態の駆動方法は、前記第 1 の駆動方法に前記第

10

20

30

40

50

2の駆動方法を組み合わせたものである。

【0023】

以下、本実施の形態との比較のために、従来技術を簡単に確認する。従来技術である前記第1の駆動方法において、アクティブマトリクス型表示パネル、例えばTFT液晶パネルを駆動する場合、信号線104の選択期間が終了すると、駆動回路からの電荷の供給は停止し、信号線104は液晶パネル401内の配線間容量、例えば信号線104 - 走査線105の間の容量結合等で電荷が保持され、フローティング状態に移行する。そして、選択状態にある画素電極の階調電圧もTFTがオフ状態へ遷移するまで、信号線104と同電圧を保持することになる。

【0024】

しかし、第1の駆動方法で駆動する駆動回路を、例えば図1に示すような、信号線104と対向電極102の間に電流リーク経路106を有するTFT液晶パネル401に接続した場合、定常的に信号線104に充電された電荷が対向電極102へ移動し続けるため、信号線104がフローティング状態になった瞬間から、信号線電圧 V_{data} が変動することになる。これにより、所望の実効値が得られず、例えば、グラデーション表示をさせた場合には、筋状の画質劣化が発生することが判っている。

【0025】

ところで、前述の電圧変動量 ΔV_y ($y = 1, 2, 3, 4$)は、下記式1で表すように、信号線電圧 V_{data} と対向電極電圧 V_{com} の電位差と、液晶パネル401内の容量性負荷CLCD、電流リーク経路106のインピーダンス R_{leak} 、信号線104のフローティング状態

10

20

。

【0026】

$$\Delta V_y = - (V_{data} - V_{com}) \times e^{\{ - (4 - y) \times t \div \tau \}} \quad \cdots \text{式1}$$

まず、液晶パネル401に着目すると、パネル内の容量性負荷CLCDが小さいほど電圧変動量 ΔV_y は大きくなる。また、電流リーク経路106のインピーダンス R_{leak} が小さいほど電圧変動量 ΔV_y は大きくなる。以上から、駆動する液晶パネル401毎に画質劣化の程度は異なることが判る。

【0027】

次に、信号線104がフローティング状態になる期間に着目すると、1走査期間Hを4等分した時間 t ($t = H / 4$)を基準に考えると、第1期間のみで信号線104が選択される第1の階調グループのフローティング期間は $3t$ 、第2期間まで信号線104が選択される第2の階調グループ2のフローティング期間は $2t$ 、第3期間まで信号線104が選択される第3の階調グループのフローティング期間は t 、第4期間まで信号線104が選択される第4の階調グループのフローティング期間は0となる。そして、第1の階調グループの電圧変動量 ΔV_1 は最も大きく、 ΔV_2 、 ΔV_3 と徐々に小さくなっていき、第4の階調グループの電圧変動量 ΔV_4 は0となる。

30

【0028】

ここで本実施の形態では、同一の液晶パネル401では、第 y の階調グループが同じであれば、式1の $e^{\{ - (4 - y) \times t \div \tau \}}$ の部分が一定となることに着目し、前述した電圧変動量 ΔV_y を加算した階調電圧 V_x ($V_x = V_{data} + \Delta V_y$)を階調グループ毎に生成し、信号線104に印加することにした。

40

【0029】

以下、本実施の形態の駆動方法及び駆動装置及びそれを含むシステムを説明する。

【0030】

(実施の形態1)

実施の形態1の構成と動作を、図3～図4を用いて説明する。図3は、実施の形態1の駆動装置を含むシステム(液晶表示装置)の構成を示す。図4(a)は、実施の形態1の駆動方法におけるレジスタ及びスイッチの各々の制御について示す、各信号のタイミングチャートである。図4(b)及び(c)は、本駆動方法における階調番号 - 階調電圧特性

50

である。

【0031】

まず、図3において、本液晶表示装置は、液晶パネル401に対して、信号線駆動部402、走査線駆動部403、電源回路404、及びCPU405を有する構成である。信号線駆動部402は、本実施の形態の駆動方法に従って液晶パネル401を駆動する駆動回路である。

【0032】

液晶パネル401は、2枚のガラス基板間に液晶を封入した構造となっており、図1に示すように、ガラス基板の一方にTFTが画素毎に配置され、一方の対向側のガラス基板には対向電極102が設けられる。そして、液晶パネル401は、TFTに接続する走査線105と信号線104がマトリクス状に配置された、アクティブマトリクス型と呼ばれるTFT液晶パネルであり、TFTのドレイン端子は、信号線104を介して階調電圧選択部417の出力に接続され、TFTのゲート端子は走査線105を介して走査線駆動部403の出力に接続され、TFTのソース端子は画素電極に接続される。加えて、本実施の形態では、特に信号線104と対向電極102の間に電流リーク経路106を有する液晶パネル401を対象としている。

10

【0033】

なお、以下、液晶パネル401を前提に説明を進めていくが、電圧レベルで表示輝度を制御可能であり、且つ対信号線で前述の電流リーク経路106相当を有するその他の素子、例えば有機EL素子等であっても構わない。

20

【0034】

なお、階調電圧選択部417に接続される信号線490は、図1の液晶パネル401内の信号線104の延長部分である。信号線電圧変動は、階調電圧選択部417からパネル側へ延びる信号線490及びパネル内の信号線104において発生する。

【0035】

信号線駆動部402は、デジタルの表示データをアナログの階調電圧VdataにDA(デジタル-アナログ)変換し、液晶パネル401の信号線104を介して画素電極に階調電圧Vdataを印加することで、液晶パネル401の表示輝度を制御するブロックである。

【0036】

走査線駆動部403は、液晶パネル401の走査線105に対し、後述する信号線駆動部402内のタイミングコントローラ408で生成したラインクロックLPに同期した選択信号を線順次に印加するためのブロックである。

30

【0037】

電源回路404は、外部から供給される電源電圧Vciから、信号線駆動部402及び走査線駆動部403内で必要な電源電圧レベルを生成するブロックである。なお、電源電圧レベルの生成は、チャージポンプ回路等による電源電圧Vciをn倍化することで実現する。

【0038】

次に、信号線駆動部402を構成する各ブロックを説明する。信号線駆動部402は、システムインタフェース406、表示メモリ制御部409、表示メモリ410、ラッチ回路411、制御レジスタ407、タイミングコントローラ408、第1の基準電圧生成部412、第2の基準電圧生成部413、階調電圧生成部414、階調電圧時分割出力部415、比較演算部416、階調電圧選択部417、レジスタ切替回路424、425を有する。

40

【0039】

制御レジスタ407は、振幅調整レジスタ(418~421)、傾き調整レジスタ及び微調整レジスタ422、分割期間調整レジスタ(分割期間PH設定レジスタ)423を含む。振幅調整レジスタは、第1の階調グループ用振幅調整レジスタ(第1期間用振幅調整レジスタ)418、第2の階調グループ用振幅調整レジスタ(第2期間用振幅調整レジスタ)419、第3の階調グループ用振幅調整レジスタ(第3期間用振幅調整レジスタ)4

50

20、第4の階調グループ用振幅調整レジスタ(第4期間用振幅調整レジスタ)421の各振幅調整レジスタ(正極用及び負極用)を有する。傾き調整レジスタ及び微調整レジスタ422は、特開2005-49868号公報(特許文献2)記載のものと同様である。

【0040】

第1の基準電圧生成部412は、抵抗426、可変抵抗427、428、429、430、セクタ回路431を有する。427及び428は、振幅調整用可変抵抗であり、429及び430は傾き調整用可変抵抗である。階調電圧生成部414は、ラダー抵抗432、2to1スイッチ433、オペアンプ回路434を有する。階調電圧時分割出力部415は、4to1セクタ435、オペアンプ回路436を有する。比較演算部416は、比較器437を有する。階調電圧選択部417は、8to1セクタ438、スイッチ回路439を有し、信号線490を接続している。

10

【0041】

階調電圧時分割出力部415、比較演算器416、階調電圧選択部417により、第1の駆動方法を実現する。ただし、傾き調整レジスタ及び微調整レジスタ422はなくても構わない。

【0042】

以下、信号線駆動部402の内部ブロックの動作について説明する。

【0043】

システムインタフェース406は、CPU405が出力する表示データ及びインストラクション等を受け、制御レジスタ407へ転送する。ここで、インストラクションとは、駆動回路の内部動作を決定するための情報であるが、フレーム周波数、駆動ライン数、及び階調時分割駆動時の分割期間情報、 γ 特性に関する各種調整機能のレジスタの設定値を含む。

20

【0044】

制御レジスタ407は、 γ 調整機能(第2の方法)に関するレジスタについては液晶パネル401を駆動するための印加電圧極性毎に設置することにする。即ち正極用の振幅調整レジスタ(418~421)と、それと同様の負極用の振幅調整レジスタとを有する。基本的に、制御レジスタ407は、インストラクションデータを格納し、このデータを各ブロックへ転送するブロックである。例えば、前記フレーム周波数と駆動ライン数、分割期間情報に関するインストラクションは、後述するタイミングコントローラ408へ転送される。また、振幅調整レジスタ(418~421)に格納されるインストラクションは、後述するレジスタ切替回路424、425へ転送され、傾き調整レジスタ及び微調整レジスタ422に格納されるインストラクションは、後述する基準電圧生成部(412、413)へ転送される。なお、表示データも一旦制御レジスタ407に格納され、表示位置を指示するインストラクションと共に、後述する表示メモリ制御部409へ出力される。

30

【0045】

タイミングコントローラ408は、ドットカウンタを持っており、外部から入力されるドットクロックを元にラインクロックLPを生成する。また、分割期間調整レジスタ423から転送される分割期間情報で、1走査期間の各階調グループの分割期間を規定するPH信号を生成する。なお、ここでの階調グループとは、0から31までの32個の階調番号の中で階調番号4nを第1の階調グループ、階調番号4n+1を第2の階調グループ、階調番号4n+2を第3の階調グループ、階調番号4n+3を第4の階調グループとする。

40

【0046】

PH信号は、1走査期間の中で00、01、10、11の順番で変化する2ビット信号であり、後述するレジスタ切替回路424、425で使用される。なお、タイミングコントローラ408は、PH信号の反転信号である/PHも出力し、/PHは、階調電圧時分割出力部415内の4to1セクタ435で使用することにする。さらに、タイミングコントローラ408は、PH[0](PH信号下位1ビット)=PH[1](PH信号上位1ビット) PH[0]≠PH[1]で状態遷移する毎にカウントする2ビットカウンタと

50

、 $PH[1] = 0$ $PH[1] = 1$ で状態遷移する毎にカウントする 2 ビットカウンタとを有し、前者は PH_1 信号、後者は PH_2 信号を出力するものとする。

【0047】

表示メモリ制御部 409 は、表示メモリ 410 の読み出し及び書き込み動作を行うブロックである。書き込み動作時には、制御レジスタ 407 から転送される表示位置のインストラクションに基づき、表示メモリ 410 のアドレスを選択する信号を出力し、同時に表示データを表示メモリ 410 に転送する。また、読み出し動作時には、制御レジスタ 407 から転送される表示位置のインストラクションに基づき、1 ライン分の表示データを順次一斉に選択する。

【0048】

表示メモリ 410 は、液晶パネル 401 の画素数相当の記憶領域を有し、表示メモリ制御部 409 によって、その動作が制御される。なお、表示メモリ制御部 409 で読み出し指定された表示データはラッチ回路 411 へ転送される。

【0049】

第 1 及び第 2 の基準電圧生成部 (412, 413) は同一の回路構成であり、電源回路 404 で設定された基準電圧 V_{DD} と基準電圧 V_{SS} の間に、固定抵抗群 (抵抗 426) と、振幅調整を実現する可変抵抗 427, 428 と、傾き調整を実現する可変抵抗 429, 430 とからなるラダー抵抗と、微調整を実現するためのセレクト回路 431 とから構成される。ここで、可変抵抗 427, 428 の抵抗値は、レジスタ切替回路 424, 425 から転送されるレジスタ値を元に調整できるものとする。

【0050】

なお、図 3 では、基準電圧 V_{DD} 、基準電圧 V_{SS} の近傍に可変抵抗 427, 428 を設置して、それらの抵抗値を調整することで振幅調整を実施した。これに限らず、可変抵抗 427, 428, 429, 430 をすべて固定抵抗に置換し、抵抗分圧された複数の電圧レベルからセレクト回路を用いて、振幅調整を実施する構成でも構わない。

【0051】

階調電圧生成部 414 は、第 1 と第 2 の基準電圧生成部 (412, 413) から入力される基準電圧を選択する 2 to 1 スイッチ 433 と、その出力をインピーダンス変換するためのオペアンプ回路 434 と、そして、オペアンプ回路 434 の出力電圧を元に、例えば表示データが 5 ビットの場合は、32 レベルの階調電圧レベルを生成するためのラダー抵抗 432 とから構成される。なお、2 to 1 スイッチ 433 は、タイミングコントローラ 408 で生成した PH 信号の下位 1 ビット $PH[0]$ で切り替わるものとする。例えば、 $PH[0]$ が “0” の場合は、第 1 の基準電圧生成部 412 の出力電圧を選択し、 $PH[0]$ が “1” の場合は、第 2 の基準電圧生成部 413 の出力電圧を選択することにする。

【0052】

階調電圧時分割出力部 415 は、階調電圧生成部 414 の出力、例えば表示データが 5 ビットの場合は 32 レベルの電圧レベルから、隣接する 4 レベルの階調電圧を順次選択する 4 to 1 セレクト 435 と、4 to 1 セレクト 435 の出力をインピーダンス変換するためのオペアンプ回路 436 とから構成される。4 to 1 セレクト 435 の切り替えはタイミングコントローラ 408 で生成した $\neg PH$ 信号で動作するものとし、1 走査期間中に低電圧側から高電圧側へと 4 回電圧レベルが変化する階調電圧 $V_{0B} \sim V_{7B}$ を出力する。ただし、4 to 1 セレクト 435 の切り替えは、 PH 信号で動作するものとし、1 走査期間中に高電圧側から低電圧側へと 4 回電圧レベルが変化する階調電圧 $V_{0B} \sim V_{7B}$ を出力しても構わない。

【0053】

比較演算部 416 は、表示データ $D[4:0]$ の下位 2 ビットである $D[1:0]$ と $\neg PH$ 信号を比較器 437 で比較し、 $\neg PH = D[1:0]$ の条件で “1” (ハイ)、 $\neg PH < D[1:0]$ の条件で “0” (ロー) となる EN 信号を出力する。

【0054】

なお、前述した 4 to 1 セレクト 435 の切り替えを PH 信号で行う場合は、 $D[1:$

10

20

30

40

50

0]とPH信号を比較器437で比較し、PH=D[1:0]の条件で“1”(ハイ)、PH>D[1:0]の条件で“0”(ロー)となるEN信号を出力する。

【0055】

階調電圧選択部417は、液晶パネル401の信号線104と同数の8to1セクタ438とスイッチ回路439とから構成される。ここで、比較演算部416から転送されるEN信号が“1”(ハイ)の場合には、スイッチ回路439がオン状態になり、表示データの上位3ビットであるD[4:2]の値に従い、8to1セクタ438が階調電圧V0B~V7Bの1つを選択し出力する。例えばD[4:2]が000ならばV0B、111ならばV7Bを選択して出力する。一方、EN信号が0の場合はD[4:2]の値によらず、スイッチ回路439がオフ状態になり、出力はハイ・インピーダンスとなる。なお、階調電圧選択部417の出力は、信号線490を通じて表示パネル401の信号線104に接続されている。

10

【0056】

第1のレジスタ切替回路424は、タイミングコントローラ408から転送されるPH₁信号をもとに、振幅調整レジスタ418, 420から転送されるレジスタ値を順番に切り替える。そして、レジスタ切替回路424は、その値を、第1の基準電圧生成部412内の可変抵抗427, 428へ転送する。また同様に、第2のレジスタ切替回路425は、タイミングコントローラ408から転送されるPH₂信号をもとに、振幅調整レジスタ419, 421から転送されるレジスタ値を順番に切り替える。そして、レジスタ切替回路425は、その値を、第2の基準電圧生成部413内の可変抵抗へ転送する。ここでは、第1のレジスタ切替回路424には、印加電圧の極性によらず奇数階調グループの振幅調整レジスタ418, 420のレジスタ値が転送されるものとし、第2のレジスタ切替回路425には、印加電圧の極性によらず偶数階調グループの振幅調整レジスタ419, 421のレジスタ値が転送されるものとする。

20

【0057】

次に、本実施の形態1に係るレジスタ及びスイッチの各々の制御について、図4(a)を参照して説明する。図4(a)で、501は本来信号線104(画素電極)に印加すべき階調電圧(出力電圧)、502は本実施の形態1における階調電圧時分割出力部415の出力電圧である。

【0058】

まず、タイミングコントローラ408で生成されるラインクロックLPの立ち上がりタイミングで、ラッチ回路411から一斉に表示データが比較演算部416及び階調電圧選択部417、2to1スイッチ433に転送される。また、同時にタイミングコントローラ408で生成される/PH信号が、比較演算部416、及び4to1セクタ435に転送され、PH₁, PH₂信号がレジスタ切替回路424, 425に転送される。

30

【0059】

なお、EN信号は、前述したように比較演算部416で生成される。具体的には、ラッチ回路411から転送される表示データの下位2ビットであるD[1:0]と/PH信号とを比較し、EN信号を生成する。

【0060】

第1のレジスタ切替回路424は、タイミングコントローラ408から転送されるPH₁信号の切り替わりタイミングで、正極用の振幅調整レジスタ418, 420、及び負極用の振幅調整レジスタから転送されるレジスタ値を順次選択し、可変抵抗427及び428へ転送する。その結果、可変抵抗427及び428は、その設定値に基づいて、2走査期間に相当する時間内に抵抗値が4回変化することになる。また、第2のレジスタ切替回路425は、タイミングコントローラ408から転送されるPH₂信号の切り替わりタイミングで、正極用の振幅調整レジスタ419, 421、及び負極用の振幅調整レジスタから転送されるレジスタ値を順次選択し、第2の基準電圧生成部413内の可変抵抗へ転送する。その結果、可変抵抗の抵抗値は、設定値に基づいて、2走査期間に相当する時間内に抵抗値が4回変化することになる。

40

50

【 0 0 6 1 】

そして、2 to 1 スイッチ 4 3 3 は、PH 信号の下位 1 ビット PH[0] の切り替わりで第 1 の基準電圧生成部 4 1 2 の出力電圧と第 2 の基準電圧生成部 4 1 3 の出力電圧を選択する。図 4 (a) では、PH[0] = 0 で第 1 の基準電圧生成部 4 1 2 の出力電圧を選択し、PH[0] = 1 で第 2 の基準電圧生成部 4 1 3 の出力電圧を選択した場合である。これにより、正極の第 1 の階調グループの振幅設定、第 2 の階調グループの振幅設定、第 3 の階調グループの振幅設定、第 4 の階調グループの振幅設定、負極の第 1 の階調グループの振幅設定、第 2 の階調グループの振幅設定、第 3 の階調グループの振幅設定、第 4 の階調グループの振幅設定という順番で、 γ 特性が切り替わることになる。なお、2 to 1 スイッチ 4 3 3 が、第 1 の基準電圧生成部 4 1 2 を選択し、例えば正極性の第 1 の階調グループの出力電圧を選択している場合は、選択されていない第 2 の基準電圧生成部 4 1 3 は、正極性の第 2 の階調グループの出力電圧を生成する。これにより、第 1 及び第 2 の基準電圧生成部 (4 1 2 , 4 1 3) の出力は、2 to 1 スイッチ 4 3 3 が選択する前に、予め電圧を確定しておくことができ、振幅設定切り替わり時の収束性に遅延等の問題が発生することはない。

10

【 0 0 6 2 】

4 to 1 セレクタ 4 3 5 は、/ PH 信号に従って隣接する 4 レベルの階調電圧から 1 レベルを順次選択し、ボルテージフォロアの役割を果たすオペアンプ回路 4 3 6 は、その電圧を階調電圧選択部 4 1 7 へ転送する。なお、8 個設置したオペアンプ回路 4 3 6 の出力である V 0 B ~ V 7 B は、図 4 (a) に示すように、低電圧側から高電位側へと階段状に遷移する。そして、V 0 B , V 1 B , ... , V 7 B は、本来信号線 1 0 4 (画素電極) に印加すべき階調電圧 (出力電圧) 5 0 1 に対して、印加電圧極性が正極性の場合は電圧変動量 ΔV_y を加算、印加電圧極性が負極性の場合は電圧変動量 ΔV_y を減算した出力電圧 5 0 2 であることが、本実施の形態の特徴である。

20

【 0 0 6 3 】

図 4 (b) は、1 走査期間内で出力される階調電圧時分割出力部 4 1 5 における出力電圧の階調番号と階調電圧の特性を示したものである。5 0 3 は第 1 の階調グループの階調番号 - 階調電圧特性を示す。同様に、5 0 4 は第 2 の階調グループ、5 0 5 は第 3 の階調グループ、5 0 6 は第 4 の階調グループの特性をそれぞれ示す。階調番号 - 階調電圧特性 5 0 6 以外の電圧レベルはすべて電圧変動量 ΔV_y を加減算したものであり、図 2 (b) の階調番号 - 階調電圧特性 3 0 1 と同様な特性が得られる。図 4 (c) は、図 4 (b) の階調番号 4 ~ 9 の部分を拡大したものであるが、それぞれのハイ・インピーダンス期間に応じた電圧降下が発生すると、階調番号 - 階調電圧特性 5 0 3 ~ 5 0 5 は、電圧降下が発生しない第 4 の階調グループの階調番号 - 階調電圧特性 5 0 6 と同等になることが期待できる。これにより、従来技術で発生していた筋状の画質劣化を回避できる。

30

【 0 0 6 4 】

以上のような回路構成と動作タイミングにより、本実施の形態 1 の駆動装置を備えた液晶表示装置では、液晶パネル 4 0 1 に電流リーク経路 1 0 6 が存在した場合でも、第 1 の駆動方法が適用可能となる。従って、少ない定常電流と回路規模で多階調表示が実現でき、駆動方法起因で発生する画質劣化を軽減することが可能である。

40

【 0 0 6 5 】

なお、本実施の形態 1 では、信号線 1 0 4 への出力電圧 V_x は低階調側から高階調側へと階段状に遷移させているが、1 走査期間内で階調電圧の遷移方向が同一であれば構わないので、高階調側から低階調側へと階段状に遷移するものとしても構わない。また、レジスタ切替回路と基準電圧生成部をそれぞれ 2 個ずつ設置したが、それぞれ 1 個ずつとしても構わない。その場合は、分割期間毎に正極用の振幅調整レジスタ (4 1 8 ~ 4 2 1) のレジスタ値と負極用の振幅調整レジスタのレジスタ値を順番に切り替えて、2 走査期間で可変抵抗 4 2 7 , 4 2 8 の抵抗値を 8 回変化させることになる。また、入力の表示データを 5 ビットとして説明したが、例えば 6 ビットでも構わないし、階調電圧選択部 4 1 7 は、1 走査期間内で隣接する 4 レベルの階調電圧が階段状に遷移する中から電圧を選択する

50

場合で説明したが、2レベルの階調電圧から選択する構成でも構わない。また、表示メモリ(410)を内蔵した駆動装置及び液晶表示装置を説明したが、表示メモリ非内蔵型の駆動装置でも構わない。さらに、本実施の形態においては、特開2005-49868号公報(特許文献2)記載の振幅調整機能を適用した場合を例にして、階調グループ毎の γ 特性カーブを生成する方法を説明してきたが、これに限られるわけではなく、その他の調整機能を適用しても構わない。

【0066】

(実施の形態2)

以下、実施の形態2の構成と動作を、図5～図6を用いて説明する。実施の形態2では、1走査期間H内の分割期間毎に γ 特性を切り替える前述の実施の形態1に対し、階調電圧生成部では1走査期間中では γ 特性を切り替えることはせず、階調電圧の電圧レベルを前述した電圧変動量 ΔV_y にあわせて調整できるようにしたものである。

10

【0067】

図5(a)は、実施の形態2における駆動装置を含むシステム(液晶表示装置)を示したものである。図5(b)は、回路部分(B)の構成を示す。図5(c)は、図5(b)のレジスタの設定例を示す。図6(a)は、実施の形態2の駆動方法におけるレジスタ及びスイッチの各々の制御について示す、各信号のタイミングチャートである。図6(b)及び(c)は、本駆動方法における階調番号-階調電圧特性である。

【0068】

図5(a)において、制御レジスタ601、タイミングコントローラ603、基準電圧生成部412、階調電圧生成部604、比較演算器608以外のブロックの構成及び動作については、実施の形態1と同様である。階調電圧生成部604は、ラダー抵抗部605、オペアンプ回路606、出力ラダー抵抗部607を有する。

20

【0069】

制御レジスタ601は、階調間電圧調整レジスタ602、傾き調整レジスタ及び微調整レジスタ422、分割期間調整レジスタ423を含む。 γ 調整機能に関するレジスタについては、液晶パネル401を駆動するための印加電圧極性毎に設置することにする。ただし、傾き調整レジスタ及び微調整レジスタ422はなくても構わないし、図5(a)では省略したが振幅調整レジスタを設置しても構わない。

【0070】

タイミングコントローラ603は、ドットカウントを持っており、外部から入力されるドットクロックを元にラインクロックLPを生成する。また、分割期間調整レジスタ423から転送される分割期間情報によって、実施の形態1と同様に各階調グループの分割期間を規定するPH信号を生成し、PH信号は後述する比較演算器608内の比較器610で使用される。一方で、タイミングコントローラ603は、液晶印加電圧の極性を示すM信号に基づき、M="0"の場合はPH信号の全ビット反転した信号、M="1"の場合はPH信号そのものとなるPH_M信号を生成する。なお、このPH_M信号は、4to1セレクタ435で使用される。

30

【0071】

基準電圧生成部412は、前述した実施の形態1においては可変抵抗427、428の抵抗値を階調グループ毎に変化させることで、電圧変動量 ΔV_y 分シフトさせた γ 特性カーブを4種類生成し、分割期間毎に切り替えることで画質劣化を改善した。一方、本実施の形態2においては、前述したように、1走査期間内では可変抵抗427、428の抵抗値を変更しないものとする。

40

【0072】

階調電圧生成部604は、基準電圧生成部412から転送される基準電圧をもとに、抵抗分割で32レベルの階調電圧を生成するラダー抵抗部605と、ラダー抵抗部605で生成した電圧レベルから4階調毎、例えば $V_0, V_4, \dots, V_{29}$ に相当する電圧レベルをバッファリングするオペアンプ回路606と、そしてそのオペアンプ回路606の出力電圧を基準に、前述した電圧変動量 ΔV_y を加減算した電圧レベルを生成する出力ラダー

50

抵抗部 607 により構成される。なお、オペアンプ回路 606 は、階調電圧生成部 604 の出力電圧がラダー抵抗部 605 と出力ラダー抵抗部 607 の合成抵抗による分圧で決定されるのを防ぐために設置している。

【0073】

図 5 (b) に示すように、出力ラダー抵抗部 607 は、可変抵抗 611, 614、抵抗 612, 613 を有する。出力ラダー抵抗部 607 は、オペアンプ回路 606 の出力間を、4 個の抵抗 (611 ~ 614) の抵抗分割により 3 レベルを生成する。このうち、オペアンプ回路 606 出力近傍の 2 個の抵抗 (611, 614) については可変抵抗とする。また、その抵抗 (611, 614) の抵抗値については、図 5 (c) に示すように、階調間電圧調整レジスタ 602 に格納された 2 ビットの設定値で設定できるものとする。例えば、5R, 10R, 25R, 50R の 4 種を設定可能とする。なお R は一定の抵抗値とする。

10

【0074】

ところで、出力ラダー抵抗部 607 の出力電圧、例えば $V_5 \sim V_7$ は、下記式 2 ~ 式 4 で求めることができる。例えば、可変抵抗 614 の抵抗値を大きくすると、式 2 ~ 式 4 の ($V_4 - V_8$) と $+V_8$ を除く部分の項が 1 に近い値となるため、 V_4 レベルと V_8 レベルを固定のまま、 V_5, V_6, V_7 のみを V_4 側の高電位に上昇させることができる。また、可変抵抗 611 の抵抗値を大きくすると、式 2 ~ 式 4 の同部分の項が 0 に近い値となるため、 V_4 レベルと V_8 レベルを固定のまま、 V_5, V_6, V_7 のみを V_8 側の低電位に下降させることができる。なお下記で例えば r_{612} は抵抗 612 の抵抗値とする。

20

【0075】

$$V_5 = (V_4 - V_8) \times (r_{612} + r_{613} + r_{614}) / (r_{611} + r_{612} + r_{613} + r_{614}) + V_8 \quad \cdots \text{式 2}$$

$$V_6 = (V_4 - V_8) \times (r_{613} + r_{614}) / (r_{611} + r_{612} + r_{613} + r_{614}) + V_8 \quad \cdots \text{式 3}$$

$$V_7 = (V_4 - V_8) \times (r_{614}) / (r_{611} + r_{612} + r_{613} + r_{614}) + V_8 \quad \cdots \text{式 4}$$

従って、液晶印加電圧の極性が正極性で $M = "0"$ の場合は、信号線電圧 $V_{data} >$ 対向電極電圧 V_{com} となり、電流リークにより信号線電圧 V_{data} の電圧レベルが降下するため、可変抵抗 614 の抵抗値を大きくして、信号線電圧 V_{data} に電圧変動量 ΔV_y を加算する。また、液晶印加電圧の極性が負極性で $M = "1"$ の場合は、信号線電圧 $V_{data} <$ 対向電極電圧 V_{com} となり、電流リークにより信号線電圧 V_{data} の電圧レベルが上昇するため、可変抵抗 611 の抵抗値を大きくして、信号線電圧 V_{data} に電圧変動量 ΔV_y を加算する。

30

【0076】

ここで、図 5 (b) では、前述した 4 個の抵抗のうち抵抗 612, 613 の抵抗値 r_{612}, r_{613} を 5R と固定としたが、調整可能な構成としても構わない。また、可変抵抗 611, 614 の抵抗値 r_{611}, r_{614} は、図 5 (c) に示すように階調間電圧調整レジスタ 602 の設定値 2 ビットで選択できるものとしているが、このビット数に限られる訳ではない。一般に、調整ビット数を小さくする程、スイッチ回路等を少なくでき、回路規模を小さくできるが、その分調整幅と調整精度が低下するため、十分な画質改善効果が期待できない場合がある。従って、1 走査期間の分割期間と、液晶パネル 401 内電流リーク経路 106 のインピーダンス R_{leak} の値との関係を考慮した上で、調整ビット数及び設定可能抵抗値を決定することが望ましい。

40

【0077】

比較演算器 608 は、反転器 609 と比較器 610 から構成される。反転器 609 は、ラッチ回路 411 から表示データ $D[4:0]$ の下位 2 ビット $D[1:0]$ と、印加電圧の極性を示す M 信号とを受けて、正極性で $M = "0"$ の場合は、 $D[1:0]$ を全ビット反転させた信号を比較器 610 に転送し、負極性で $M = "1"$ の場合は、 $D[1:0]$ そのものを比較器 610 に転送する。ここで、反転器 609 の出力信号を $C[1:0]$ とすると、

50

比較器 610 は、 $C[1:0]$ と タイミングコントローラ 603 から 転送される PH 信号を比較し、 $PH < C[1:0]$ の条件で “1” (ハイ)、 $PH > C[1:0]$ の条件で “0” (ロー) となる EN 信号を出力する。なお、階調電圧選択部 417 以降の動作は実施の形態 1 と同様である。

【0078】

次に、本実施の形態 2 におけるレジスタ及びスイッチの各々の制御について、図 6 (a) を参照して説明する。図 6 (a) で、701 は理想とする階調電圧 (出力電圧)、702 は本実施の形態 2 における階調電圧時分割出力部 415 の出力電圧である。

【0079】

まず、ラインクロック LP、及び表示データ $D[4:0]$ の比較演算器 608 までの転送方式は実施の形態 1 と同様である。本発明の実施の形態の特徴である階調間電圧調整については、タイミングコントローラ 603 から、印加電圧の極性を示す M 信号の切り替えタイミングに同期して、正極性及び負極性用の階調間電圧調整レジスタ 602 に保持されたレジスタ値を可変抵抗 611 及び 614 に転送する。

【0080】

また、EN 信号は、前述した比較演算器 608 の動作に従い、PH 信号と、M 信号 = “0” で $D[1:0]$ を正転、M 信号 = “1” で $D[1:0]$ を反転した信号である $C[1:0]$ を使用して生成することにする。

【0081】

ここで、4to1 セレクタ 435 は、PH_M 信号に従って、隣接する 4 レベルの階調電圧から 1 レベルを順次選択し、ボルテージフォロアの役割を果たすオペアンプ回路 436 は、その電圧を階調電圧選択部 417 に転送する。8 個設置したオペアンプ回路 436 の出力である $V0B \sim V7B$ は、M 信号 = “0” で正極性の場合、低電圧側から高電圧側へと階段状に遷移するものとする。また、M 信号 = “1” で負極性の場合、高電圧側から低電圧側へと階段状に遷移するものとする。なお、 $V0B \sim V7B$ は、本来信号線 (画素電極) に印加すべき階調電圧 701 に対して、印加電圧極性が正極性の場合には電圧変動量 ΔV_y を加算、印加電圧極性が負極性の場合には電圧変動量 ΔV_y を減算した出力電圧 702 であることが、本実施の形態の特徴である。

【0082】

図 6 (b) で、703 は階調電圧時分割出力部 415 における階調番号 - 階調電圧特性であるが、図 2 (b) の 301 と同様な特性が得られる。この結果、従来技術で発生していた筋状の画質劣化を回避できる。

【0083】

以上のような回路構成と動作タイミングにより、本実施の形態 2 の駆動装置を備える表示装置は、液晶パネル 401 に電流リーク経路 106 が挿入された場合でも第 1 の駆動方法が適用可能となる。従って、少ない定常電流と回路規模で多階調表示が実現でき、駆動方法起因の画質劣化を軽減することができる。

【0084】

なお、本実施の形態 2 では、1 個の基準電圧生成部 412 を設けたが、例えば印加電圧の極性毎に 2 個設置しても構わない。また、実施の形態 1 と同様に、入力 of 表示データを例えば 6 ビットでも構わないし、表示メモリ非内蔵型の駆動装置でも構わない。さらに、本実施の形態 2 においては、発明の特徴を実現するにあたり、階調電圧生成部 604 内に可変抵抗 611、614 を設置したが、駆動装置として、図 6 (b) に示すような階調番号 - 階調電圧特性が得られるのであれば、この回路構成に限られるわけではなくその他の回路構成であっても構わない。

【0085】

(実施の形態 3)

以下、実施の形態 3 の構成と動作を、図 7 を用いて説明する。実施の形態 3 では、前述した実施の形態 1 と、1 走査期間を 3 分割しそれぞれの期間を液晶パネル 401 の信号線 104 { R 線, G 線, B 線 } に割り当てて駆動する RGB 時分割駆動とを組み合わせても

10

20

30

40

50

のであり、液晶パネル 401 の表示色である R (Red) , G (Green) , B (Blue) 毎に γ 特性を個別に調整できるようにしたものである。

【0086】

図 7 (a) は、実施の形態 3 における駆動装置を含むシステム (液晶表示装置) を示したものである。図 7 (b) は、実施の形態 3 の駆動方法におけるレジスタ及びスイッチの各々の制御について示す、各信号のタイミングチャートである。

【0087】

図 7 (a) において、実施の形態 1 における制御レジスタ 407 を、R , G , B 個別に設けたものである。なお、タイミングコントローラ 805 及びレジスタ切替回路 806 , 807 以外の各ブロックの構成及び動作については実施の形態 1 と基本的に同様である。ただし、階調電圧選択部 417 の後段に追加して R G B 時分割スイッチ 808 を設置した。

10

【0088】

制御レジスタ 801 は、R G B 時分割駆動を実施するための R G B 選択期間調整レジスタ 802 を含み、 γ 調整機能に関しては、R 線用制御レジスタ 407 b と、R 線用制御レジスタ 407 b と同様な構成の G 線用制御レジスタ 803 及び B 線用制御レジスタ 804 を独立して設置する構成とした。

【0089】

タイミングコントローラ 805 は、ドットカウンタを持っており、外部から入力されるドットクロックを元にラインクロック LP を生成する。そして、タイミングコントローラ 805 は、R G B 選択期間調整レジスタ 802 から転送される、R 線選択期間情報から、1 走査期間内で R 線の選択期間で “ 1 ” (ハイ) 、非選択期間で “ 0 ” (ロー) となる信号 R S W 、G 線選択期間情報から、1 走査期間内で G 線の選択期間で “ 1 ” (ハイ) 、非選択期間で “ 0 ” (ロー) となる信号 G S W 、B 線選択期間情報から、1 走査期間内で B 線の選択期間で “ 1 ” (ハイ) 、非選択期間で “ 0 ” (ロー) となる信号 B S W を生成する。なお、R S W , G S W , B S W は後述するレジスタ切替回路 806 , 807 と R G B 時分割スイッチ 808 で使用される。

20

【0090】

また、タイミングコントローラ 805 は、分割期間調整レジスタ 423 から転送される分割期間情報で、R 線、G 線、及び B 線選択期間内の各階調グループの分割期間を規定する P H 信号を生成する。なお、ここでの階調グループとは、32 個の階調番号の中で階調番号 4 n を第 1 の階調グループ、階調番号 4 n + 1 を第 2 の階調グループ、階調番号 4 n + 2 を第 3 の階調グループ、階調番号 4 n + 3 を第 4 の階調グループとする。ここで、P H 信号は R 線、G 線、及び B 線選択期間内で 00 , 01 , 10 , 11 のように変化する 2 ビット信号であり、後述する階調電圧生成部 414 で使用される。なお、タイミングコントローラ 805 は、P H 信号の反転信号 / P H も出力し、/ P H は階調電圧時分割出力部 415 で使用する。

30

【0091】

第 1 のレジスタ切替回路 806 には、R 線用制御レジスタ 407 b から、正極第 1 の階調グループと正極第 3 の階調グループと、負極第 1 の階調グループ 1 と負極第 3 の階調グループの振幅調整レジスタ値と、G 線用制御レジスタ 803 から、正極第 1 の階調グループと正極第 3 の階調グループと、負極第 1 の階調グループと負極第 3 の階調グループの振幅調整レジスタ値と、B 線用制御レジスタ 804 から、正極第 1 の階調グループと正極第 3 の階調グループと、負極第 1 の階調グループと負極第 3 の階調グループの振幅調整レジスタ値が入力される。そして、第 1 のレジスタ切替回路 806 は、タイミングコントローラ 805 で生成された R S W , G S W , B S W と、前述した実施の形態 1 と同様な P H _ 1 信号をもとに、前述したレジスタ値を順次選択し、第 1 の基準電圧生成部 412 内の可変抵抗 427 , 428 へ転送する。

40

【0092】

また、第 2 のレジスタ切替回路 807 には、R 線用制御レジスタ 407 b から、正極第

50

2の階調グループと正極第4の階調グループと、負極第2の階調グループと負極第4の階調グループの振幅調整レジスタ値と、G線用制御レジスタ803から、正極第2の階調グループと正極第4の階調グループと、負極階調グループ2と負極第4の階調グループの振幅調整レジスタ値と、B線用制御レジスタ804から、正極第2の階調グループと正極第4の階調グループと、負極第2の階調グループと負極第4の階調グループの振幅調整レジスタ値が入力される。そして、第2のレジスタ切替回路807は、タイミングコントローラ805で生成されたRSW, GSW, BSWと、前述した実施の形態1と同様なPH₂信号をもとに、前述したレジスタ値を順次選択し、第2の基準電圧生成部413内の可変抵抗へ転送する。なお、レジスタ値の選択順は後述する図7(b)を用いて説明する。

【0093】

本実施の形態3で設置したRGB時分割スイッチ808は、液晶パネル401の信号線104と同数のスイッチ(809~810)から構成され、当該スイッチの一端は液晶パネル401の信号線104に接続される。そして、隣り合う信号線104であるR線, G線, B線に関しては、当該スイッチのもう一端を同一のスイッチ回路439に接続する。ここでスイッチ回路809はタイミングコントローラ805から転送されるRSWで制御され、RSW="1"でオン状態になり、"0"でオフ状態となる。また、スイッチ回路810はGSWで、スイッチ回路811はBSWで同様に制御されるものとする。これにより、液晶パネル401の駆動がRGBの時分割で可能になるため、RGBの3本の信号線104に対し、1個の8to1セレクタ438を設置すれば良くなるため、回路規模の削減が可能となる。

【0094】

次に、本実施の形態3に係るレジスタ及びスイッチの各々の制御について、図7(b)を参照して説明する。図7(b)で、812は本来信号線(画素電極)に印加すべき階調電圧(出力電圧)、813は本実施の形態3における階調電圧時分割出力部415の出力電圧である。

【0095】

まず、ラインクロックLPに対して、RGB選択期間調整レジスタ802で設定されたR線選択期間、G線選択期間、及びB線選択期間に応じてRSW, GSW, BSWを生成する。そして、第1のレジスタ切替回路806は、タイミングコントローラ805で生成されるPH₁信号とRSW, GSW, BSW信号を元に、第1の基準電圧生成部412内の可変抵抗427及び428の抵抗値を変更し、振幅調整によるγ調整を実施する。同様に、第2のレジスタ切替回路807は、タイミングコントローラ805で生成されるPH₂信号とRSW, GSW, BSW信号を元に、第2の基準電圧生成部413内の可変抵抗の抵抗値を変更し、振幅調整によるγ調整を実施する。

【0096】

なお、V0B~V7Bは、本来信号線(画素電極)に印加すべき階調電圧(出力電圧)812に対して、印加電圧極性が正極性の場合は、R線毎、G線毎、B線毎に異なる電圧変動量 $\Delta V \cdot \gamma$ を加算、印加電圧極性が負極性の場合は、R線毎、G線毎、B線毎に異なる電圧変動量 $\Delta V \cdot \gamma$ を減算した出力電圧813であることが、本実施の形態の特徴である。

【0097】

以上から、実施の形態3では、液晶パネル401の表示色であるR, G, Bの各色のγ特性を個別に調整可能とし、階調時分割方式による低消費電力と省回路規模、前述の実施の形態1による画質劣化軽減と、本実施の形態によるさらなる高画質化の両立が望める液晶表示装置を実現した。

【0098】

なお、実施の形態3では、信号線104への出力電圧V_xは低階調側から高階調側へと階段状に遷移させているが、1走査期間内で階調電圧の遷移方向が同一であれば構わないので、高階調側から低階調側へと階段状に遷移するものとしても構わない。また、実施の形態1と同様に、入力の表示データを例えば6ビットとしても構わないし、階調電圧選択

10

20

30

40

50

部 4 1 7 は、R 線、G 線、及び B 線の選択期間内で隣接する 4 レベルの階調電圧が階段状に遷移する中から電圧を選択する場合で説明したが、2 レベルの階調電圧から選択する構成でも構わない。また、表示メモリ非内蔵型の駆動装置でも構わない。さらに、本実施の形態 3 においては、信号線駆動部 4 0 2 内に R G B 時分割スイッチ 8 0 8 を設置した場合で説明したが、液晶パネル 4 0 1 内に R G B 時分割スイッチ 8 0 8 相当を内蔵しても構わない。また、本実施の形態 3 では前述した実施の形態 1 の構成を基本として、R, G, B 毎に個別に γ 特性を調整できるようにしたものであるが、前述した実施の形態 2 の構成を基本として、R, G, B 毎に個別に調整できるようにしても構わない。

【0099】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

10

【産業上の利用可能性】

【0100】

本発明は、表示装置用の駆動回路（駆動装置）や表示装置に利用可能である。

【図面の簡単な説明】

【0101】

【図 1】本発明の実施の形態の駆動装置で適用対象とする、前提技術である液晶パネルの一構成例と、液晶パネルにおける信号線の電圧レベル変動要因（電流リーク経路）とを示す説明図である。

20

【図 2】本発明の実施の形態の特徴を説明するための図であり、(a) は、第 1 の駆動方法に第 2 の駆動方法を適用した本実施の形態の駆動方法及び駆動装置の階調電圧調整機能による効果を示す、信号線電圧レベルの遷移を示した図であり、(b) は、階調番号 - 階調電圧特性を示した図である。

【図 3】本発明の実施の形態 1 の駆動装置（TFT 液晶駆動回路）を含むシステム（液晶表示装置）の構成を示す図であり、特に、信号線駆動部の構成図である。

【図 4】(a) は、本発明の実施の形態 1 の駆動方法における各信号のタイミングチャートであり、(b) は、その駆動方法における効果を示す階調番号 - 階調電圧特性であり、(c) は、(b) の一部分の拡大図である。

【図 5】(a) は、本発明の実施の形態 2 における駆動装置（TFT 液晶駆動回路）を含むシステム（液晶表示装置）の構成、特に信号線駆動部の構成図であり、(b) は、その一部分の構成を示す拡大図であり、(c) は、(b) 中のレジスタの設定例を示す表である。

30

【図 6】(a) は、本発明の実施の形態 2 の駆動方法における各信号のタイミングチャートであり、(b) は、その駆動方法における効果を示す階調番号 - 階調電圧特性であり、(c) は、(b) の一部分の拡大図である。

【図 7】(a) は、本発明の実施の形態 3 における駆動装置（TFT 液晶駆動回路）を含むシステム（液晶表示装置）の構成を示す図であり、(b) は、実施の形態 3 の駆動方法における各信号のタイミングチャートである。

【図 8】従来技術の特徴を説明するための図であり、(a) は、図 1 の液晶パネルに第 1 の駆動方法を適用し、電圧レベルを低い電圧から高い電圧に遷移させた場合の信号線電圧を示した図であり、(b) は、電圧レベルを低い電圧から高い電圧に遷移させた場合の階調番号 - 階調電圧特性を示した図である。

40

【符号の説明】

【0102】

1 0 1 ... TFT 基板、1 0 2 ... 対向電極、1 0 3 ... 液晶層、1 0 4 ... 信号線、1 0 5 ... 走査線、1 0 6 ... 電流リーク経路、2 0 1 ... 1 走査期間 (H)、2 0 2 ~ 2 0 5 ... 分割期間、2 0 6 ... 対向電極電圧、2 0 7 ... 理想電圧、2 0 8 ... 信号線電圧遷移、2 0 9, 2 1 0 ... 階調番号 - 階調電圧特性、3 0 1, 3 0 2 ... 階調番号 - 階調電圧特性、4 0 1 ... 液晶パネル、4 0 2 ... 信号線駆動部、4 0 3 ... 走査線駆動部、4 0 4 ... 電源回路、4 0 5 ... C

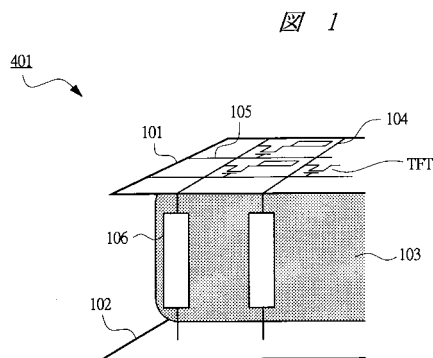
50

P U、4 0 6 ... システムインタフェース、4 0 7 ... 制御レジスタ、4 0 8 ... タイミングコントローラ、4 0 9 ... 表示メモリ制御部、4 1 0 ... 表示メモリ、4 1 1 ... ラッチ回路、4 1 2 , 4 1 3 ... 基準電圧生成部、4 1 4 ... 階調電圧生成部、4 1 5 ... 階調電圧時分割出力部、4 1 6 ... 比較演算部、4 1 7 ... 階調電圧選択部、4 1 8 ... 第 1 期間用振幅調整レジスタ、4 1 9 ... 第 2 期間用振幅調整レジスタ、4 2 0 ... 第 3 期間用振幅調整レジスタ、4 2 1 ... 第 4 期間用振幅調整レジスタ、4 2 2 ... 傾き調整レジスタ及び微調整レジスタ、4 2 3 ... 分割期間 P H 設定レジスタ、4 2 4 , 4 2 5 ... レジスタ切替回路、4 2 6 ... 抵抗、4 2 7 , 4 2 8 , 4 2 9 , 4 3 0 ... 可変抵抗、4 3 1 ... セレクタ回路、4 3 2 ... ラダー抵抗、4 3 3 ... 2 t o 1 スイッチ、4 3 4 ... オペアンプ回路、4 3 5 ... 4 t o 1 セレクタ、4 3 6 ... オペアンプ回路、4 3 7 ... 比較器、4 3 8 ... 8 t o 1 セレクタ、4 3 9 ... スイッチ回路、4 9 0 ... 信号線、5 0 1 , 5 0 2 ... 出力電圧、5 0 3 ~ 5 0 6 ... 階調番号 - 階調電圧特性、6 0 1 ... 制御レジスタ、6 0 2 ... 階調間電圧調整レジスタ、6 0 3 ... タイミングコントローラ、6 0 4 ... 階調電圧生成部、6 0 5 ... ラダー抵抗部、6 0 6 ... オペアンプ回路、6 0 7 ... 出力ラダー抵抗部、6 0 8 ... 比較演算器、6 0 9 ... 反転器、6 1 0 ... 比較器、6 1 1 , 6 1 4 ... 可変抵抗、6 1 2 , 6 1 3 ... 抵抗、7 0 1 , 7 0 2 ... 出力電圧、7 0 3 ... 階調番号 - 階調電圧特性、8 0 1 ... 制御レジスタ、8 0 2 ... R G B 選択期間調整レジスタ、4 0 7 b ... R 線用制御レジスタ、8 0 3 ... G 線用制御レジスタ、8 0 4 ... B 線用制御レジスタ、8 0 5 ... タイミングコントローラ、8 0 6 , 8 0 7 ... レジスタ切替回路、8 0 8 ... R G B 時分割スイッチ、8 0 9 ~ 8 1 1 ... スイッチ回路、8 1 2 , 8 1 3 ... 出力電圧。

10

20

【図 1】



【図 2】

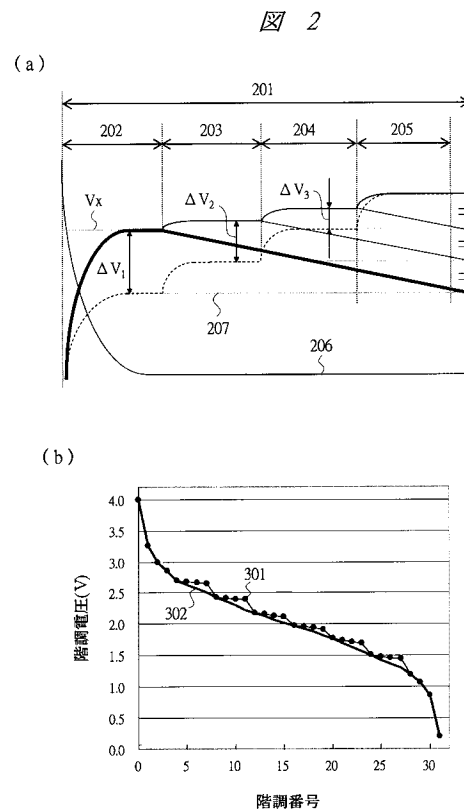


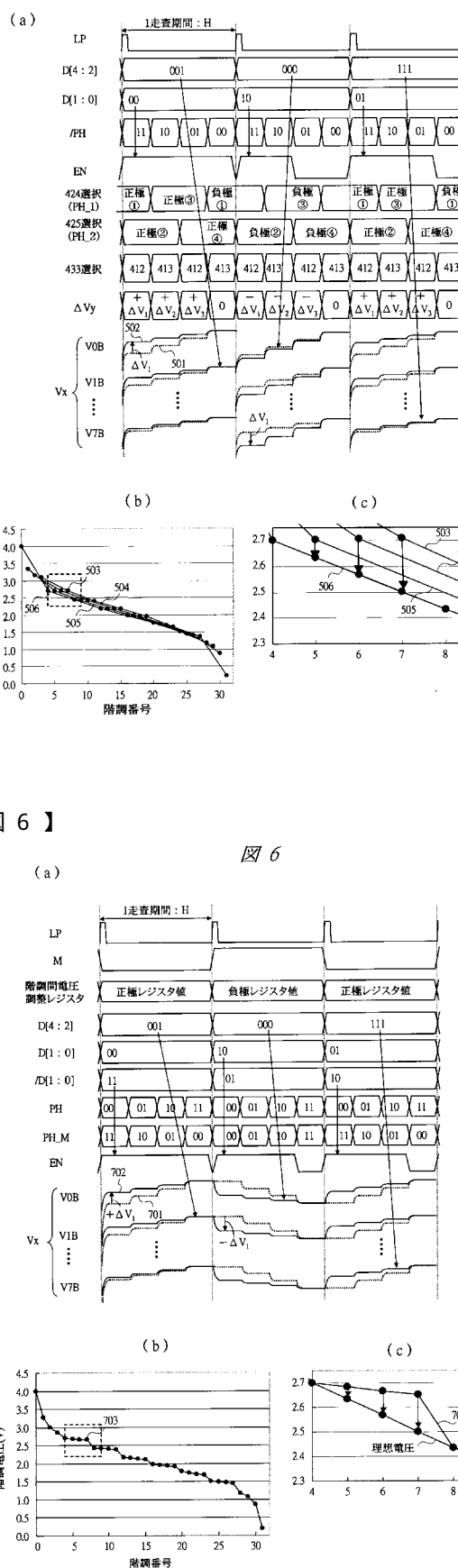
图 3



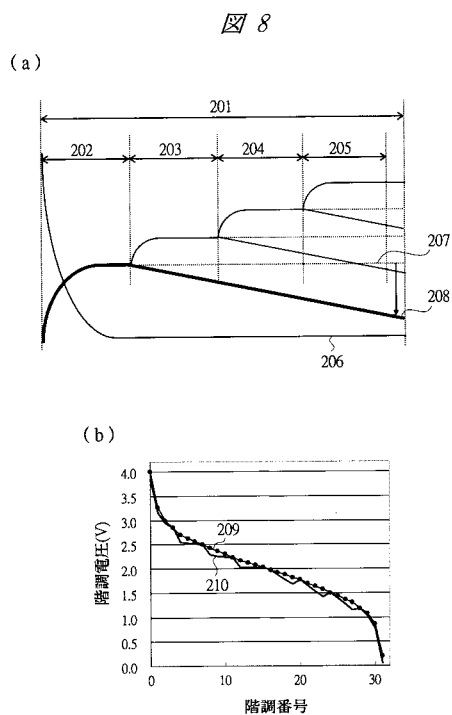
(a)



(a)



【图 8】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 1 J
	G 0 9 G 3/20	6 4 1 Q
	G 0 9 G 3/20	6 2 3 E
	G 0 9 G 3/20	6 4 2 J
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 1 2 U
	G 0 2 F 1/133	5 7 5
	G 0 2 F 1/133	5 5 0

(72)発明者 江里口 卓也

神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所システム開発研究所内

(72)発明者 大門 一夫

東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内

F ターム(参考) 2H093 NA16 NA51 NC01 NC09 NC11 NC12 NC26 NC34 ND60 NE03
 5C006 AA15 AA16 AA17 AA22 AF13 AF21 AF45 AF46 AF51 AF53
 AF71 AF83 BB16 BC12 BC16 BF01 BF24 BF28 BF43 FA16
 FA18 FA36 FA41 FA47 FA56
 5C080 AA10 BB05 CC03 DD01 DD11 DD22 DD26 EE28 EE29 EE30
 FF11 GG12 JJ02 JJ03 JJ04 JJ05 JJ06

专利名称(译)	表示装置用驱动装置		
公开(公告)号	JP2007072365A	公开(公告)日	2007-03-22
申请号	JP2005261924	申请日	2005-09-09
[标]申请(专利权)人(译)	株式会社瑞萨科技		
申请(专利权)人(译)	瑞萨科技公司		
[标]发明人	赤井亮仁 工藤泰幸 江里口卓也 大門一夫		
发明人	赤井 亮仁 工藤 泰幸 江里口 卓也 大門 一夫		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3696 G09G3/20 G09G3/3614 G09G3/3688 G09G2310/0297 G09G2320/0219 G09G2320/0276 G09G2320/0673 G09G2330/021 G09G2360/18		
FI分类号	G09G3/36 G09G3/20.612.F G09G3/20.641.C G09G3/20.641.A G09G3/20.641.K G09G3/20.641.J G09G3/20.641.Q G09G3/20.623.E G09G3/20.642.J G09G3/20.611.A G09G3/20.612.U G02F1/133.575 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA51 2H093/NC01 2H093/NC09 2H093/NC11 2H093/NC12 2H093/NC26 2H093/NC34 2H093/ND60 2H093/NE03 5C006/AA15 5C006/AA16 5C006/AA17 5C006/AA22 5C006/AF13 5C006/AF21 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC16 5C006/BF01 5C006/BF24 5C006/BF28 5C006/BF43 5C006/FA16 5C006/FA18 5C006/FA36 5C006/FA41 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD11 5C080/DD22 5C080/DD26 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H193/ZA04 2H193/ZD21 2H193/ZF01 2H193/ZF36 2H193/ZP03		
代理人(译)	筒井大和		
外部链接	Espacenet		

摘要(译)

一种显示装置的驱动方法和驱动装置，其可以在输出在每个分割周期中电平变化的灰度电压的方法（第一驱动方法）中改善图像质量劣化，并且可以在电路节省规模中减少层数。提供既可以实现色调显示又可以降低图像质量下降的技术。根据本发明的驱动方法和驱动装置，考虑到液晶面板的电流泄漏路径和由该电流泄漏路径引起的信号线电压波动，在第一驱动方法中针对每个划分的周期执行 γ 调节功能（第二驱动方法）。方法）。信号线驱动单元通过在每个灰度输出时段上相加/减去不同的电压波动量来产生灰度电压，并且考虑到信号线电压波动量而将灰度电压 V_x 预先施加到信号线。[选择图]图2

