

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-65309

(P2007-65309A)

(43) 公開日 平成19年3月15日(2007.3.15)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H088
G02F 1/13 (2006.01)	G02F 1/13 1O1	2H092
G09F 9/00 (2006.01)	G09F 9/00 338	5G435

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号	特願2005-251497 (P2005-251497)	(71) 出願人	000103747
(22) 出願日	平成17年8月31日 (2005.8.31)		オプトレックス株式会社
			東京都荒川区東日暮里五丁目7番18号
		(74) 代理人	100103894
			弁理士 家入 健
		(72) 発明者	竹島 修三
			東京都荒川区東日暮里5丁目7番18号
			オプトレックス株式会社内
		Fターム(参考)	2H088 FA06 FA26 HA02 HA08 MA20
			2H092 GA64 JA26 JB79 MA01 NA14
			NA27
			5G435 AA16 AA17 BB12 GG31 KK05
			KK10 LL04 LL07 LL08

(54) 【発明の名称】 表示素子の製造方法

(57) 【要約】

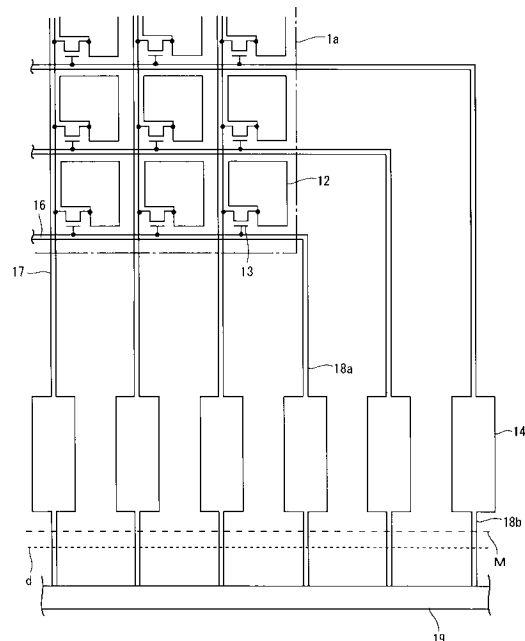
【課題】

TFT素子13などの静電破壊を制限しつつ、簡素に効率よく表示素子を作製できる。

【解決手段】

本発明に係る液晶表示素子の製造方法は、マザー基板100からTFTアレイ基板10を作製する液晶表示素子の製造方法であって、マザー基板100上の液晶表示素子形成領域M内に、複数の画素電極12とTFT素子13をマトリクス状に形成し、複数の画素電極12の間に複数のスイッチ素子13に接続される複数のゲート電極配線16または/およびソース電極配線17を形成し、領域M外で各配線16、17を接続する接続配線19を形成し、領域Mの外周縁に沿ってTFTアレイ基板10を分断するものである。そして、TFTアレイ基板10をマザー基板100から分断する際に、配線16、17の各々と接続配線19とを分断する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

マザー基板から表示素子基板を分断して、表示素子を作製する表示素子の製造方法であって、

上記マザー基板上の表示素子形成領域内に、複数の画素電極と上記複数の画素電極の各々に対応する複数のスイッチ素子をマトリクス状に形成するステップと、

上記複数の画素電極の間に、上記複数のスイッチ素子に接続される複数の配線を形成するステップと、

上記表示素子形成領域外で上記複数の配線を接続する接続配線を形成するステップと、

上記表示素子形成領域の外周縁に沿って上記表示素子基板を分断するステップとを含み 10

、
上記表示素子基板を上記マザー基板から分断する際に、上記複数の配線の各々と上記接続配線とを分断することを特徴とする表示素子の製造方法。

【請求項 2】

マザー基板から複数の表示素子基板を分断して、複数の表示素子を作製する表示素子の製造方法であって、

上記マザー基板上の複数の表示素子形成領域内に、複数の画素電極と上記複数の画素電極の各々に対応する複数のスイッチ素子をそれぞれマトリクス状に形成するステップと、

上記複数の画素電極の間に、上記複数のスイッチ素子に接続される複数の配線を形成するステップと、 20

互いに隣接する表示素子形成領域の間で上記複数の配線を接続する接続配線を形成するステップと、

上記複数の表示素子形成領域の各々の外周縁に沿って上記表示素子基板を上記マザー基板から分断するステップとを含み、

上記表示素子基板を上記マザー基板から分断する際に、上記複数の配線の各々と上記接続配線とを分断することを特徴とする表示素子の製造方法。

【請求項 3】

上記複数の配線は、走査信号を入力するための走査信号配線または / およびデータ信号を入力するためのデータ信号配線であることを特徴とする請求項 1 または 2 に記載の表示素子の製造方法。 30

【請求項 4】

共通電極が形成された対向基板を形成するステップと、

上記表示素子基板を上記マザー基板から分断する前に、上記マザー基板の複数の画素電極およびスイッチ素子が形成された面に、共通電極が形成された面を対向させて、上記マザー基板と上記対向基板とを、上記複数の画素電極およびスイッチ素子が形成された領域の外周縁に沿って粘着材により接合するステップを更に含む請求項 1、2 または 3 に記載の表示素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】 40

本発明は表示素子の製造方法に関し、特にマザー基板から表示素子基板を分断して、表示素子を作製する表示素子の製造方法に関する。

【背景技術】

【0002】

近年、携帯電話機、携帯情報端末、電子手帳、携帯型テレビ等の多くの電子機器に、液晶表示装置等の表示装置が組み込まれるようになった。

液晶表示装置には様々な種類があり、動作モードでは T N (Twisted Nematic) モード、S T N (Super Twisted Nematic) モードなどが知られており、駆動方法では単純マトリックス方式やアクティブマトリックス方式が知られている。

一般的な T F T (Thin Film Transistor) 液晶表示装置は、動作モードを T N モードと 50

し、駆動方式をアクティブマトリックス方式とし、軽くて薄く、きれいな画面を長時間見ることができる利点が活かされ、多くの電子機器に搭載されている。

【0003】

このようなTFT液晶表示装置は、内面全面に電極が形成された対向基板と、この対向基板の内面に対して、TFT素子および画素電極が画素毎にマトリックス状に配列された内面を対向させて設けられたTFTアレイ基板との間で、液晶を挟持することにより構成されている（例えば、特許文献1参照）。

このTFTアレイ基板の製造時において、摩擦などによって静電気がTFTアレイ基板内に蓄積されることがある。例えば、TFT素子に接続される電極配線のように、絶縁層を挟んで積層された電極配線間に蓄積される静電気の電位差が、絶縁体の絶縁耐圧を超え

10

【0004】

従来、この静電破壊を防止するために、TFTアレイ基板の外周縁部にショートリングと呼ばれる導体パターンを形成し、電極配線間をショートさせる手法が知られている（例えば、特許文献2参照）。このショートリングは、TFTアレイ基板の外周縁部に配置されており、表示パネル組み立て後にTFTアレイ基板がその外周縁に沿って切断された後に、TFTアレイ基板の外周の角部を、やすりなどで削ることにより各電極配線と分断されていた。

【特許文献1】特開平6-110058号公報（図5、段落0003）

20

【特許文献2】特開平8-234227号公報（図8）

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、TFTアレイ基板の外周の角部を、やすりなどで削る面取り加工をする際に、やすりなどの摩擦によりTFTアレイ基板に静電気を生じさせてしまい、TFT素子を静電破壊させてしまうという問題があった。また、作業工数および作業時間の増加があり、液晶表示素子を効率よく製造できないという問題があった。また、面取り加工する際に、やすりなどで削りながら寸法の管理をしなければならず、作業に多大な手間がかかるという問題があった。

30

【0006】

本発明はこのような問題に鑑みてなされたものであり、スイッチ素子などの静電破壊を制限しつつ、簡素かつ効率的に表示素子を作製できる表示素子の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明に係る表示素子の製造方法は、マザー基板から表示素子基板を分断して、表示素子を作製する表示素子の製造方法であって、マザー基板上の表示素子形成領域内に、複数の画素電極と複数の画素電極の各々に対応する複数のスイッチ素子をマトリクス状に形成するステップと、複数の画素電極の間に、複数のスイッチ素子に接続される複数の配線を形成するステップと、表示素子形成領域外で複数の配線を接続する接続配線を形成するステップと、表示素子形成領域の外周縁に沿って表示素子基板を分断するステップとを含み、表示素子基板をマザー基板から分断する際に、複数の配線の各々と接続配線とを分断することを特徴とするものである。

40

【0008】

このような方法を採用することにより、スイッチ素子などの静電破壊を制限しつつ、簡素に効率よく表示素子を作製できる。

【0009】

また、本発明に係る表示素子の製造方法は、マザー基板から複数の表示素子基板を分断して、複数の表示素子を作製する表示素子の製造方法であって、マザー基板上の複数の表

50

示素子形成領域内に、複数の画素電極と複数の画素電極の各々に対応する複数のスイッチ素子をそれぞれマトリクス状に形成するステップと、複数の画素電極の間に、複数のスイッチ素子に接続される複数の配線を形成するステップと、互いに隣接する表示素子形成領域の間に複数の配線を接続する接続配線を形成するステップと、複数の表示素子形成領域の各々の外周縁に沿って表示素子基板をマザー基板から分断するステップとを含み、表示素子基板をマザー基板から分断する際に、複数の配線の各々と接続配線とを分断することを特徴とするものである。

【0010】

このような方法を採用することにより、スイッチ素子などの静電破壊を制限しつつ、簡素に効率よく表示素子を作製できる。

10

【0011】

また、複数の配線は、走査信号を入力するための走査信号配線またはノおよびデータ信号を入力するためのデータ信号配線である。

【0012】

これにより、スイッチ素子や走査信号配線やデータ信号配線などの静電破壊を制限しつつ、簡素に効率よく表示素子を作製できる。

【0013】

また、共通電極が形成された対向基板を形成するステップと、表示素子基板をマザー基板から分断する前に、マザー基板の複数の画素電極およびスイッチ素子が形成された面に、共通電極が形成された面を対向させて、マザー基板と対向基板とを、複数の画素電極およびスイッチ素子が形成された領域の外周縁に沿って粘着材により接合するステップを更に含んでもよい。

20

【0014】

これにより、対向基板をマザー基板に対向させて取り付けられた状態であっても、スイッチ素子などの静電破壊を制限しつつ、簡素に効率よく表示素子を作製できる。

【発明の効果】

【0015】

本発明によれば、スイッチ素子などの静電破壊を制限しつつ、簡素に効率よく表示素子を作製できる。

【発明を実施するための最良の形態】

30

【0016】

まず、TFT液晶表示素子1の構成について、図に基づいて説明する。

図1は、TFT液晶表示素子の構成を示す模式図であって、図1(a)はTFT液晶表示素子の正面図であり、図1(b)は側面図である。図2は、TFT液晶表示素子の断面を示す模式図であり、特に図1(a)のA-A切断線の拡大断面を示す図である。

図1および図2において、TFT液晶表示素子1はTFTアレイ基板10と対向基板20とを互に対向させて構成されている。

【0017】

図1(a)、図1(b)および図2に示されるように、TFTアレイ基板10は、例えば光透過性のガラス、ポリカーボネート、アクリル樹脂等により矩形状に形成された透明基板11の内面に画素電極12およびTFT素子13を、表示領域1a内にマトリクス状に設けられた画素毎に形成し、更にこの画素電極12およびTFT素子13上に配向膜(不図示)を形成することにより構成されている。画素電極12は例えばITO(Indium Tin Oxide)により形成されている。また、図1(a)、図1(b)および図2に示されるように、TFTアレイ基板10の一辺側には実装部10aが設けられている。

40

【0018】

対向基板20は、例えば光透過性のガラス、ポリカーボネート、アクリル樹脂等により矩形状に形成された透明基板21の内面にカラーフィルタ(不図示)、共通電極22、配向膜(不図示)等を積層形成することにより構成されている。

図2に示されるように、共通電極22は、画素電極12およびTFT素子13に対応す

50

る領域を包含する領域全面に形成されている。共通電極 22 は例えば ITO (Indium Tin Oxide) により形成されている。カラーフィルタ (不図示) の R (Red: 赤)、G (Green: 緑)、B (Blue: 青) は、表示領域 1a 内にマトリックス状に設けられた画素毎に形成されている。

【0019】

図 1 (a) および図 2 に示されるように、TFT アレイ基板 10 および対向基板 20 間は、表示領域 1a の外周縁に沿って設けられたシール材 30 により接合されており、液晶 50 が注入された後、液晶注入口 60 が封止部 70 により封止されている。また、図 2 に示されるように、TFT アレイ基板 10 および対向基板 20 間の全面にわたり、TFT アレイ基板 10 および対向基板 20 間の間隙を調整するためのスペーサ 40 が散布される。なお、透明基板 11、21 の外面には、偏光板 (不図示) などの光学フィルムが貼り付けられている。

10

【0020】

図 2 に示されるように、一点鎖線で囲われた TFT 素子 13 は、アモルファスシリコントランジスタなどの薄膜半導体 13a に、走査電極としてのゲート電極 13b、信号電極としてのソース電極 13c、ドレイン電極 13d を構成した三端子スイッチである。ゲート電極 13b は、複数の画素電極 12 間に形成された走査信号配線としてのゲート電極配線 (不図示) に接続されており、ソース電極 13c は、データ信号配線としてのソース電極配線 (不図示) に接続されている。なお、ゲート電極配線とソース電極配線は、複数の画素電極 12 間に互いに交差して形成されている。ドレイン電極 13d は画素電極 12 に接続されている。また、図 2 に示されるように、薄膜半導体 13a とゲート電極 13b との間には、絶縁層 13e が形成されている。

20

【0021】

ゲート電極 13b に電圧を印加すると、ソース電極 13c からドレイン電極 13d へ、またはその逆へ薄膜半導体 13a 内部を電子が通過して電流が流れる。また、ゲート電極 13b にオフ電圧を印加すると、ソース電極 13c とドレイン電極 13d との間は遮断される。

【0022】

このようにして、ゲート電極 13b により、TFT 素子 13 をオン (ON) またはオフ (OFF) して、画素電極 12 と共通電極 22 との間で液晶 50 に駆動電圧が加えられる。ゲート電極 13b への電圧を 0V にすると TFT 素子 13 はオフし、液晶分子と、画素電極 12 およびこの画素電極 12 に対向された対向電極 22 との間に加えられた電圧が保持される。

30

【0023】

以上のように、TFT 素子 13 はスイッチとして機能し、画素電極 12 毎にオンオフすることができる。TFT 素子 13 が駆動回路 14 からの信号に従いオンして、駆動回路 14 が特定の画素電極 12 に駆動電圧を加え、画素電極 12 と共通電極 22 との間で液晶 50 の配列を変化させることにより、TFT 液晶表示装置 1 の光の透過を制御する。

【0024】

次に、TFT アレイ基板を作製するためのマザー基板の構成を図に基づいて説明する。図 3 は、TFT アレイ基板を作製するためのマザー基板の平面を模式的に示す図である。図 4 は、マザー基板の端子 14 周辺の構成を模式的に示す拡大図である。

40

図 3 に示されるように、点線 a ~ d で分けられるように、TFT アレイ基板 10 用のマザー基板 100 内に、複数の TFT アレイ基板 10 が配列されて形成される。図 3 に示されるように、TFT アレイ基板 10 の外形は、点線 a ~ d により囲われた領域に対応しており、太点線で示される。

【0025】

図 3 に示されるように、TFT アレイ基板 10 の外形内には、点線で囲われた液晶表示素子形成領域 M が設けられており、図 2 に示された画素電極 12 や TFT 素子 13 や端子 14 などが、各液晶表示素子形成領域 M 内であって表示領域 1a に対応した領域内に、マ

50

トリックス状に形成されている。複数の画素電極 12 は前述の通り、例えば ITO (Indium Tin Oxide) により形成されている。なお、図 3 では、画素電極 12 や TFT 素子 13 は省略している。

【0026】

図 4 に示されるように、複数の画素電極 12 の間に、複数のスイッチ素子 13 に接続される複数のゲート電極配線 16 およびソース電極配線 17 が形成されている。複数のゲート電極配線 16 およびソース電極配線 17 は例えば Cr や Mo-Ta や Ta や Al などの金属により形成されている。走査信号配線としての各ゲート電極配線 16 は TFT 素子 13 のゲート電極 13b に接続されている。データ信号配線としてのソース電極配線 17 は TFT 素子 13 のソース電極 13c に接続されている。各ゲート電極配線 16 と各ソース電極配線 17 は、互いに交差して配置されており、両配線 16、17 の交差部分には絶縁層 (不図示) が設けられている。

10

【0027】

図 4 に示されるように、これら複数のゲート電極配線 16 およびソース電極配線 17 は、TFT アレイ基板 10 の一辺側に延出されており、複数のゲート電極配線 16 は補助配線 18a を介して、複数の端子 14 に接続され、複数のソース電極配線 17 は直接、複数の端子 14 に接続されている。また、図 4 に示されるように、複数の端子 14 の各々が補助配線 18b を介して、接続配線 19 に接続されている。複数の端子 14、接続配線 19 および補助配線 18a、18b は、例えば Cr や Mo-Ta や Ta や Al などの金属により形成されている。接続配線 19 は、液晶表示素子形成領域 M の外領域であって、互いに隣接する液晶表示素子形成領域 M 間に形成されている。

20

【0028】

このようにして、複数のゲート電極配線 16 およびソース電極配線 17 の各々が、端子 14 および補助配線 18a、18b を介して、接続配線 19 に電氣的に接続されている。接続配線 19 を形成することにより、各ゲート電極配線 16 間や各ソース電極配線 17 間が同電位となり、ゲート電極配線 16 およびソース電極配線 17 が接続された各 TFT 素子 13 間や各 TFT 素子 13 の各電極間も同電位になる。これにより、製造作業時において、TFT アレイ基板 10 の摩擦による TFT 素子 12 などの静電破壊を制限している。

【0029】

次に、本発明の実施の形態に係る液晶表示素子の製造方法について、図に基づいて説明する。図 5 は、本発明の実施の形態に係る液晶表示素子の製造方法のフローを示す図である。

30

図 5 および図 4 に示されるように、まず矩形形状の TFT アレイ基板 10 用のマザー基板 100 を、例えば光透過性のガラスなどの矩形形状の平板により形成する (ステップ (STEP: 以下、ST と称する) 301)。

【0030】

次に、TFT アレイ基板 10 用のマザー基板 100 上の液晶表示素子形成領域 M 内であって表示領域 1a 内に、画素電極 12 や TFT 素子 13 をマトリクス状に形成する (ST 302)。画素電極 12 は ITO などにより形成される。TFT 素子 13 の各電極には Cr や Mo-Ta や Ta や Al などの金属が用いられ、絶縁層 13e には SiO₂ や Ta₂O₅ や Al₂O₃ などが用いられ、薄膜半導体には a-Si などが用いられる。また、複数のゲート電極配線 16 やソース電極配線 17 を、複数の画素電極 12 間に、Cr や Mo-Ta や Ta や Al などの金属により形成する (ST 303)。また、接続配線 19 や補助配線 18a、18b や端子 14 を矩形形状の液晶表示素子形成領域 M の一辺側に Cr や Mo-Ta や Ta や Al などの金属により形成する (ST 304)。

40

【0031】

ここで、ST 302 ~ ST 304 の各工程は個別になされるのではなく、ST 302 ~ ST 304 の工程では、画素電極 12、TFT 素子 13、端子 14、ゲート電極配線 16、ソース電極配線 17、補助配線 18a、18b、接続配線 19 などの積層構成に応じて、例えばフォトリソグラフィー法によりスパッタによる各種薄膜の成膜、フォトレジスト

50

塗布、パターンの露光、現像、エッチング、フォトリソグロフィー法を複数回繰り返すことにより、これらの全てを形成する。

【0032】

次に、TFTアレイ基板10用のマザー基板100上に、配向膜（不図示）を例えば高分子材料であるポリイミド（Polyimide）薄膜等の有機薄膜で形成する（ST305）。そして、この配向膜に対して、液晶50との接触面に一方向にミクロな傷をつける配向処理（ラビング処理）を施す（ST305）。次に、TFTアレイ基板10用のマザー基板100の画素電極12などが形成された面上に、スペーサ40を均一に散布する（ST306）。なお、スペーサ40を対向基板20の共通電極22が形成された面上に散布してもよい。

10

【0033】

次に、TFTアレイ基板10用のマザー基板100の表示領域1aの外周に沿って、液晶注入口60となる一部を除いてシール材30を塗布する（ST307）。なお、対向基板20のマザー基板（不図示）上における表示領域1aの外周に対応する位置に、液晶注入口60となる一部を除いてシール材30を塗布することもできる。ここで、TFTアレイ基板10用のマザー基板100の表示領域1a内には、複数の画素電極12およびTFT素子13がマトリックス状に形成されている。

【0034】

次に、対向基板20用のマザー基板（不図示）を例えば光透過性のガラスなどの矩形の平板により形成する（ST308）。そして、対向基板20用のマザー基板の内面上に、カラーフィルタを、フォトリソグロフィー法などを用いて、顔料などにより形成する（ST309）。次に、対向基板20用のマザー基板の内面上の全面に共通電極22を例えばITOなどにより形成する（ST310）。

20

【0035】

次に、対向基板20用のマザー基板の内面上に、配向膜（不図示）を例えば高分子材料であるポリイミド（Polyimide）薄膜等の有機薄膜で形成し（ST311）、この配向膜に対して、液晶50との接触面に一方向にミクロな傷をつける配向処理（ラビング処理）を施す（ST311）。

そして、TFTアレイ基板用のマザー基板100と対向基板20用のマザー基板とを、画素電極12などが形成された面と共通電極22が形成された面とを互いに対向させて、複数の画素電極12およびTFT素子13がマトリックス状に形成された領域の外周縁をシール材30により貼り合わせて、TFTアレイ基板10用のマザー基板100および対向基板20用のマザー基板の間を接合する（ST312）。

30

【0036】

次に、TFTアレイ基板10のマザー基板100および対向基板20のマザー基板を、液晶表示素子形成領域Mの外周縁に設けられた分断線、すなわち図3に示された点線a～dに沿って分断する（ST313）。これにより、液晶50が未注入の液晶パネルがTFTアレイ基板10用のマザー基板100から分断される。このときにTFTアレイ基板10がTFTアレイ基板10用のマザー基板100から分断され、同時に各補助配線18bが分断され、複数のゲート電極配線16および複数のソース電極配線17の各々と接続配線19とが分断される。なお、分断は、たとえばスクライブ＆ブレイク方式により行う。

40

【0037】

次に、TFTアレイ基板10および対向基板20の間とシール材30により囲われた閉空間に、液晶50を注入する（ST314）。そして、液晶注入口60を封止材70により封止して、封止材70を硬化させることにより液晶50を、閉空間内に密封する（ST315）。そして、透明基板11、21の外面に偏光板（不図示）などの光学フィルムを貼り付けて、TFT液晶表示素子1が完成する。

【0038】

このような方法を採用することにより、TFTアレイ基板10をTFTアレイ基板10用のマザー基板100から分断する際に、複数のゲート電極配線16および複数のソース

50

電極配線 17 の各々と接続配線 19 とを分断するので、従来のように、TFT アレイ基板 10 の外周の角部を、やすりなどで削る面取り加工をする際に、やすりなどの摩擦により TFT アレイ基板 10 に静電気を生じさせてしまうこともなく、スイッチ素子などの静電破壊を制限しつつ、簡素に効率よく表示素子を作製できる。また、従来のように、やすりなどで削る面取り加工をする必要もないので、作業工数および作業時間を低減することができ、更には、やすりなどの面取り加工における削り寸法の管理も行う必要もない。

【0039】

以上の説明は、本発明を実施の形態を説明するものであり、本発明が以上の実施の形態に限定されるものではない。また、当業者であれば、以上の実施の形態の各要素を、本発明の範囲において、容易に変更、追加、変換することが可能である。

10

【0040】

上記実施の態様の説明では、複数のゲート電極配線 16 およびソース電極配線 17 の各々を接続配線 19 に電氣的に接続し、TFT アレイ基板 10 をマザー基板から分断する際に、複数のゲート電極配線 16 およびソース電極配線 17 の各々と接続配線 19 との間を分断する例示をしたが、複数のゲート電極配線 16 の各々のみまたは複数のソース電極配線 17 の各々のみを接続配線 19 に電氣的に接続し、TFT アレイ基板 10 をマザー基板から分断する際に、複数のゲート電極配線 16 またはソース電極配線 17 の各々と接続配線 19 とを分断する態様にも本発明を適用することができる。

【0041】

また、上記実施の形態の説明ではアクティブ型の液晶表示装置を用いて例示したが、これに限らず、本実施の形態に係る発明を、アクティブ型の有機 EL (Electro Luminescence) 表示装置等の他の種類の表示装置などにも採用できる。

20

【図面の簡単な説明】

【0042】

【図 1】 TFT 液晶表示装置の構成を示す模式図であって、図 1 (a) は TFT 液晶表示装置の正面図であり、図 1 (b) は側面図である。

【図 2】 TFT 液晶表示装置の断面を示す模式図であり、特に図 1 (a) の A - A 切断線の拡大断面を示す図である。

【図 3】 TFT アレイ基板を作製するためのマザー基板の平面を模式的に示す図である。

【図 4】 マザー基板の端子周辺の構成を模式的に示す拡大図である。

30

【図 5】 本発明の実施の形態に係る液晶表示素子の製造方法のフローを示す図である。

【符号の説明】

【0043】

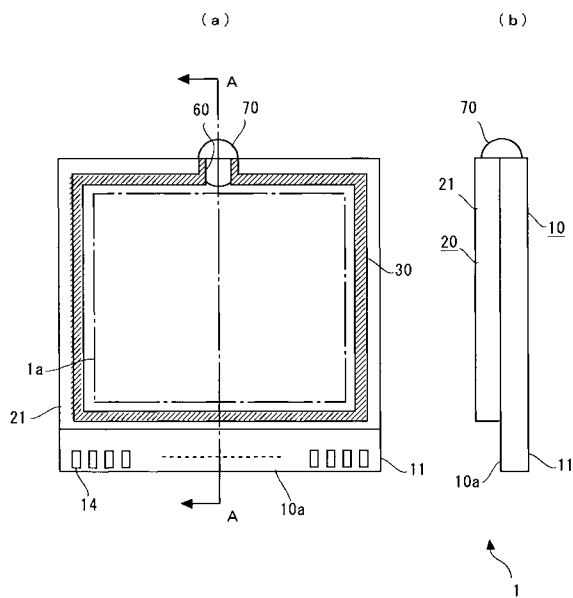
- 1 TFT 液晶表示素子
 - 10 TFT アレイ基板
 - 10a 実装部
 - 11 透明基板
 - 12 画素電極
 - 13 TFT 素子
 - 13a 薄膜半導体
 - 13b ゲート電極
 - 13c ソース電極
 - 13d ドレイン電極
 - 13e 絶縁層
 - 14 端子
 - 16 ゲート電極配線
 - 17 ソース電極配線
 - 18a、18b 補助配線
 - 19 接続配線
 - 20 対向基板

40

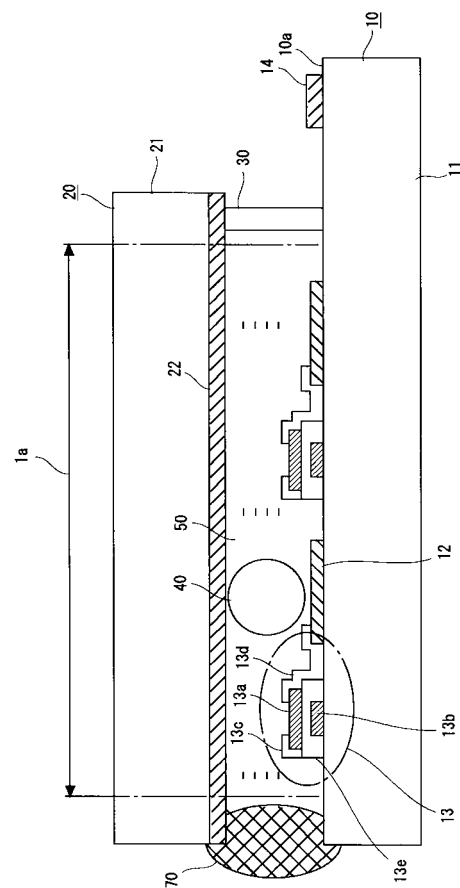
50

- 2 1 透明基板
- 2 2 共通電極
- 3 0 シール材
- 4 0 スペース
- 5 0 液晶
- 6 0 液晶注入口
- 7 0 封止部

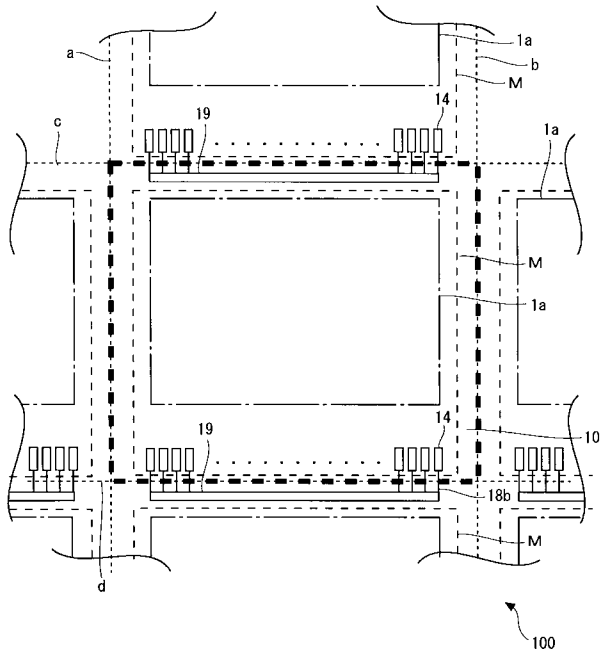
【図 1】



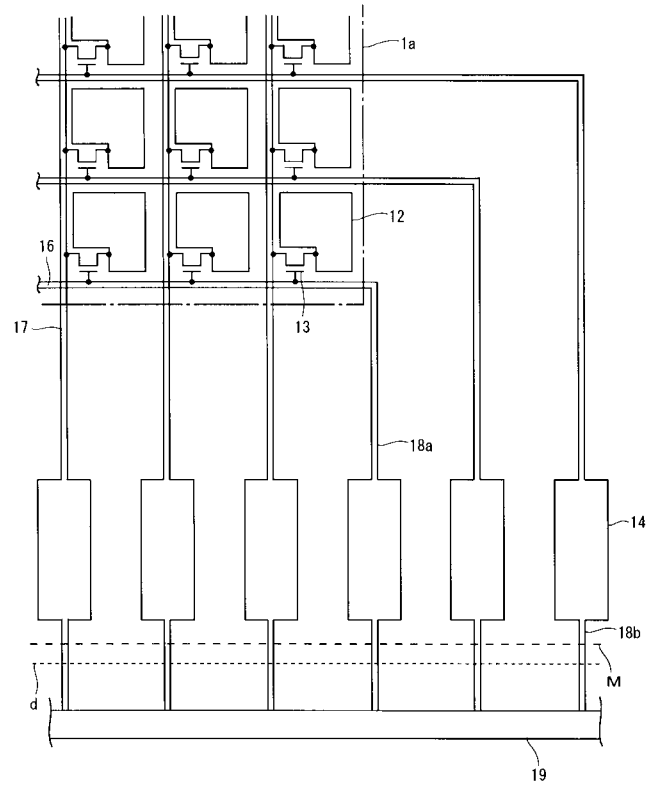
【図 2】



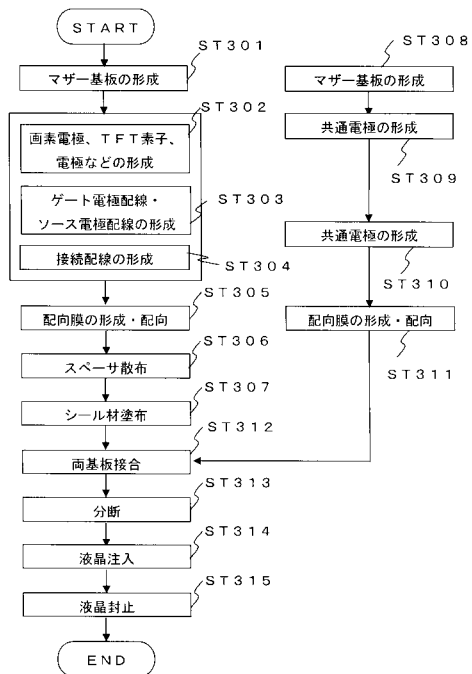
【図 3】



【図 4】



【図 5】



专利名称(译)	显示元件的制造方法		
公开(公告)号	JP2007065309A	公开(公告)日	2007-03-15
申请号	JP2005251497	申请日	2005-08-31
申请(专利权)人(译)	光王公司		
[标]发明人	竹島修三		
发明人	竹島 修三		
IPC分类号	G02F1/1368 G02F1/13 G09F9/00		
FI分类号	G02F1/1368 G02F1/13.101 G09F9/00.338 G02F1/1345		
F-TERM分类号	2H088/FA06 2H088/FA26 2H088/HA02 2H088/HA08 2H088/MA20 2H092/GA64 2H092/JA26 2H092/JB79 2H092/MA01 2H092/NA14 2H092/NA27 5G435/AA16 5G435/AA17 5G435/BB12 5G435/GG31 5G435/KK05 5G435/KK10 5G435/LL04 5G435/LL07 5G435/LL08 2H192/AA24 2H192/CB05 2H192/EA43 2H192/FA73 2H192/GA12 2H192/HA93		
其他公开文献	JP4964444B2		
外部链接	Espacenet		

摘要(译)

[问题] 在限制TFT元件13等的静电击穿的同时，可以简单且有效地制造显示元件。[解决方案] 根据本发明的液晶显示元件的制造方法是由母基板100制造用于制造TFT阵列基板10的液晶显示元件的方法，其中在母基板100上的液晶显示元件形成区域M中形成多个像素。电极12和TFT元件13形成成为矩阵，并且在多个像素电极12与区域M的外部之间形成与多个开关元件13连接的多个栅电极布线16和/或源电极布线17。形成用于连接配线16和17的连接配线19，并且TFT阵列基板10沿着区域M的外周边缘分开。然后，当TFT阵列基板10与母基板100分离时，布线16和17以及连接布线19均被分离。[选择图]图4

