

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-57888

(P2007-57888A)

(43) 公開日 平成19年3月8日(2007.3.8)

(51) Int.Cl.		F I		テーマコード (参考)
GO2F	1/1345	(2006.01)	GO2F	1/1345
GO2F	1/1368	(2006.01)	GO2F	1/1368
				2H092

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号	特願2005-243967 (P2005-243967)	(71) 出願人	000006013
(22) 出願日	平成17年8月25日 (2005.8.25)		三菱電機株式会社
			東京都千代田区丸の内二丁目7番3号
		(74) 代理人	100089233
			弁理士 吉田 茂明
		(74) 代理人	100088672
			弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	田代 智裕
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内
		(72) 発明者	野海 茂昭
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内

最終頁に続く

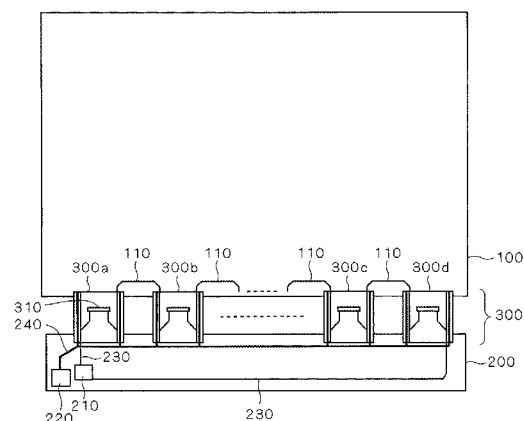
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】クロストーク等により信号伝送に及ぼされる影響を低減できる液晶表示装置を提供する。

【解決手段】T-CON210は、複数のソースドライバ基板300のうち左端のソースドライバ基板300aまたは右端のソースドライバ基板300dに対してのみ、コントローラ基板200上に配置されたSTH配線230で接続される。ソースドライバ基板300b, 300c間に介在する複数のソースドライバ基板300では、互いに両側に隣接するソースドライバ基板300との間で、パネル100上に配置されたSTH配線110を介して接続される。

【選択図】 図1



100: パネル
 110, 230: STH配線
 200: コントローラ基板
 210: T-CON
 220: VCOM生成回路
 240: VCOM配線
 300, 300a~300d: ソースドライバ基板
 310: ソースドライバIC

【特許請求の範囲】

【請求項 1】

画素電極およびスイッチ素子がマトリクス状に配置されたパネルと、
前記スイッチ素子のソースに接続されたソースドライバ IC をそれぞれ搭載した複数のソースドライバ基板と、
前記ソースドライバ IC を制御するソースドライバ制御回路を搭載したコントローラ基板と
を備える液晶表示装置であって、
前記ソースドライバ基板間においては、前記ソースドライバ制御回路から前記ソースドライバ IC に対して出力されるスタートパルス信号を伝搬するためのスタートパルス配線のみが前記パネル上に形成される
液晶表示装置。 10

【請求項 2】

請求項 1 に記載の液晶表示装置であって、
前記パネル上における前記スタートパルス配線上には、ダンピング用抵抗素子が形成される
液晶表示装置。

【請求項 3】

請求項 2 に記載の液晶表示装置であって、
前記ダンピング用抵抗素子は、前記パネルに含まれる導電体を細く延ばすことで形成される
液晶表示装置。 20

【請求項 4】

請求項 2 に記載の液晶表示装置であって、
前記ダンピング用抵抗素子は、前記パネルに含まれる導電体および ITO (Indium Tin Oxide) から形成される
液晶表示装置。

【請求項 5】

請求項 1 に記載の液晶表示装置であって、
前記画素電極に対向する対向電極と、
前記コントローラ基板上に搭載され前記対向電極に所定の電位を与えるための対向電位生成回路と
をさらに備え、
前記複数のソースドライバ基板は、前記対向電位生成回路に接続される前記ソースドライバ基板および前記対向電位生成回路に接続されない前記ソースドライバ基板を含む
液晶表示装置。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、クロストーク等により信号伝送に及ぼされる影響を低減するための技術に関する。 40

【背景技術】

【0002】

従来のアクティブマトリクス型液晶表示装置においては、タイミングコントローラ (Timing-Controller、以下では T - CON と略す) からソースドライバ IC までのデータ信号伝送においては、CMOS (Complementary Metal-Oxide Semiconductor) または LV-TTL (Low Voltage Transistor Transistor Level) インターフェースが用いられている。

【0003】

しかし、近年では、信号線の本数を削減したり E M I (Electro-Magnetic Interference: 不要電磁輻射) を低減したりするために、mini-LVDS (Low Voltage Differential Signaling) や RSDS (Reduced Swing Differential Signaling) といった差動信号伝送方式が多用されている。

【0004】

CMOS インターフェースや RSDS インターフェースのソースドライバ IC には、データ信号の始まりを示すスタートパルスとしての STH (Start-Pulse Horizontal) 信号が必要となる (なお、ゲートドライバ IC には、スタートパルスとしての STV (Start-Pulse Vertical) 信号が必要となる)。パネルに沿って通常複数個のソースドライバ IC が設けられるが、T-CON からスキャン方向に沿って最初のソースドライバ IC は T-CON に直接に接続され、2 番目以降のソースドライバ IC は、T-CON に直接には接続されず、隣接するソースドライバ IC 同士で互いにカスケード接続される。

10

【0005】

なお、mini-LVDS インターフェースの場合には、STH は T-CON からスキャン方向に沿って最初のソースドライバ IC は T-CON に直接に接続されないが、2 番目以降のソースドライバ IC は、CMOS インターフェースや RSDS インターフェースと同様に、T-CON に直接には接続されず、隣接するソースドライバ IC 同士で互いにカスケード接続される。通常、mini-LVDS の場合には高解像度の高周波数対応として使用されることが多いため、画面を左右ブロックに分けることが多く、それぞれの最初のソースドライバ IC には T-CON から直接 STH が接続される。

20

【0006】

ソースドライバ IC 間をカスケード接続するための STH 配線は、他の信号線や電源線と同様に、ソースドライバ IC が搭載される TCP (Tape Carrier Package) からなるソースドライバ基板からコントローラ基板へ引き出され、コントローラ基板上に配線される (なお、ソースドライバ基板は、TCP に限らず、例えば COF (Chip On Film) 等からなってもよい)。

【0007】

例えば、特許文献 1 ~ 4 には、従来の液晶表示装置の配線構造が開示されている。

【0008】

【特許文献 1】特開平 5 - 188390 号公報

30

【特許文献 2】特開平 11 - 316386 号公報

【特許文献 3】特開 2000 - 227783 号公報

【特許文献 4】特開 2003 - 157020 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

上述したように、STH 配線は、カスケード接続されるのでファンアウトは 1 と少ないが、ソースドライバ IC の対応クロック周波数を上げる必要があるため STH 信号のドライブ能力を落とすことはできない。従って、STH 信号のドライブ能力は比較的過剰気味であるため、波形にオーバーシュートやアンダーシュートが出やすくなる。よって、ソースドライバ IC の入力仕様の規格割れを起こす可能性が高い。また、近年多用される RSDS インターフェースにおいては、データ信号およびクロック信号はピーク・トゥ・ピーク振幅が 300 ~ 400 mV 程度の差動信号であり、振幅が 3.3 V 程度の STH 信号に比べて非常に小さい。従って、データ信号およびクロック信号を供給する RSDS 配線等が STH 配線と近接し並走する距離が長くなると、これらの配線が STH の変化から受ける影響が大きくなる。よって、クロストーク等により信号伝送に影響を及ぼす場合がある。

40

【0010】

このような問題点を解決するためには、コントローラ基板上において、STH 配線にダンピング抵抗素子を設ける手法が考えられる。しかし、コントローラ基板上においては、

50

部品の配置に関する制約が多いので、ＳＴＨ配線にダンピング抵抗素子を設けるのは場合によっては困難であるという問題点があった。

【００１１】

本発明は以上の問題点を解決するためになされたものであり、クロストーク等により信号伝送に及ぼされる影響を低減できる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【００１２】

本発明に係る液晶表示装置は、画素電極およびスイッチ素子がマトリクス状に配置されたパネルと、スイッチ素子のソースに接続されたソースドライバＩＣをそれぞれ搭載した複数のソースドライバ基板と、ソースドライバＩＣを制御するソースドライバ制御回路を搭載したコントローラ基板とを備える液晶表示装置であって、ソースドライバ基板間においては、ソースドライバ制御回路からソースドライバＩＣに対して出力されるスタートパルス信号を伝搬するためのスタートパルス配線のみがパネル上に形成される。

10

【発明の効果】

【００１３】

本発明に係る液晶表示装置は、ソースドライバ基板間においては、ソースドライバ制御回路からソースドライバＩＣに対して出力されるスタートパルス信号を伝搬するためのスタートパルス配線のみがパネル上に形成される。従って、コントローラ基板に配置されたスタートパルス配線以外の配線がスタートパルス配線と近接し並走する距離を低減できるので、クロストーク等により信号伝送に及ぼされる影響を低減できる。

20

【発明を実施するための最良の形態】

【００１４】

本発明に係る液晶表示装置は、ソースドライバ間をカスケード接続するためのＳＴＨ配線のみをパネル上に、ＳＴＨ配線以外の配線をコントローラ基板上に、それぞれ配線させることにより、ＳＴＨ配線とＳＴＨ配線以外の配線とが近接し並走する距離を低減させることを特徴とする。以下、本発明の各実施の形態について説明する。

【００１５】

< 実施の形態１ >

図１は、実施の形態１に係るアクティブマトリクス型の液晶表示装置の構成を示す上面図である。図１においては、矩形状のパネル１００とコントローラ基板２００との間に、ソースドライバＩＣ３１０を搭載した矩形状のＴＣＰ（Tape Carrier Package）からなるソースドライバ基板３００が複数個並列に配置されている。なお、このソースドライバ基板３００は、ＴＣＰに限らず、ＣＯＦ（Chip On Film）等からなってもよい。

30

【００１６】

パネル１００には、図示されていないが、画素電極およびスイッチ素子がマトリクス状に配置されており、ソースドライバＩＣ３１０は、スイッチ素子のソースに接続されている。

【００１７】

図２は、ソースドライバ基板３００の構成を示す上面図である。ソースドライバ基板３００においては、左辺３０１ａおよび右辺３０１ｂそれぞれの内側に、ＶＣＯＭ（対向電極電位）配線３０２ａ，３０２ｂが配置されている。ＶＣＯＭ配線３０２ａ，３０２ｂそれぞれの内側には、ＳＴＨ配線３０３ａ，３０３ｂが配置されている。ＳＴＨ配線３０３ａ，３０３ｂは、それぞれ、ＳＴＨ配線３０４ａ，３０４ｂを介して、ソースドライバ基板３００中央付近に配置された１個のソースドライバＩＣ３１０と接続されている。

40

【００１８】

ソースドライバ基板３００は、上辺３０１ｃにおいてパネル１００の下辺に接続され、下辺３０１ｄにおいてコントローラ基板２００の上辺に接続される。ソースドライバＩＣ３１０と上辺３０１ｃとの間には、ソースドライバＩＣ３１０出力の複数のソー

50

スドライバ出力配線 320 が延在している。ソースドライバ基板 300 において、VCOM 配線 302a, 302b および STH 配線 303a, 303b は、上下方向に延在しているので、パネル 100 およびコントローラ基板 200 への接続が可能である。なお、ソースドライバ基板 300 は、パネル 100 の下辺に限らず、例えばパネル 100 の上辺に接続されてもよい。この場合には、ソースドライバ基板 300 は、図 2 において 180° 回転したイメージとなり、コントローラ基板 200 上の配線は、図 1 においてパネル 100 に対して線対称なイメージとなる。

【0019】

図 1 において、コントローラ基板 200 は、データ信号の始まりを示すスタートパルスとしての STH 信号をソースドライバ IC 310 に与えてソースドライバ IC 310 を制御するためのソースドライバ制御回路を内蔵する T-CON 210 や、画素電極に対向する対向電極（図示しない）に所定の電位を与えるための VCOM 生成回路 220 等を搭載している。

10

【0020】

T-CON 210 は、複数個のソースドライバ基板 300 のうち左端のソースドライバ基板 300a または右端のソースドライバ基板 300d に対してのみ、コントローラ基板 200 上に配置された STH 配線 230 で接続される。左端のソースドライバ基板 300a は STH 配線 303a が STH 配線 230 に接続され、右端のソースドライバ基板 300d は STH 配線 303b が STH 配線 230 に接続される。スキャン方向が順スキャンすなわち左側から右側へ行われるスキャンの場合には、T-CON 210 からソースドライバ基板 300a に STH 信号が入力され、スキャン方向が逆スキャンすなわち右側から左側へ行われるスキャンの場合には、T-CON 210 からソースドライバ基板 300d に STH 信号が入力される。

20

【0021】

ソースドライバ基板 300a の STH 配線 303b は、パネル 100 上に配置された STH 配線 110 を介して、右側に隣接するソースドライバ基板 300b の STH 配線 303a に接続される。ソースドライバ基板 300d の STH 配線 303a は、パネル 100 上に配置された STH 配線 110 を介して、左側に隣接するソースドライバ基板 300c の STH 配線 303b に接続される。同様に、ソースドライバ基板 300b, 300c 間に介在する図示しない複数個のソースドライバ基板 300 では、互いに両側に隣接するソースドライバ基板 300 との間で、パネル 100 上に配置された STH 配線 110 を介して、STH 配線 303a と 303b とが接続される。すなわち、複数個のソースドライバ基板 300 は、パネル 100 上に配置された STH 配線 110 を介して、カスケード接続される。

30

【0022】

図 2 に示されるように、本実施の形態に係るソースドライバ基板 300 においては、STH 配線 303a, 303b は、いずれも、上辺 301c および下辺 301d の両方に接するように延在する。従来のソースドライバ基板では、STH 配線 303a, 303b は、いずれも、コントローラ基板 200 にのみ接続されるので、下辺 301d には延びていたが、上辺 301c には延びていなかった。本実施の形態に係るソースドライバ基板 300 においては、STH 配線 303a, 303b を上辺 301c にも延びるように配置させることで、図 1 に示されるように、パネル 100 上に配置された STH 配線 110 でソースドライバ IC 310 をカスケード接続させることが可能となる。従って、図 3 に示されるようにコントローラ基板 200 上に配置された STH 配線 250 でソースドライバ IC 310 をカスケード接続させる液晶表示装置に比べて、データ信号およびクロック信号を供給するためにコントローラ基板 200 上に配置される RSDS 配線等の配線が STH 配線と近接し並走する距離を低減できるので、クロストークにより信号伝送に及ぼされる影響を低減できる。

40

【0023】

VCOM 生成回路 220 は、複数個のソースドライバ基板 300 全てに対して、コン

50

トローラ基板 200 上に配置された VCOM 配線 240 で接続される。すなわち、複数のソースドライバ基板 300 全てにおいて、VCOM 配線 302a, 302b のいずれもが、VCOM 配線 240 に接続される。

【0024】

図 4 は、図 1 におけるソースドライバ基板 300 とパネル 100 との境界付近を示す拡大上面図である。ソースドライバ基板 300 上の STH 配線 303a, 303b は、パネル 100 上の STH 配線 110 に接続されている。また、ソースドライバ基板 300 上の複数のソースドライバ出力配線 320 は、パネル 100 上のソースドライバ出力配線 120 に接続されている。

【0025】

図 5 は、図 1 におけるソースドライバ基板 300 とコントローラ基板 200 との境界付近を示す拡大上面図である。ソースドライバ基板 300 上の VCOM 配線 302a, 302b は、コントローラ基板 200 上の VCOM 配線 240 に接続されている。また、ソースドライバ基板 300 上の RSDS 配線 330 は、コントローラ基板 200 上の RSDS 配線 270 に引き出され、スルーホール 280 を介して、コントローラ基板 200 中（すなわち、RSDS 配線 270 とは別の層に形成された）の RSDS 配線に接続されている。なお、1 個のソースドライバ基板 300 において、RSDS 配線 330 の間（点線で示される部分）には、RSDS 配線以外の配線（信号、電源、および階調の参照電圧等に用いられる）が上下方向に延在している。

【0026】

図 5 においては、複数のソースドライバ IC 310 をカスケード接続する STH 配線 110 は、パネル 100 上にのみ形成されるので、コントローラ基板 200 上には形成されない。従って、図 6 に示されるようにコントローラ基板 200 上に配置された STH 配線 250 でソースドライバ IC 310 をカスケード接続させる液晶表示装置に比べて、RSDS 配線が STH 配線と近接し並走する距離を低減できる。なお、図 6 においては、STH 配線 250 は、VCOM 配線 240 との接触を避けるために、スルーホール 290 を介して、コントローラ基板 200 中の別の層を通っている。

【0027】

このように、本実施の形態に係る液晶表示装置においては、STH 信号を伝搬するためにソースドライバ IC 310 をカスケード接続する STH 配線のみが、コントローラ基板 200 上に配置されずパネル 100 上に配置される。従って、コントローラ基板 200 上に配置された RSDS 配線 270 等の配線が STH 配線と近接し並走する距離を低減できるので、クロストーク等により信号伝送に及ぼされる影響を低減できる。上述したように、RSDS 信号の振幅は STH 信号の振幅に比べて非常に小さいので、クロストークによる影響を受けやすいが、上記のように構成することで、RSDS 信号へのクロストークを低減し信号波形を改善することができる。これにより、タイミングエラー等の不具合を低減させることが可能となる。

【0028】

また、ソースドライバ基板 300 に ACF (Anisotropic Conductive Film) を熱圧着させるときには、ソースドライバ基板 300 において ACF を実装させる面とコントローラ基板 200 において T-CON 210 や VCOM 生成回路 220 等の制御回路が実装された面とが互いに逆向きであるような場合には、ACF 熱圧着時のツールを受けるためのステージが、これらの制御回路が実装された面に当接する。従って、このステージが当接する領域の分だけコントローラ基板 200 における実装可能な面積が小さくなってしまいうので（また実装できたとしてもソースドライバ基板 300 から遠ざかってしまうために事実上配線が困難となってしまうので）、STH 配線がコントローラ基板 200 上に配置された場合には、STH 配線にダンピング抵抗素子を設けることが困難となる。本実施の形態に係る液晶表示装置においては、STH 配線がパネル基板 100 上に配置されるので、実施の形態 2 で後述するように、容易に STH 配線にダンピング抵抗素子を設けることが可能となる。

10

20

30

40

50

【0029】

また、一般に、コントローラ基板200として導体層が4層構成であるものを用いた場合には、STH配線とRSDS配線とをGND層を介して異なる層に配置させることにより、クロストーク等により信号伝送に及ぼされる影響を低減している。コントローラ基板200として導体層が2層構成であるものを用いた場合には、このように配置させることはできないが、本実施の形態のようにSTH配線をパネル100上のみに配置させることにより、クロストーク等により信号伝送に及ぼされる影響を低減することが可能となる。

【0030】

なお、上述においては、図1を用いて、ソースラインの数とトータルのソースドライバ-IC310出力本数が一致する場合（例えば、1024×768画素のXGAパネルの場合、384本出力があるソースドライバ-IC310を用いると、1024×3/384=8より、8個のソースドライバ-IC310で余ることなく駆動できる）について説明した。しかし、ソースラインの数がトータルのソースドライバ-IC310出力本数よりも少ない場合（すなわち、ソースドライバ-IC310出力において、実際には使用されない余りが発生する場合）には、例えば図7に示されるように、T-CON210に直接接続するSTH配線をより多く設ける必要がある。図7においては、ソースドライバ-基板300eに余ったソースドライバ-IC310出力がある場合で、ソースドライバ-基板300fに対してT-CON210からSTH配線230bを設ける。逆スキンの場合も同様に、ソースドライバ-基板300eに対してT-CON210からSTH配線230aを設ける。

【0031】

<実施の形態2>

実施の形態1に係る図1の液晶表示装置では、ソースドライバ-IC310をカスケード接続するためのSTH配線110がパネル100上に配置されるが、上述したように、このSTH配線110はダンピング抵抗素子を含んで構成されてもよい。

【0032】

図8は、実施の形態2に係るアクティブマトリクス型の液晶表示装置の構成を示す上面図である。図8は、図1において、STH配線110に代えて、ダンピング抵抗素子111を有するSTH配線110'を配置させたものである。

【0033】

このダンピング抵抗素子111は、図9に示されるように導電体からなる配線の一部を細く且つ長く延ばしたものであってもよく、あるいは、図10に示されるように配線の一部の導電体およびITO(Indium Tin Oxide)112をコンタクトホール113で繋げたものであってもよい。あるいは、これらの両方を用いたものであってもよい。これらの配線、ITO112、およびコンタクトホール113としては、一般的なパネル100に用いられている部材から形成することが可能である。すなわち、これらのダンピング抵抗素子111は、パネル100の製造工程におけるマスクパターンを変更するだけで、工程数を増やすことなく形成することが可能である。また、ダンピング抵抗素子111を、コントローラ基板200上ではなくパネル100上に配置させるので、コントローラ基板200自体の面積を増やすことなく形成することが可能である。

【0034】

このように、本実施の形態に係る液晶表示装置では、実施の形態1におけるSTH配線110に代えて、ダンピング抵抗素子111を有するSTH配線110'を用いる。従って、実施の形態1の効果に加えて、クロストーク等により信号伝送に及ぼされる影響をさらに低減できるという効果を有する。

【0035】

<実施の形態3>

実施の形態1に係る図1の液晶表示装置では、コントローラ基板200上において、VCOM配線240が、複数個のソースドライバ-基板300全てのVCOM配線302a, 302bに接続されるように配置される。一般的なパネル100では、表示特性上のバ

10

20

30

40

50

ラツキやムラの発生を抑えるため、T F Tが搭載されているガラス基板からカラーフィルタ基板へ接続するコンタクトが複数箇所設けられる。このコンタクトを増やせば増やすほど、対向電極であるV C O Mの電位バラツキが抑えられ表示特性は安定するが、このコンタクト形成はパネル作製のスループットと反比例するため製品機種毎に最適化される。通常、パネル100の両サイドはコンタクト接続されることは多いが、製品によってはブロック間のV C O Mはパネル側端子までのみ供給されていて、コンタクトを経由して対向電極まで接続されていない。そのため、製品によっては、コントローラ基板200のブロック間のV C O Mを削除しても、表示特性上は全く問題はない。

【0036】

図11は、実施の形態2に係るアクティブマトリクス型の液晶表示装置の構成を示す上面図である。図11は、図3において、V C O M配線240に代えて、V C O M配線240'を配置させたものである。

【0037】

図11に示されるV C O M配線240'は、左端のソースドライバ基板300aのV C O M配線302aおよび右端のソースドライバ基板300dのV C O M配線302bにのみ接続され、ソースドライバ基板300b, 300c間に介在する複数のソースドライバ基板300には接続されない。従って、図3に示されるV C O M配線240を用いる場合に比べて、コントローラ基板200を占有する面積を低減できる。

【0038】

図12は、図11におけるソースドライバ基板300とコントローラ基板200との境界付近を示す拡大上面図である。図12は、図6において、V C O M配線240を、コントローラ基板200上から省いたものである。従って、図6に示されるようにV C O M配線240との接触を避けるためにS T H配線250をスルーホール290を介してコントローラ基板200中の別の層を通す必要がなくなる。

【0039】

このように、本実施の形態に係る液晶表示装置では、コントローラ基板200におけるV C O M配線240'は、左端のソースドライバ基板300aのV C O M配線302aおよび右端のソースドライバ基板300dのV C O M配線302dにのみ接続されている。従って、コントローラ基板200を占有する面積を低減できる。よって、コントローラ基板200上におけるS T H配線250の配線の自由度を高めたり、コントローラ基板200自体の面積を低減したりすることが可能となる。

【0040】

また、コントローラ基板200上において、空いた領域にG N D領域を設けることで、信号層とG N D層とを絶縁層を介して配置させるマイクロストリップ構造をとることができる。これにより、E M Iを低減し信号波形を改善することが可能となる。

【0041】

なお、上述においては、V C O M配線240'は、左端のソースドライバ基板300aのV C O M配線302aおよび右端のソースドライバ基板300dのV C O M配線302dにのみ接続される構成について説明したが、これに限らず、ソースドライバ基板300b, 300c間に介在する複数のソースドライバ基板300のV C O M配線302a, 302bに部分的に接続される構成であってもよい。

【0042】

<実施の形態4>

実施の形態3に係る図11の液晶表示装置では、コントローラ基板200上に配置されたS T H配線250でソースドライバIC310をカスケード接続させる。しかし、実施の形態1と同様に、ソースドライバIC310をカスケード接続させるS T H配線は、コントローラ基板200上ではなくパネル100上に配置させてもよい。

【0043】

図13は、実施の形態3に係るアクティブマトリクス型の液晶表示装置の構成を示す上面図である。図13は、図11において、S T H配線250を、コントローラ基板200

10

20

30

40

50

上にではなくパネル 100 上に配置させたものである。また、図 14 は、図 13 におけるソースドライバ基板 300 とコントローラ基板 200 との境界付近を示す拡大上面図である。図 14 は、図 12 において、STH 配線 250 を、コントローラ基板 200 上から省いたものである。

【0044】

このように本実施の形態に係る液晶表示装置は、実施の形態 1 と同様に STH 配線 110 をパネル 100 上に配置させるとともに、実施の形態 3 と同様に VCOM 配線 240 ' を左端のソースドライバ基板 300 a の VCOM 配線 302 a および右端のソースドライバ基板 300 d の VCOM 配線 302 d にのみ接続させている。従って、実施の形態 1 および実施の形態 3 の両方の効果を有する。

10

【0045】

< 実施の形態 5 >

実施の形態 4 に係る図 13 の液晶表示装置では、ソースドライバ IC 310 をカスケード接続するための STH 配線 110 がパネル 100 上に配置されるが、実施の形態 2 と同様に、STH 配線 110 に代えて、ダンピング抵抗素子 111 を有する STH 配線 110 ' を配置させてもよい。

【0046】

図 15 は、実施の形態 5 に係るアクティブマトリクス型の液晶表示装置の構成を示す上面図である。図 15 は、図 13 において、STH 配線 110 に代えて、STH 配線 110 ' を配置させたものである。

20

【0047】

このように、本実施の形態に係る液晶表示装置では、実施の形態 4 における STH 配線 110 に代えて、ダンピング抵抗素子 111 を有する STH 配線 110 ' を用いる。従って、実施の形態 4 および実施の形態 2 の両方の効果を有する。

【図面の簡単な説明】

【0048】

【図 1】実施の形態 1 に係る液晶表示装置の構成を示す上面図である。

【図 2】実施の形態 1 に係るソースドライバ基板の構成を示す上面図である。

【図 3】STH 配線がコントローラ基板上に配置される液晶表示装置の構成を示す上面図である。

30

【図 4】実施の形態 1 に係るソースドライバ基板とパネルとの境界付近を示す拡大上面図である。

【図 5】実施の形態 1 に係るソースドライバ基板とコントローラ基板との境界付近を示す拡大上面図である。

【図 6】ソースドライバ基板と STH 配線が配置されたコントローラ基板との境界付近を示す拡大上面図である。

【図 7】実施の形態 1 に係る液晶表示装置の構成を示す上面図である。

【図 8】実施の形態 2 に係る液晶表示装置の構成を示す上面図である。

【図 9】実施の形態 2 に係るダンピング抵抗素子の構成を示す上面図である。

【図 10】実施の形態 2 に係るダンピング抵抗素子の構成を示す上面図である。

40

【図 11】実施の形態 3 に係る液晶表示装置の構成を示す上面図である。

【図 12】実施の形態 3 に係るソースドライバ基板とコントローラ基板との境界付近を示す拡大上面図である。

【図 13】実施の形態 4 に係る液晶表示装置の構成を示す上面図である。

【図 14】実施の形態 4 に係るソースドライバ基板とコントローラ基板との境界付近を示す拡大上面図である。

【図 15】実施の形態 5 に係る液晶表示装置の構成を示す上面図である。

【符号の説明】

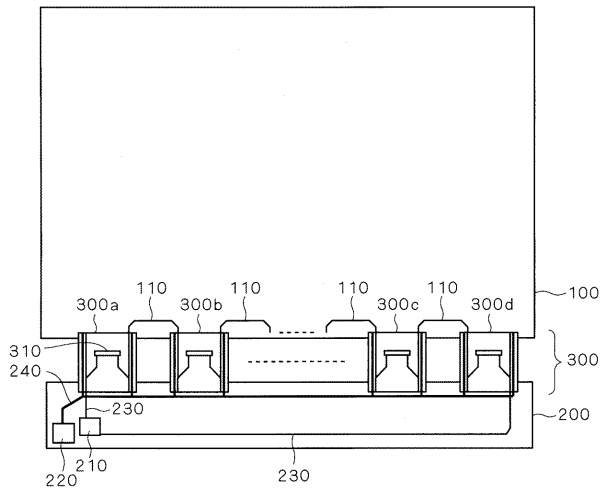
【0049】

100 パネル、110, 230, 230 a ~ 230 b, 250, 303 a ~ 303 b

50

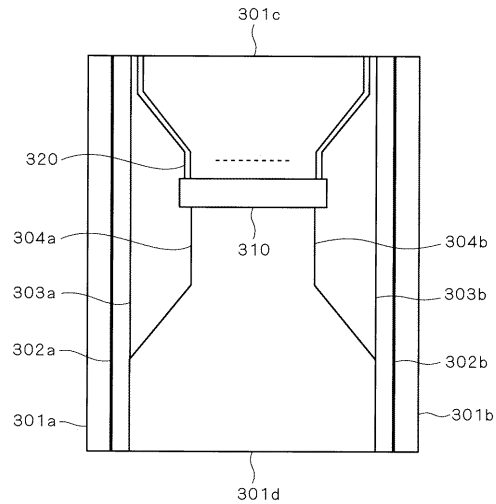
, 304a ~ 304b STH配線、111 ダンピング抵抗素子、112 ITO、113 コンタクトホール、120, 320 ソースドライバ出力配線、200 コントローラ基板、210 T-CON、220 VCOM生成回路、240, 302a ~ 302b VCOM配線、270, 330 RSDS配線、280, 290 スルーホール、300, 300a ~ 300e ソースドライバ基板、301a 左辺、301b 右辺、301c 上辺、301d 下辺、310 ソースドライバIC。

【図1】



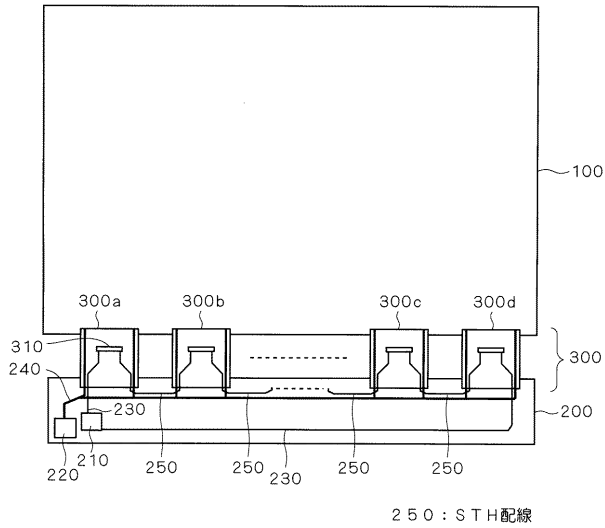
100: パネル
110, 230: STH配線
200: コントローラ基板
210: T-CON
220: VCOM生成回路
240: VCOM配線
300, 300a ~ 300d: ソースドライバ基板
310: ソースドライバIC

【図2】

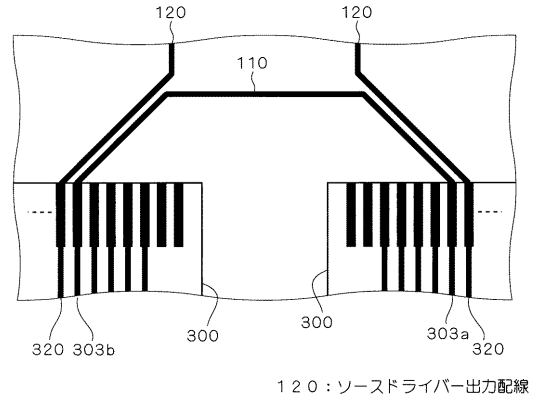


301a: 左辺
301b: 右辺
301c: 上辺
301d: 下辺
302a, 302b: VCOM配線
303a, 303b, 304a, 304b: STH配線
320: ソースドライバ出力配線

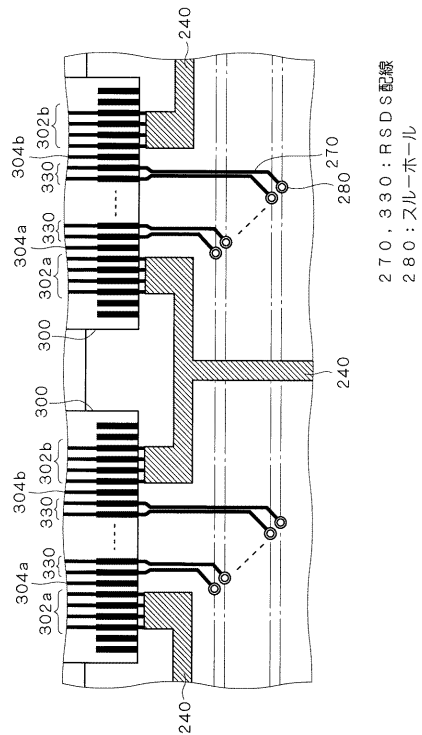
【図 3】



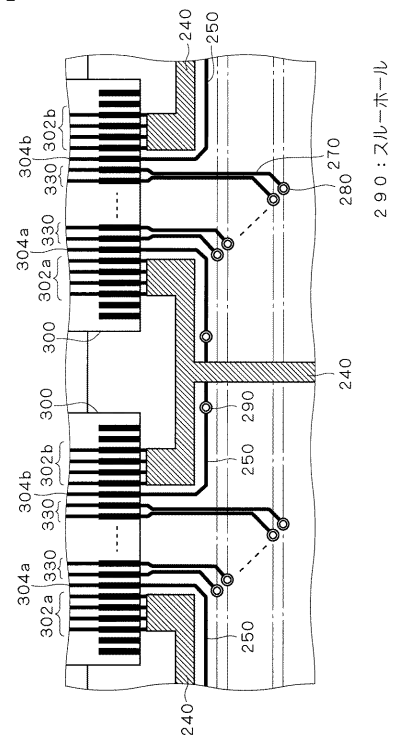
【図 4】



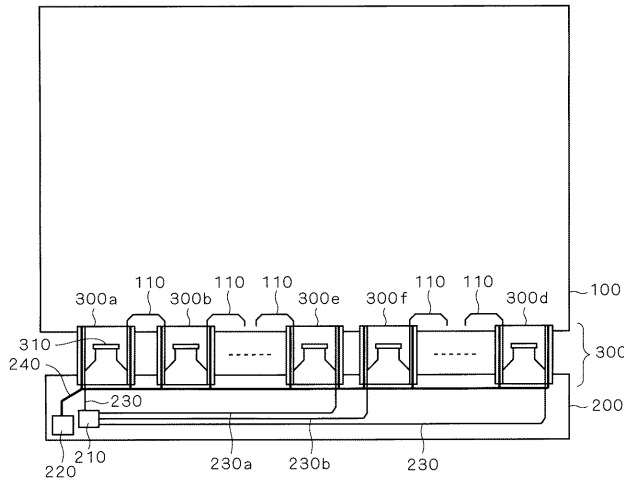
【図 5】



【図 6】

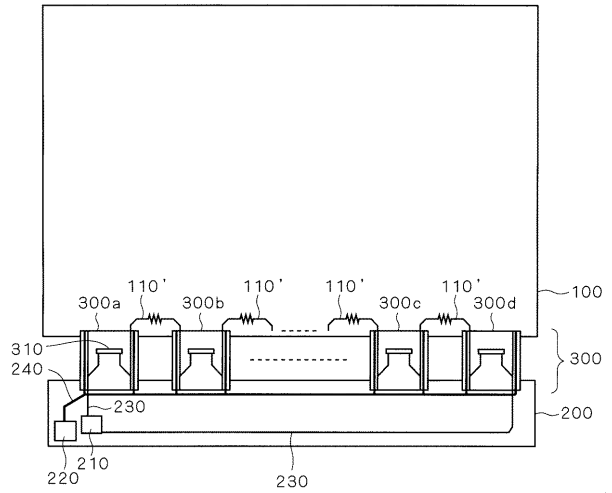


【図 7】

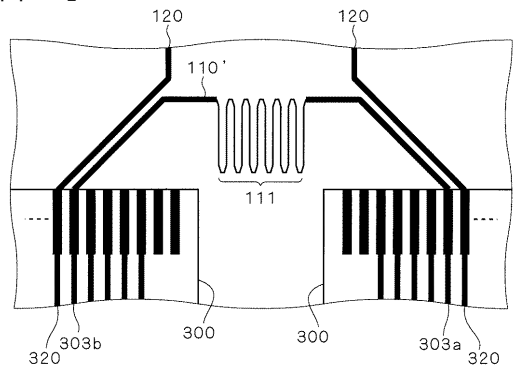


230a, 230b: STH配線
300e, 300f: ソースドライバー基板

【図 8】

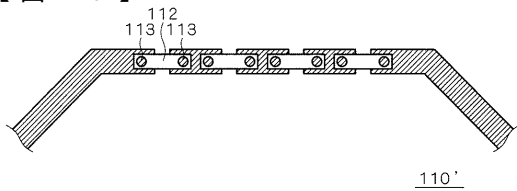


【図 9】



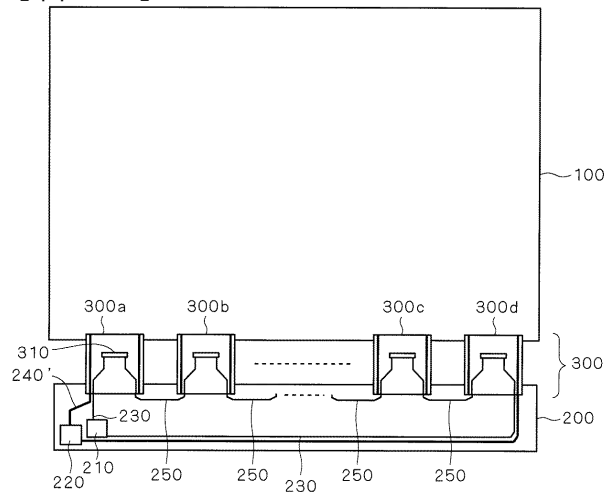
111: ダンピング抵抗素子

【図 10】

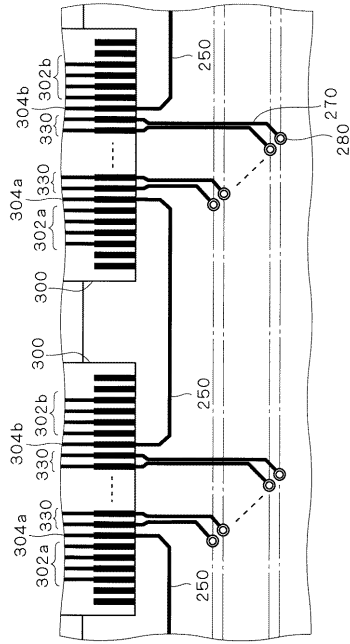


112: ITO
113: コンタクトホール

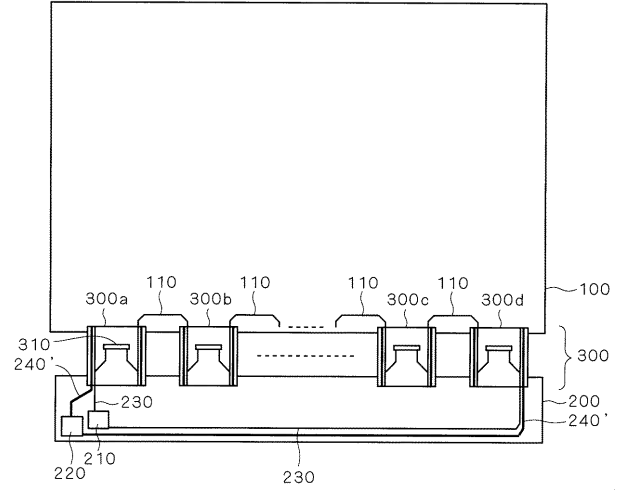
【図 11】



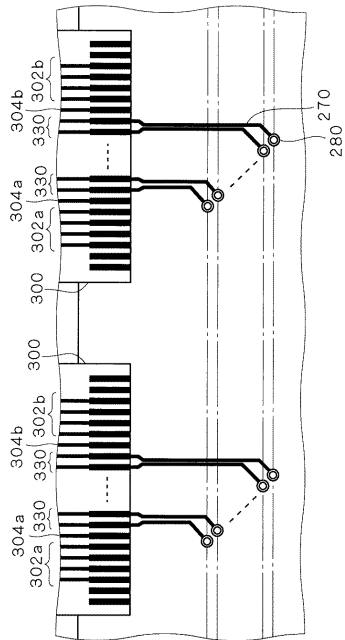
【図 1 2】



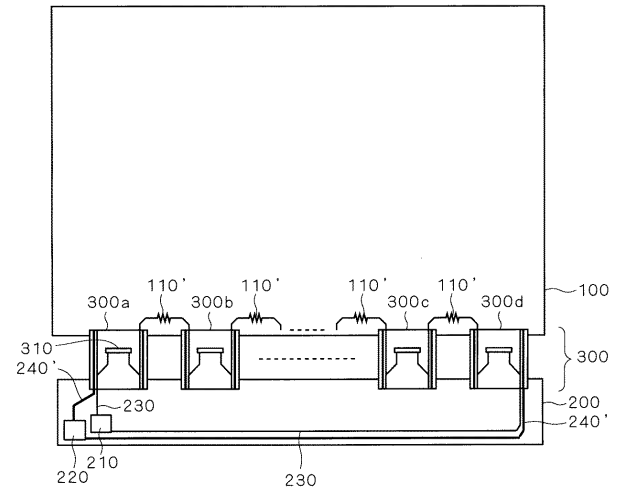
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

F ターム(参考) 2H092 GA44 GA51 GA60 GA61 JA24 KB05 NA11 NA28 PA06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2007057888A	公开(公告)日	2007-03-08
申请号	JP2005243967	申请日	2005-08-25
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	田代智裕 野海茂昭		
发明人	田代 智裕 野海 茂昭		
IPC分类号	G02F1/1345 G02F1/1368		
FI分类号	G02F1/1345 G02F1/1368		
F-TERM分类号	2H092/GA44 2H092/GA51 2H092/GA60 2H092/GA61 2H092/JA24 2H092/KB05 2H092/NA11 2H092/NA28 2H092/PA06 2H192/AA24 2H192/DA91 2H192/FA54 2H192/FB46 2H192/FB52 2H192/FB81		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其减少由串扰等引起的对信号传输的影响。解决方案：定时控制器 (T-CON) 210仅连接到左端的源极驱动器基板300a或者通过设置在控制器基板200上的STH布线230，在多个源极驱动器基板300中的右端的源极驱动器基板300d。对于插入在源极驱动器基板300b，300c，STH布线303a之间的多个源极驱动器基板300，303b通过设置在面板100上的STH布线110连接在源极驱动器基板300之间，源极驱动器基板300在其两侧相邻布置。Ž

