

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-11336
(P2007-11336A)

(43) 公開日 平成19年1月18日(2007.1.18)

| | | |
|-------------------------------------|----------------|-------------|
| (51) Int.Cl. | F I | テーマコード (参考) |
| G09G 3/36 (2006.01) | G09G 3/36 | 2H093 |
| G09G 3/20 (2006.01) | G09G 3/20 622D | 5C006 |
| G02F 1/133 (2006.01) | G09G 3/20 611J | 5C080 |
| | G09G 3/20 622E | |
| | G09G 3/20 612K | |
| 審査請求 有 請求項の数 41 O L (全 48 頁) 最終頁に続く | | |

| | | | |
|--------------|------------------------------|----------|---------------------|
| (21) 出願番号 | 特願2006-171649 (P2006-171649) | (71) 出願人 | 599127667 |
| (22) 出願日 | 平成18年6月21日 (2006. 6. 21) | | エルジー フィリップス エルシーディー |
| (31) 優先権主張番号 | 10-2005-0058609 | | カンパニー リミテッド |
| (32) 優先日 | 平成17年6月30日 (2005. 6. 30) | | 大韓民国 ソウル, ヨンドンポーク, |
| (33) 優先権主張国 | 韓国 (KR) | | ヨイドードン 2 O |
| | | (74) 代理人 | 100057874 |
| | | | 弁理士 曾我 道照 |
| | | (74) 代理人 | 100110423 |
| | | | 弁理士 曾我 道治 |
| | | (74) 代理人 | 100084010 |
| | | | 弁理士 古川 秀利 |
| | | (74) 代理人 | 100094695 |
| | | | 弁理士 鈴木 憲七 |
| | | (74) 代理人 | 100111648 |
| | | | 弁理士 梶並 順 |
| | | 最終頁に続く | |

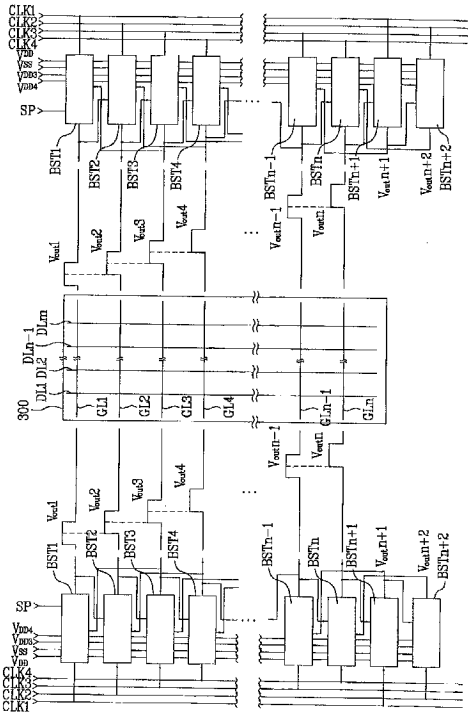
(54) 【発明の名称】 表示装置の駆動回路及びその駆動方法

(57) 【要約】

【課題】 液晶パネルのゲートラインに供給されるスキャンパルスの歪みを防止できる表示装置及びその駆動方法を提供する。

【解決手段】 表示部に備えられたゲートラインの一側に順に第1スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第1シフトレジスタと、前記ゲートラインの他側に順に第2スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第2シフトレジスタを備える表示装置の駆動回路を提供する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

表示部に備えられたゲートラインの一侧に順に第 1 スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第 1 シフトレジスタと、

前記ゲートラインの他側に順に第 2 スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第 2 シフトレジスタと

を備えて構成されることを特徴とする、表示装置の駆動回路。

【請求項 2】

第 $n + 1$ ゲートライン (n は、自然数) を駆動するための第 1 スキャンパルスは、第 n ゲートラインを駆動するための第 1 スキャンパルスがアクティブ状態を維持する期間内に、前記第 $n + 1$ ゲートラインに供給されることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

【請求項 3】

第 $n + 1$ ゲートライン (n は、自然数) を駆動するための第 2 スキャンパルスは、第 n ゲートラインを駆動するための第 2 スキャンパルスがアクティブ状態を維持する期間内に、前記第 $n + 1$ ゲートラインに供給されることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

【請求項 4】

前記第 1 及び第 2 シフトレジスタに互いに位相差を有する複数のクロックパルスを供給するタイミングコントローラをさらに備えることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

【請求項 5】

各クロックパルスは順に出力され、先に出力されたクロックパルスがアクティブ状態を維持する期間内に出力されることを特徴とする、請求項 4 に記載の表示装置の駆動回路。

【請求項 6】

各クロックパルス同士が同時にアクティブ状態を有する期間の大きさと各スキャンパルス同士が同時にアクティブ状態を有する期間の大きさとが同一であることを特徴とする、請求項 5 に記載の表示装置の駆動回路。

【請求項 7】

前記第 1 シフトレジスタは、各第 1 スキャンパルスを各ゲートラインの一侧に供給し、一方向に配列された複数のステージを備え、

前記第 2 シフトレジスタは、各第 2 スキャンパルスを各ゲートラインの他側に供給し、一方向に配列された複数のステージを備えることを特徴とする、請求項 1 に記載の表示装置の駆動回路。

【請求項 8】

第 1 シフトレジスタに備えられた各ステージは、前のステージからの第 1 スキャンパルスに応答してイネーブルされて第 1 スキャンパルスを出力し、次のステージからの第 1 スキャンパルスに応答してディセーブルされることを特徴とする、請求項 7 に記載の表示装置の駆動回路。

【請求項 9】

第 1 シフトレジスタに備えられた第 n ステージ (n は、自然数) は、第 $n - 1$ ステージからの第 1 スキャンパルスに応答してイネーブルされて第 1 スキャンパルスを出力し、第 $n + 2$ ステージからの第 1 スキャンパルスに応答してディセーブルされることを特徴とする、請求項 8 に記載の表示装置の駆動回路。

【請求項 10】

前記第 1 シフトレジスタに備えられた第 1 ステージは、外部からの第 1 スタートパルスに応答してイネーブルされ、第 2 ステージは外部からの第 2 スタートパルスに応答してイネーブルされることを特徴とする、請求項 9 に記載の表示装置の駆動回路。

10

20

30

40

50

【請求項 1 1】

前記第 1 シフトレジスタは、

最後に位置したステージをディセーブルさせるためのスキャンパルスを出力する第 1 ダミーステージと、

前記最後に位置したステージの直前に位置したステージをディセーブルさせるためのスキャンパルスを出力する第 2 ダミーステージと

をさらに備えることを特徴とする、請求項 9 に記載の表示装置の駆動回路。

【請求項 1 2】

前記第 2 ダミーステージは、第 1 ダミーステージからのスキャンパルスに応答してイネーブルされることを特徴とする、請求項 1 1 に記載の表示装置の駆動回路。

10

【請求項 1 3】

第 1 シフトレジスタに備えられた各ステージは、

第 1、第 2 及び第 3 ノードの論理状態を制御するノード制御部と、

前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートライン、次のステージ及び前のステージに供給する出力部と、

を備えることを特徴とする、請求項 7 に記載の表示装置の駆動回路。

【請求項 1 4】

前記第 1 シフトレジスタに備えられた第 n ステージのノード制御部は、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに応答して、第 1 ノードを第 1 電圧源で充電させる第 1 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに応答して、第 2 ノードを第 2 電圧源で放電させる第 2 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに応答して、第 3 ノードを第 2 電圧源で放電させる第 3 スイッチング素子と、

フレームごとに異なる極性を有する第 3 電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第 2 ノードを第 3 電圧源で充電させる第 4 スイッチング素子と、

第 3 電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第 3 ノードを第 2 電圧源で放電させる第 5 スイッチング素子と、

第 4 電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第 3 ノードを前記第 4 電圧源で充電させる第 6 スイッチング素子と、

第 4 電圧源に応答してターンオンまたはターンオフされ、ターンオン時に第 2 ノードを第 2 電圧源で放電させる第 7 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に応答して、第 2 ノードを第 2 電圧源で放電させる第 8 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に応答して、第 3 ノードを第 2 電圧源で放電させる第 9 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に応答して、第 1 ノードを第 2 電圧源で放電させる第 10 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に応答して、第 1 ノードを第 2 電圧源で放電させる第 11 スイッチング素子と、

第 $n + 2$ ステージからのスキャンパルスに応答して、第 1 ノードを第 2 電圧源で放電させる第 12 スイッチング素子と

を備えることを特徴とする、請求項 1 3 に記載の表示装置の駆動回路。

【請求項 1 5】

前記第 1 シフトレジスタに備えられた第 n ステージの出力部は、

第 1 ノードに充電された第 1 電圧源に応答してスキャンパルスをゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 13 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に応答して第 2 電圧源をゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 14 スイッチング素子と、

50

第 3 ノードに充電された第 4 電圧源に 응답して第 2 電圧源をゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 15 スwitchング素子と
を備えて構成されることを特徴とする、請求項 14 に記載の表示装置の駆動回路。

【請求項 16】

前記第 1 シフトレジスタに備えられた第 n ステージのノード制御部は、
スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 1 ノードを第 1 電圧源で充電させる第 1 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、第 2 ノードを第 2 電圧源で放電させる第 2 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、第 3 ノードを第 2 電圧源で放電させる第 3 スwitchング素子と、

フレームごとに異なる極性を有する第 3 電圧源に 응답してターンオンまたはターンオフされ、ターンオン時に第 3 電圧源を出力する第 4 スwitchング素子と、

前記第 4 スwitchング素子から出力された前記第 3 電圧源に 응답して、第 2 ノードを第 3 電圧源で充電させる第 5 スwitchング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 1 ノードを第 2 電圧源で放電させる第 6 スwitchング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 3 ノードを第 2 電圧源で放電させる第 7 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 8 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 9 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 10 スwitchング素子と、

フレームごとに異なる極性を有し、前記第 3 電圧源に反転された極性を有する第 4 電圧源に 응답して、ターンオンまたはターンオフされ、ターンオン時に前記第 4 電圧源を出力する第 11 スwitchング素子と、

前記第 11 スwitchング素子から出力された第 4 電圧源に 응답して、第 3 ノードを前記第 4 電圧源で充電させる第 12 スwitchング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して、第 1 ノードを第 2 電圧源で放電させる第 13 スwitchング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して、第 2 ノードを第 2 電圧源で放電させる第 14 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、前記第 12 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スwitchング素子をターンオフさせる第 15 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、前記第 12 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スwitchング素子をターンオフさせる第 16 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、前記第 12 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スwitchング素子をターンオフさせる第 17 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 2 ノードを第 2 電圧源で放電させる第 18 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 3 ノードを第 2 電圧源で放電させる第 19 スwitchング素子と、

10

20

30

40

50

第 $n + 2$ ステージからのスキャンパルスに 응답して、第 1 ノードを第 2 電圧源で放電させる第 20 スwitchング素子と

を備えることを特徴とする、請求項 13 に記載の表示装置の駆動回路。

【請求項 17】

前記第 1 シフトレジスタに備えられた第 n ステージの出力部は、

第 1 ノードに充電された第 1 電圧源に 응답して、スキャンパルスをゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 21 スwitchング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 2 電圧源をゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 22 スwitchング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して、第 2 電圧源をゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 23 スwitchング素子と

を備えて構成されることを特徴とする、請求項 16 に記載の表示装置の駆動回路。

【請求項 18】

第 1 シフトレジスタに備えられた各ステージは、

第 1、第 2 及び第 3 ノードの論理状態を制御するノード制御部と、

前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートラインに供給する第 1 出力部と、

前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力して前のステージ及び次のステージに供給する第 2 出力部と

を備えることを特徴とする、請求項 7 に記載の表示装置の駆動回路。 20

【請求項 19】

前記第 1 シフトレジスタに備えられた第 n ステージのノード制御部は、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 1 ノードを第 1 電圧源で充電させる第 1 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、第 2 ノードを第 2 電圧源で放電させる第 2 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、第 3 ノードを第 2 電圧源で放電させる第 3 スwitchング素子と、

フレームごとに異なる極性を有する第 3 電圧源に 응답してターンオンまたはターンオフされ、ターンオン時に前記第 3 電圧源を出力する第 4 スwitchング素子と、 30

前記第 4 スwitchング素子から出力された前記第 3 電圧源に 응답して、第 2 ノードを第 3 電圧源で充電させる第 5 スwitchング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 1 ノードを第 2 電圧源で放電させる第 6 スwitchング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 3 ノードを第 2 電圧源で放電させる第 7 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 8 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 9 スwitchング素子と、 40

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 10 スwitchング素子と、

フレームごとに異なる極性を有し、前記第 3 電圧源に反転された極性を有する第 4 電圧源に 응답して、ターンオンまたはターンオフされ、ターンオン時に前記第 4 電圧源を出力する第 11 スwitchング素子と、

前記第 11 スwitchング素子から出力された第 4 電圧源に 응답して、第 3 ノードを前記第 4 電圧源で充電させる第 12 スwitchング素子と、 50

第 3 ノードに充電された第 4 電圧源に 응답して、第 1 ノードを第 2 電圧源で放電させる第 1 3 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して、第 2 ノードを第 2 電圧源で放電させる第 1 4 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、前記第 1 2 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 1 2 スイッチング素子をターンオフさせる第 1 5 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、前記第 1 2 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 1 2 スイッチング素子をターンオフさせる第 1 6 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、前記第 1 2 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 1 2 スイッチング素子をターンオフさせる第 1 7 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 2 ノードを第 2 電圧源で放電させる第 1 8 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 3 ノードを第 2 電圧源で放電させる第 1 9 スイッチング素子と、

第 $n + 2$ ステージからのスキャンパルスに 응답して、第 1 ノードを第 2 電圧源で放電させる第 2 0 スイッチング素子と

を備えることを特徴とする、請求項 1 8 に記載の表示装置の駆動回路。

【請求項 2 0】

前記第 1 シフトレジスタに備えられた第 n ステージの第 1 出力部は、

第 1 ノードに充電された第 1 電圧源に 응답して、スキャンパルスをゲートラインに供給する第 2 1 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 2 電圧源をゲートラインに供給する第 2 2 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して、第 2 電圧源をゲートラインに供給する第 2 3 スイッチング素子と

を備えて構成されることを特徴とする、請求項 1 9 に記載の表示装置の駆動回路。

【請求項 2 1】

前記第 1 シフトレジスタに備えられた第 n ステージの第 2 出力部は、

第 1 ノードに充電された第 1 電圧源に 응답してスキャンパルスを第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 2 4 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 2 電圧源を第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 2 5 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して、第 2 電圧源を第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 2 6 スイッチング素子と

を備えて構成されることを特徴とする、請求項 2 0 に記載の表示装置の駆動回路。

【請求項 2 2】

第 2 シフトレジスタに備えられた各ステージは、前のステージからの第 2 スキャンパルスに 응답してイネーブルされて第 2 スキャンパルスを出力し、次のステージからの第 2 スキャンパルスに 응답してディセーブルされることを特徴とする、請求項 7 に記載の表示装置の駆動回路。

【請求項 2 3】

第 2 シフトレジスタに備えられた第 n ステージ (n は、自然数) は、第 $n - 1$ ステージからの第 2 スキャンパルスに 응답してイネーブルされて第 2 スキャンパルスを出力し、第 $n + 2$ ステージからの第 2 スキャンパルスに 응답してディセーブルされることを特徴とする、請求項 2 2 に記載の表示装置の駆動回路。

【請求項 2 4】

前記第 2 シフトレジスタに備えられた第 1 ステージは、外部からの第 1 スタートパルス

10

20

30

40

50

に 응답してイネーブルされ、第 2 ステージは外部からの第 2 スタートパルスに 응답してイネーブルされることを特徴とする、請求項 23 に記載の表示装置の駆動回路。

【請求項 25】

前記第 2 シフトレジスタは、最後に位置したステージをディセーブルさせるためのスキャンパルスを出力する第 1 ダミーステージと、

前記最後に位置したステージの直前に位置したステージをディセーブルさせるためのスキャンパルスを出力する第 2 ダミーステージと

をさらに備えることを特徴とする、請求項 23 に記載の表示装置の駆動回路。

【請求項 26】

前記第 2 ダミーステージは、第 1 ダミーステージからのスキャンパルスに 응답してイネーブルされることを特徴とする、請求項 27 に記載の表示装置の駆動回路。 10

【請求項 27】

第 2 シフトレジスタに備えられた各ステージは、

第 1、第 2 及び第 3 ノードの論理状態を制御するノード制御部と、

前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートライン、次のステージ及び前のステージに供給する出力部と

を備えることを特徴とする、請求項 7 に記載の表示装置の駆動回路。

【請求項 28】

前記第 2 シフトレジスタに備えられた第 n ステージのノード制御部は、 20

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 1 ノードを第 1 電圧源で充電させる第 1 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 2 ノードを第 2 電圧源で放電させる第 2 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 3 ノードを第 2 電圧源で放電させる第 3 スイッチング素子と、

フレームごとに異なる極性を有する第 3 電圧源に 응답してターンオンまたはターンオフされ、ターンオン時に第 2 ノードを第 3 電圧源で充電させる第 4 スイッチング素子と、

第 3 電圧源に 응답してターンオンまたはターンオフされ、ターンオン時に第 3 ノードを第 2 電圧源で放電させる第 5 スイッチング素子と、 30

第 4 電圧源に 응답してターンオンまたはターンオフされ、ターンオン時に第 3 ノードを前記第 4 電圧源で充電させる第 6 スイッチング素子と、

第 4 電圧源に 응답してターンオンまたはターンオフされ、ターンオン時に第 2 ノードを第 2 電圧源で放電させる第 7 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、第 2 ノードを第 2 電圧源で放電させる第 8 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、第 3 ノードを第 2 電圧源で放電させる第 9 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 1 ノードを第 2 電圧源で放電させる第 10 スイッチング素子と、 40

第 3 ノードに充電された第 4 電圧源に 응답して、第 1 ノードを第 2 電圧源で放電させる第 11 スイッチング素子と、

第 $n + 2$ ステージからのスキャンパルスに 응답して、第 1 ノードを第 2 電圧源で放電させる第 12 スイッチング素子と

を備えることを特徴とする、請求項 27 に記載の表示装置の駆動回路。

【請求項 29】

前記第 2 シフトレジスタに備えられた第 n ステージの出力部は、

第 1 ノードに充電された第 1 電圧源に 응답してスキャンパルスをゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 13 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して第 2 電圧源をゲートライン、第 $n + 1$ ス 50

テージ及び第 $n - 2$ ステージに供給する第 14 スwitchング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して第 2 電圧源をゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 15 スwitchング素子と

を備えて構成されることを特徴とする、請求項 28 に記載の表示装置の駆動回路。

【請求項 30】

前記第 2 シフトレジスタに備えられた第 n ステージのノード制御部は、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 1 ノードを第 1 電圧源で充電させる第 1 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、第 2 ノードを第 2 電圧源で放電させる第 2 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、第 3 ノードを第 2 電圧源で放電させる第 3 スwitchング素子と、

フレームごとに異なる極性を有する第 3 電圧源に 응답してターンオンまたはターンオフされ、ターンオン時に第 3 電圧源を出力する第 4 スwitchング素子と、

前記第 4 スwitchング素子から出力された前記第 3 電圧源に 응답して、第 2 ノードを第 3 電圧源で充電させる第 5 スwitchング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 1 ノードを第 2 電圧源で放電させる第 6 スwitchング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 3 ノードを第 2 電圧源で放電させる第 7 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 8 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 9 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 10 スwitchング素子と、

フレームごとに異なる極性を有し、前記第 3 電圧源に反転された極性を有する第 4 電圧源に 응답して、ターンオンまたはターンオフされ、ターンオン時に前記第 4 電圧源を出力する第 11 スwitchング素子と、

前記第 11 スwitchング素子から出力された第 4 電圧源に 응답して、第 3 ノードを前記第 4 電圧源で充電させる第 12 スwitchング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して、第 1 ノードを第 2 電圧源で放電させる第 13 スwitchング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して、第 2 ノードを第 2 電圧源で放電させる第 14 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、前記第 12 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スwitchング素子をターンオフさせる第 15 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、前記第 12 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スwitchング素子をターンオフさせる第 16 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、前記第 12 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 12 スwitchング素子をターンオフさせる第 17 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 2 ノードを第 2 電圧源で放電させる第 18 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 3 ノード

10

20

30

40

50

を第 2 電圧源で放電させる第 19 スwitchング素子と、

第 $n + 2$ ステージからのスキャンパルスに応答して、第 1 ノードを第 2 電圧源で放電させる第 20 スwitchング素子と

を備えることを特徴とする、請求項 27 に記載の表示装置の駆動回路。

【請求項 31】

前記第 2 シフトレジスタに備えられた第 n ステージの出力部は、

第 1 ノードに充電された第 1 電圧源に응答して、スキャンパルスをゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 21 スwitchング素子と、

第 2 ノードに充電された第 3 電圧源に응答して、第 2 電圧源をゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 22 スwitchング素子と、

第 3 ノードに充電された第 4 電圧源に응答して、第 2 電圧源をゲートライン、第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 23 スwitchング素子と

を備えて構成されることを特徴とする、請求項 30 に記載の表示装置の駆動回路。

【請求項 32】

第 2 シフトレジスタに備えられた各ステージは、

第 1、第 2 及び第 3 ノードの論理状態を制御するノード制御部と、

前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力してゲートラインに供給する第 1 出力部と、

前記第 1、第 2 及び第 3 ノードの論理状態によって前記スキャンパルス及び非駆動用電圧源のうち一つを出力して前のステージ及び次のステージに供給する第 2 出力部と

を備えることを特徴とする、請求項 7 に記載の表示装置の駆動回路。

【請求項 33】

前記第 2 シフトレジスタに備えられた第 n ステージのノード制御部は、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに응答して、第 1 ノードを第 1 電圧源で充電させる第 1 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に응答して、第 2 ノードを第 2 電圧源で放電させる第 2 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に응答して、第 3 ノードを第 2 電圧源で放電させる第 3 スwitchング素子と、

フレームごとに異なる極性を有する第 3 電圧源に응答してターンオンまたはターンオフされ、ターンオン時に前記第 3 電圧源を出力する第 4 スwitchング素子と、

前記第 4 スwitchング素子から出力された前記第 3 電圧源に응答して、第 2 ノードを第 3 電圧源で充電させる第 5 スwitchング素子と、

第 2 ノードに充電された第 3 電圧源に응答して、第 1 ノードを第 2 電圧源で放電させる第 6 スwitchング素子と、

第 2 ノードに充電された第 3 電圧源に응答して、第 3 ノードを第 2 電圧源で放電させる第 7 スwitchング素子と、

第 1 ノードに充電された第 1 電圧源に응答して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 8 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに응答して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 9 スwitchング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに응答して、第 5 スwitchング素子のゲート端子に第 2 電圧源を供給することによって、前記第 5 スwitchング素子をターンオフさせる第 10 スwitchング素子と、

フレームごとに異なる極性を有し、前記第 3 電圧源に反転された極性を有する第 4 電圧源に응答して、ターンオンまたはターンオフされ、ターンオン時に前記第 4 電圧源を出力する第 11 スwitchング素子と、

前記第 11 スwitchング素子から出力された第 4 電圧源に응答して、第 3 ノードを前記

10

20

30

40

50

第 4 電圧源で充電させる第 1 2 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して、第 1 ノードを第 2 電圧源で放電させる第 1 3 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して、第 2 ノードを第 2 電圧源で放電させる第 1 4 スイッチング素子と、

第 1 ノードに充電された第 1 電圧源に 응답して、前記第 1 2 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 1 2 スイッチング素子をターンオフさせる第 1 5 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、前記第 1 2 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 1 2 スイッチング素子をターンオフさせる第 1 6 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、前記第 1 2 スイッチング素子のゲート端子に第 2 電圧源を供給することによって、前記第 1 2 スイッチング素子をターンオフさせる第 1 7 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 2 ノードを第 2 電圧源で放電させる第 1 8 スイッチング素子と、

スタートパルスまたは第 $n - 1$ ステージからのスキャンパルスに 응답して、第 3 ノードを第 2 電圧源で放電させる第 1 9 スイッチング素子と、

第 $n + 2$ ステージからのスキャンパルスに 응답して、第 1 ノードを第 2 電圧源で放電させる第 2 0 スイッチング素子と

を備えることを特徴とする、請求項 3 2 に記載の表示装置の駆動回路。

【請求項 3 4】

前記第 2 シフトレジスタに備えられた第 n ステージの第 1 出力部は、

第 1 ノードに充電された第 1 電圧源に 응답して、スキャンパルスをゲートラインに供給する第 2 1 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 2 電圧源をゲートラインに供給する第 2 2 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して、第 2 電圧源をゲートラインに供給する第 2 3 スイッチング素子と

を備えて構成されることを特徴とする、請求項 3 3 に記載の表示装置の駆動回路。

【請求項 3 5】

前記第 2 シフトレジスタに備えられた第 n ステージの第 2 出力部は、

第 1 ノードに充電された第 1 電圧源に 응답してスキャンパルスを第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 2 4 スイッチング素子と、

第 2 ノードに充電された第 3 電圧源に 응답して、第 2 電圧源を第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 2 5 スイッチング素子と、

第 3 ノードに充電された第 4 電圧源に 응답して、第 2 電圧源を第 $n + 1$ ステージ及び第 $n - 2$ ステージに供給する第 2 6 スイッチング素子と

を備えて構成されることを特徴とする、請求項 3 4 に記載の表示装置の駆動回路。

【請求項 3 6】

表示部に備えられたゲートラインの一側に順に第 1 スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する段階と、

前記ゲートラインの他側に順に第 2 スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する段階と

を備えてなることを特徴とする、表示装置の駆動方法。

【請求項 3 7】

第 $n + 1$ ゲートライン (n は、自然数) を駆動するための第 1 スキャンパルスは、第 n ゲートラインを駆動するための第 1 スキャンパルスがアクティブ状態を維持する期間内に

10

20

30

40

50

、前記第 n ゲートラインに供給されることを特徴とする、請求項 36 に記載の表示装置の駆動方法。

【請求項 38】

第 $n + 1$ ゲートライン (n は、自然数) を駆動するための第 2 スキャンパルスは、第 n ゲートラインを駆動するための第 2 スキャンパルスがアクティブ状態を維持する期間内に、前記第 n ゲートラインに供給されることを特徴とする、請求項 36 に記載の表示装置の駆動方法。

【請求項 39】

前記第 1 及び第 2 シフトレジスタに互いに位相差を有する複数のクロックパルスを供給する段階をさらに備えてなることを特徴とする、請求項 36 に記載の表示装置の駆動方法

10

【請求項 40】

各クロックパルスは順に出力され、先に出力されたクロックパルスがアクティブ状態を維持する期間内に出力されることを特徴とする、請求項 39 に記載の表示装置の駆動方法。

【請求項 41】

各クロックパルス同士が同時にアクティブ状態を有する期間の大きさと、各スキャンパルス同士が同時にアクティブ状態を有する期間の大きさが同一であることを特徴とする、請求項 40 に記載の表示装置の駆動方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、表示装置の駆動回路に係り、特に、各スキャンパルス同士が一定時間の間に互いに重なるように各スキャンパルスのパルス幅を増加させて出力し、これによりスキャンパルスの歪みを防止することができる表示装置の駆動回路及びその駆動方法に関する。

【背景技術】

【0002】

通常、液晶表示装置は、電界を用いて液晶の光透過率を調節することによって画像を表示する。このため、液晶表示装置は、画素領域がマトリクス状に配列された液晶パネルと、この液晶パネルを駆動するための駆動回路とを備える。

30

【0003】

液晶パネルには、複数のゲートラインと複数のデータラインとが交差するように配列され、これらゲートラインとデータラインとが直交することによって定義される領域に画素領域が位置し、また、これら画素領域のそれぞれに電界を印加するための画素電極と共通電極が形成される。

【0004】

これら画素電極のそれぞれは、スイッチング素子である薄膜トランジスタ (TFT; Thin Film Transistor) のソース電極及びドレイン電極を介してデータラインに接続される。この薄膜トランジスタは、ゲートラインを介してゲート電極に印加されるスキャンパルスによってターンオンされ、データラインのデータ信号が画素電極に充電されるようにする。

40

【0005】

一方、駆動回路は、ゲートラインを駆動するためのゲートドライバと、データラインを駆動するためのデータドライバと、これらゲートドライバとデータドライバを制御するための制御信号を供給するタイミングコントローラと、液晶表示装置で用いられる種々の駆動電圧を供給する電源供給部とを備える。

【0006】

ここで、タイミングコントローラは、ゲートドライバ及びデータドライバの駆動タイミングを制御するとともに、データドライバに画素データ信号を供給する。また、電源供給部は、入力電源を昇圧または降圧することによって、液晶表示装置で必要とする共通電圧

50

VCOM、ゲートハイ電圧信号VGH、ゲートロー電圧信号VGLなどの駆動電圧を生成する。

【0007】

そして、ゲートドライバは、スキャンパルスゲートラインに順次供給して、液晶パネル上の液晶セルを1ライン分ずつ順次駆動する。また、データドライバは、ゲートラインのいずれか一つにスキャンパルスが供給される度にデータラインのそれぞれに画素電圧信号を供給する。これにより、液晶表示装置は、液晶セル別に画素電圧信号によって画素電極と共通電極との間に印加される電界によって光透過率を調節することによって画像を表示する。

【0008】

ここで、ゲートドライバは、上述のようなスキャンパルスを順次出力するようにシフトレジスタを備える。これを、添付の図面を参照してより具体的に説明すると、次の通りである。

【0009】

図1は、従来のシフトレジスタを示す図である。

【0010】

従来のシフトレジスタは、図1に示すように、互いに従属的に接続されたn個のステージAST1~ASTn及び一つのダミーステージASTn+1で構成される。ここで、各ステージAST1~ASTn+1は、一つずつのスキャンパルスVout1~Voutn+1を出力する。すなわち、第1ステージAST1からダミーステージASTn+1まで順にスキャンパルスVout1~Voutn+1を出力する。このときに、ダミーステージASTn+1以外のステージAST1~ASTnから出力されたスキャンパルスVout1~Voutnは、液晶パネル((図示せず))のゲートラインに順次供給されてゲートラインを順次スキャンニングするようになる。

【0011】

このように構成されたシフトレジスタの全体ステージAST1~ASTn+1には、第1電圧源VDD及び第2電圧源VSSが印加され、互いに順次位相差を有する第1乃至第4クロックパルスCLK1~CLK4のうち二つのクロックパルスが供給される。ここで、第1電圧源VDDは正極性の電圧源を表し、第2電圧源VSSは接地電圧を表す。

【0012】

ここで、ステージAST1~ASTn+1のうち最も上側に位置している第1ステージAST1には、第1電圧源VDD、第2電圧源VSS、及び二つのクロックパルスに加えてスタートパルスSPが供給される。

【発明の開示】

【発明が解決しようとする課題】

【0013】

しかしながら、このように構成された従来のシフトレジスタには次のような問題点があった。

【0014】

図2は、スキャンパルスの理想的な波形と歪んだスキャンパルスの波形を示す図である。

【0015】

液晶表示装置の面積化に伴ってゲートラインの長さが増加し、これによりゲートラインの抵抗及びキャパシタンス成分も増加することになる。これにより、図2に示すように、抵抗及びキャパシタンス成分によってゲートラインに供給されるスキャンパルス201は歪むことがある。参照番号201は、ゲートラインに抵抗及びキャパシタンス成分がないと仮定したときの理想的なスキャンパルス201を表す。

【0016】

一方、スキャンパルス201が抵抗及びキャパシタンス成分によって歪むと、スキャンパルス201の立上り時間TRが増加してその波形が歪んでしまう。参照番号202は、

10

20

30

40

50

ゲートラインの抵抗及びキャパシタンス成分によって歪んだ形態のスキャンパルスを表す。

【0017】

このように歪んだスキャンパルス202は、理想的なスキャンパルス201に比べて立ち上がり時間TRが長いため、相対的に目標電圧VTに保持される有効充電時間TSが短くなる。

【0018】

このように波形の歪んだスキャンパルス202が薄膜トランジスタのゲート電極に印加されると、該薄膜トランジスタのターンオン時間が短くなるため、ターンオンされた薄膜トランジスタがデータラインからのデータ電圧をスイッチングする時間も短くなってしま

10

【0019】

本発明は上記の問題点を解決するためのもので、その目的は、各スキャンパルス同士が一定時間互いに重なるように各スキャンパルスのパルス幅を増加させて出力し各スキャンパルスが目標電圧に保持される有効充電時間を増加させることによってスキャンパルスの歪みを防止できる表示装置の駆動回路及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0020】

上記目的を達成するために、本発明に係る表示装置は、表示部に備えられたゲートラインの一侧に順に第1スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第1シフトレジスタと、前記ゲートラインの他側に順に第2スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する第2シフトレジスタとを備えて構成されることを特徴とする。

20

【0021】

また、上記の目的を達成するために、本発明に係る表示装置の駆動方法は、表示部に備えられたゲートラインの一侧に順に第1スキャンパルスを供給して前記ゲートラインを順に駆動するとともに、隣接する少なくとも二つのゲートラインを一定期間同時に駆動する

30

【発明の効果】

【0022】

本発明による液晶表示装置のシフトレジスタは、複数のスキャンパルスを順に出力し、このとき、隣接する時間に出力されるスキャンパルス同士のパルス幅が互いに所定区間重なるようにスキャンパルスのパルス幅を増加させて出力するため、各スキャンパルスの有効充電時間を増加させることが可能になる。しかも、上記のように各スキャンパルスの有効充電時間が増加すると、ゲートラインの抵抗及びキャパシタンス成分によってスキャン

40

【発明を実施するための最良の形態】

【0023】

以下、添付の図面を参照して、本発明に係る液晶表示装置の好適な実施の形態について詳細に説明する。

【0024】

図3は、本発明の第1の実施の形態によるシフトレジスタの構成図である。

【0025】

本発明の第1の実施の形態による液晶表示装置のシフトレジスタは、図3に示すように

50

、タイミングコントローラからの各クロックパルス $CLK1 \sim CLK4$ 及びスタートパルス SP に応答して複数のスキャンパルス $Vout1 \sim Voutn$ を順に出力するものの、このとき、隣接するスキャンパルス $Vout1 \sim Voutn$ が一定時間だけ重なり合う区間を有するように各スキャンパルス $Vout1 \sim Voutn$ のパルス幅を増加させて液晶パネル 300 のゲートライン $GL1 \sim GLn$ に出力することを特徴とする。

【0026】

ここで、シフトレジスタは、第1及び第2シフトレジスタ 301a, 301b からなる。すなわち、液晶パネル 300 の左側に配置される第1シフトレジスタ 301a は、各ゲートライン $GL1 \sim GLn$ の一侧にスキャンパルスを供給し、液晶パネル 300 の右側に配置された第2シフトレジスタ 301b は、各ゲートライン $GL1 \sim GLn$ の他側にスキャンパルスを供給する。

10

【0027】

ここで、表示装置のサイズを減少させるには、第1及び第2シフトレジスタ 301a, 301b が液晶パネル 300 に内蔵されることが好ましい。

【0028】

一方、液晶パネル 300 には、一方向に配列される複数のゲートライン $GL1 \sim GLn$ と、このゲートライン $GL1 \sim GLn$ に直交するように配列された複数のデータライン $DL1 \sim DLM$ とが形成されており、データライン $DL1 \sim DLM$ は、データドライバから出力されるデータ電圧によって充電される。

【0029】

また、ゲートライン $GL1 \sim GLn$ 及びデータライン $DL1 \sim DLM$ に囲まれて定義される各画素領域にはそれぞれ、薄膜トランジスタ及び画素電極が形成される。具体的に、薄膜トランジスタは、各ゲートライン $GL1 \sim GLn$ と各データライン $DL1 \sim DLM$ とが交差する付近に形成される。薄膜トランジスタは、各ゲートライン $GL1 \sim GLn$ に充電されたスキャンパルス $Vout1 \sim Voutn$ に応答してデータライン $DL1 \sim DLM$ に充電されたデータ電圧をスイッチングして画素電極に印加することによって、液晶パネル 300 に画像が表示されるようにする。

20

【0030】

第1シフトレジスタ 301a は、図3に示すように、互いに従属的に接続された n 個のステージ $BST1 \sim BSTn$ 、及び第1及び第2ダミーステージ $BSTn+1$ 、 $BSTn+2$ で構成される。ここで、各ステージ $BST1 \sim BSTn+2$ はスキャンパルス $Vout1 \sim Voutn+2$ を一つずつ出力し、このとき、第1ステージ $BST1$ から第2ダミーステージ $BSTn+2$ まで順にスキャンパルス $Vout1 \sim Voutn$ を出力する。ここで、第1及び第2ダミーステージ $BSTn+1$ 、 $BSTn+2$ 以外のステージ $BST1 \sim BSTn$ から出力されたスキャンパルス $Vout1 \sim Voutn$ は、液晶パネル 300 (図示せず) のゲートライン $GL1 \sim GLn$ に順に供給され、ゲートライン $GL1 \sim GLn$ を順にスキャンニングするようされる。

30

【0031】

第2シフトレジスタ 301b も、第1シフトレジスタ 301a と同じ構成を有する。したがって、第1シフトレジスタ 301a に備えられた各ステージ $BST1 \sim BSTn+2$ から出力されるスキャンパルス $Vout1 \sim Voutn+2$ は、第2シフトレジスタ 301b に備えられた各ステージ $BST1 \sim BSTn+2$ から出力されるスキャンパルス $Vout1 \sim Voutn+2$ と互いに同一である。

40

【0032】

例えば、第1シフトレジスタ 301a に備えられた第1ステージ $BST1$ から出力される第1スキャンパルス $Vout1$ は、第2シフトレジスタ 301b に備えられた第1ステージ $BST1$ から出力される第1スキャンパルス $Vout1$ と同じ時間に第1ゲートライン $GL1$ に供給される。

【0033】

これと同様に、第1シフトレジスタ 301a に備えられた各ステージ $BST1 \sim BST$

50

$n + 2$ 、及び第2シフトレジスタ301bに備えられた各ステージBST1 ~ BST $n + 2$ は互いに一対一対応し、互いに同じスキャンパルスVout1 ~ Vout $n + 2$ を出力するようになる。

【0034】

ただし、第1シフトレジスタ301aに備えられた各ステージBST1 ~ BST n は、各ゲートラインGL1 ~ GL n の一侧にスキャンパルスVout1 ~ Vout n を印加し、第2シフトレジスタ301bに備えられた各ステージBST1 ~ BST n は、各ゲートラインGL1 ~ GL n の他側にスキャンパルスVout1 ~ Vout n を印加する。

【0035】

このように構成された第1シフトレジスタ301aの全体ステージBST1 ~ BST $n + 2$ には、第1乃至第4電圧源VDD、VSS、VDD3、VDD4そして互いに順次位相差をもって循環する第1乃至第4クロックパルスCLK1 ~ CLK4のうち一つのクロックパルスが印加される。ここで、第1電圧源VDDは正極性の直流電圧源を表し、第2電圧源VSSは負極性の電圧源を表す。そして、第3電圧源VDD3及び第4電圧源VDD4は、フレーム別に反転された極性を有する交流電圧源である。このとき、第3電圧源VDD3は、第4電圧源VDD4に反転された位相を有する。すなわち、同一フレーム内で第3電圧源VDD3と第4電圧源VDD4が異なる極性を表す。

【0036】

ここで、第1シフトレジスタ301aに備えられたステージCST1 ~ CST n のうち最も上側に位置している第1ステージBST1には、第1乃至第4電圧源VDD、VSS、VDD3、VDD4、及び第1乃至第4クロックパルスCLK1 ~ CLK4のうち二つのクロックパルスのほか、スタートパルスSPが供給される。

【0037】

一方、上述したように、第1乃至第4クロックパルスCLK1 ~ CLK4は互いに位相遅延されて出力される。すなわち、第2クロックパルスCLK2は、第1クロックパルスCLK1よりも位相遅延されて出力され、第3クロックパルスCLK3は、第2クロックパルスCLK2よりも位相遅延されて出力され、第4クロックパルスCLK4は、第3クロックパルスCLK3よりも位相遅延されて出力され、第1クロックパルスCLK1は、第4クロックパルスCLK4よりも位相遅延されて出力される。

【0038】

第1シフトレジスタ301aに備えられたステージCST1 ~ CST $n + 1$ のうち第1ステージBST1に印加されるスタートパルスSPは、クロックパルスCLK1 ~ CLK4よりも先に出力される。また、スタートパルスSPは、1フレームに一回のみ出力される。すなわち、毎フレームごとにスタートパルスSPが最初に出力された後、第1乃至第4クロックパルスCLK1 ~ CLK4が順に出力される。

【0039】

このとき、第1乃至第4クロックパルスCLK1 ~ CLK4は順に出力され、且つ循環しながら出力される。すなわち、第1クロックパルスCLK1から第4クロックパルスCLK4まで順に出力された後、再び第1クロックパルスCLK1から第4クロックパルスCLK4まで順に出力される。したがって、第1クロックパルスCLK1は、第4クロックパルスCLK4と第2クロックパルスCLK2間に該当する期間で出力される。ここで、第4クロックパルスCLK4とスタートパルスSPを互いに同期させ出力することができる。この場合は、第1乃至第4クロックパルスCLK1 ~ CLK4のうち第4クロックパルスCLK4が最初に出力される。

【0040】

一方、本発明による第1シフトレジスタ301aは、二つ以上のクロックパルスを使用することができる。すなわち、本発明による第1シフトレジスタ301aは、第1乃至第4クロックパルスCLK1 ~ CLK4のうち第1及び第2クロックパルスCLK1、CLK2のみを使用しても良く、第1乃至第3クロックパルスCLK1 ~ CLK3のみを使用しても良い。また、本発明によるシフトレジスタは、順に出力される4個以上のクロック

10

20

30

40

50

パルスを使用しても良い。

【 0 0 4 1 】

第 2 シフトレジスタ 3 0 1 b も、上述した第 1 シフトレジスタ 3 0 1 a と同じ構成を有する。

【 0 0 4 2 】

このように構成されたシフトレジスタの動作について詳細に説明すると、次の通りである。

【 0 0 4 3 】

ここでは、第 1 シフトレジスタ 3 0 1 a と第 2 シフトレジスタ 3 0 1 b は同一に動作するので、第 1 シフトレジスタ 3 0 1 a についてのみ説明する。

【 0 0 4 4 】

まず、タイミングコントローラからのスタートパルス S P が第 1 ステージ B S T 1 に入力されると、第 1 ステージ B S T 1 は、スタートパルス S P に応答してイネーブルされる。続いて、イネーブルされた第 1 ステージ B S T 1 は、タイミングコントローラからの第 1 クロックパルス C L K 1 を受けて第 1 スキャンパルス V o u t 1 を出力し、これを第 1 ゲートライン G L 1 と第 2 ステージ B S T 2 に供給する。すると、第 2 ステージ B S T 2 は、第 1 スキャンパルス V o u t 1 に応答してイネーブルされる。

【 0 0 4 5 】

その後、イネーブルされた第 2 ステージ B S T 2 は、タイミングコントローラからの第 2 クロックパルス C L K 2 を受けて第 2 スキャンパルス V o u t 2 を出力し、これを第 2 ゲートライン G L 2 と第 3 ステージ B S T 3 に供給する。すると、前記第 3 ステージ B S T 3 は、第 2 スキャンパルス V o u t 2 に応答してイネーブルされる。

【 0 0 4 6 】

続いて、イネーブルされた第 3 ステージ B S T 3 は、タイミングコントローラからの第 3 クロックパルス C L K 3 を受けて第 3 スキャンパルス V o u t 3 を出力し、これを第 3 ゲートライン G L 3、第 4 ステージ B S T 4、及び第 1 ステージ B S T 1 に共に供給する。すると、第 3 スキャンパルス V o u t 3 に応答して第 4 ステージ B S T 4 はイネーブルされ、第 1 ステージ B S T 1 は、第 3 電圧源 V S S を第 1 ゲートライン G L 1 に供給する。

【 0 0 4 7 】

続いて、イネーブルされた第 4 ステージ B S T 4 は、タイミングコントローラからの第 4 クロックパルス C L K 4 を受けて第 4 スキャンパルス V o u t 4 を出力し、これを第 4 ゲートライン G L 4 と第 5 ステージに供給する。すると、第 5 ステージは、第 4 スキャンパルス V o u t 4 に応答してイネーブルされる。

【 0 0 4 8 】

続いて、イネーブルされた第 5 ステージはタイミングコントローラからの第 1 クロックパルス C L K 1 を受けて第 5 スキャンパルスを出力し、これを第 5 ゲートライン、第 6 ステージ、及び第 3 ステージ B S T 3 に共に供給する。すると、第 5 スキャンパルスに
 応答して第 6 ステージはイネーブルされ、第 3 ステージ B S T 3 は、第 3 電圧源 V S S を第 3
 ゲートライン G L 3 に供給する。

【 0 0 4 9 】

このような方式で、第 6 乃至第 n ステージ B S T n まで順に第 6 乃至第 n スキャンパルス V o u t n を出力し、これらをそれぞれ第 6 乃至第 n ゲートライン G L n に順に供給する。このとき、隣接するスキャンパルス同士は一定時間だけ重なるパルス幅区間を有する。

【 0 0 5 0 】

ここで、第 1 ダミーステージ B S T n + 1 は、第 n - 1 ステージ B S T n - 1 に第 n + 1 スキャンパルス V o u t n + 1 を供給する役割を担い、第 2 ダミーステージ B S T n + 2 3 0 0 h は、第 n ステージ B S T n に第 n + 2 スキャンパルス V o u t n + 2 を供給する役割を担う。すなわち、第 1 及び第 2 ダミーステージ B S T n + 1、B S T n + 2 から

10

20

30

40

50

出力された第 $n + 1$ 及び第 $n + 2$ スキャンパルス $V_{out\ n+1}$ 、 $V_{out\ n+2}$ はゲートラインには供給されなく、単に第 $n - 1$ 及び第 n ステージ $BST\ n - 1$ 、 $BST\ n$ が第 2 電圧源 VSS を出力するようにする役割を担うダミー出力である。

【0051】

このように各ステージは、スキャンパルス $V_{out\ 1} \sim V_{out\ n}$ を出力し、これを対応するゲートライン $GL\ 1 \sim GL\ n$ にそれぞれ順に供給すると同時に、次のステージにスタートパルス SP として提供する。また、各ステージ $BST\ 1 \sim BST\ n$ は、次々のステージから出力されたスキャンパルスに应答して、対応するゲートラインに第 2 電圧源 VSS を供給する。

【0052】

第 2 シフトレジスタ 301b も、上述した第 1 シフトレジスタ 301a と同様に動作する。ただし、第 1 シフトレジスタ 301a に備えられた各ステージ $BST\ 1 \sim BST\ n$ は、各ゲートライン $GL\ 1 \sim GL\ n$ の一側にスキャンパルス $V_{out\ 1} \sim V_{out\ n}$ を印加し、第 2 シフトレジスタ 301b に備えられた各ステージ $BST\ 1 \sim BST\ n$ は、各ゲートライン $GL\ 1 \sim GL\ n$ の他側にスキャンパルス $V_{out\ 1} \sim V_{out\ n}$ を供給する。

【0053】

このように第 1 及び第 2 シフトレジスタ 301a、301b に備えられた各ステージ $BST\ 1 \sim BST\ n + 2$ が次のステージでなく、次々のステージから出力されたスキャンパルスを受け取る理由は、次の通りである。この理由を説明するに先立ち、各スキャンパルス $V_{out\ 1} \sim V_{out\ n+2}$ 及び第 1 乃至第 4 クロックパルス $CLK\ 1 \sim CLK\ 4$ についてより具体的に説明する。ここで、全てのスキャンパルス $V_{out\ 1} \sim V_{out\ n}$ はその波形が同一なので、第 1 乃至第 4 スキャンパルス $V_{out\ 1}$ 乃至 $V_{out\ 4}$ を挙げて説明するものとする。

【0054】

図 4 は、第 1 乃至第 4 クロックパルス、及び第 1 乃至第 4 スキャンパルスのタイミング図である。

【0055】

まず、図 4 に示すように、第 1 乃至第 4 スキャンパルス $V_{out\ 1} \sim V_{out\ 4}$ のパルス幅は、予備充電区間 A 及び有効充電区間 B に分けられ、各スキャンパルス $V_{out\ 1} \sim V_{out\ 4}$ の予備充電区間 A は、以前スキャンパルスの有効充電区間 B と時間的に一部重なる。また、各スキャンパルス $V_{out\ 1} \sim V_{out\ 4}$ の有効充電区間 B は、次のスキャンパルスの予備充電区間 A と時間的に一部重なる。

【0056】

したがって、各スキャンパルス $V_{out\ 1} \sim V_{out\ 4}$ は、以前スキャンパルスの有効充電区間 B で出力し始め自分の有効充電区間 B では目標電圧 V_T に到達するようになる。言い換えれば、各スキャンパルス $V_{out\ 1} \sim V_{out\ 4}$ は、自分の予備充電区間 A で目標電圧 V_T に向けて徐々に増加し、以後自分の有効充電区間 B では完全に目標電圧 V_T に維持される。

【0057】

すなわち、第 1 スキャンパルス $V_{out\ 1}$ は、自分の予備充電区間 A に該当するスタートパルス SP の一区間で出力し始め、自分の有効充電区間 B では目標電圧 V_T に完全に維持される。そして、第 2 スキャンパルス $V_{out\ 2}$ は、自分の予備充電区間 A に該当する第 1 スキャンパルス $V_{out\ 1}$ の有効充電区間で出力し始め、自分の有効充電区間 B では完全に目標電圧 V_T に維持される。

【0058】

そして、第 3 スキャンパルス $V_{out\ 3}$ は、自分の予備充電区間 A に該当する前記第 2 スキャンパルス $V_{out\ 2}$ の有効充電区間 B で出力し始め、自分の有効充電区間 B では完全に目標電圧 V_T に維持される。そして、第 4 スキャンパルス $V_{out\ 4}$ は、自分の予備充電区間 A に該当する第 3 スキャンパルス $V_{out\ 3}$ の有効充電区間 B で出力し始め、自分の有効充電区間 B では完全に目標電圧 V_T に維持される。

10

20

30

40

50

これにより、各スキヤンプルス V o u t 1 ~ V o u t 4 は、従来のスキヤンプルスに比べて予備充電区間 A に該当するパルス幅だけ実質的により長いパルス幅を有し、スキヤンプルス V o u t 1 ~ V o u t 4 を受け取る液晶パネル 3 0 0 の薄膜トランジスタのターンオン時間が増加するという長所がある。

一方、各スキャンパルス V o u t 1 ~ V o u t 4 は、タイミングコントローラから出力される第 1 乃至第 4 クロックパルス C L K 1 ~ C L K 4 に同期して出力されるので、これら第 1 乃至第 4 クロックパルス C L K 1 ~ C L K 4 もスキャンパルス V o u t 1 ~ V o u t 4 と同様に重なった区間を有する。

ここで、第 1 乃至第 4 クロックパルス C L K 4 は、位相差をもって継続して循環するので、第 1 クロックパルス C L K 1 は第 4 クロックパルス C L K 4 と重なる。

このような本発明のスキャンパルス従来のスキャンパルスと比較して説明すると、次の通りである。ここでは、従来の第1及び第2スキャンパルスVout1'、Vout2'、そして本発明の第1及び第2スキャンパルスVout1、Vout2を挙げて説明する。

図 5 は、従来のスキャンパルスと本発明によるスキャンパルスとを比較説明するための図であり、図 6 は、従来のスキャンパルスと本発明のスキャンパルスに対するシミュレーション波形を示す図である。

従来の第 1 及び第 2 スキャンパルス V_{out1}' 、 V_{out2}' は、ゲートラインの抵抗及びキャパシタンス成分によってその波形が歪むと、図 5 に示すように、その立上り時間 T_R が増加し、これにより、第 1 及び第 2 スキャンパルス V_{out1}' 、 V_{out2}' が目標電圧 V_T に維持される有効充電時間 T_S が減少するようになる。

一方、データ電圧 D_{data} は周期的に正極性及び負極性に变化しつつデータラインに印加されるが、このとき、スキャンパルスの有効充電時間 T_{S1} が、データ電圧が正極性に維持される時間 $1H$ 、または負極性に維持される時間 $1H$ よりも短くなるため、データ電圧 D_{data} が画素電極に正常に印加されなくなる。

しかしながら、本発明の第 1 スキャンパルス V_{out1} は、スタートパルス SP の一区間（第 1 スキャンパルス V_{out1} の予備充電区間 A ）に該当する時点で出力し始まって徐々に増加し目標電圧 V_T に到達し、それ以後は自分の有効充電区間 B に該当する時間の間に完全に目標電圧 V_T に維持される。

すなわち、第1スキャンパルスVout1の立上り時間TRは、第1スキャンパルスVout1の有効充電区間Bに該当する時間に含まれるのではなく、第1スキャンパルスVout1の予備充電区間Aに該当する時間に含まれるので、第1スキャンパルスVout1の有効充電区間Bに該当する時間が、立上り時間TRによって減少しない。

また、第 2 スキャンパルス V o u t 2 は、第 1 スキャンパルス V o u t 1 の有効充電区
間 B (第 2 スキャンパルス V o u t 2 の予備充電区間 A) に該当に時点で出力し始め徐々
に増加して目標電圧 V T に到達し、それ以後は自分の有効充電区間 B に該当する時間の間
に完全に目標電圧 V T に維持される。

すなわち、第2スキャンパルスVout2の立上り時間TRは、第2スキャンパルスVout2の有効充電区間Bに該当する時間に含まれるのではなく、第2スキャンパルスV

o u t 2 の予備充電区間 A に該当する時間に含まれるので、第 1 スキャンパルス V o u t 1 の有効充電区間 B に該当する時間が立上り時間 T R によって減少しない。

【 0 0 7 0 】

したがって、図 6 の (a) 及び (b) に示すように、本発明での第 1 及び第 2 スキャンパルス V o u t 1、V o u t 2 は、従来の第 1 及び第 2 スキャンパルス V o u t 1'、V o u t 2' よりも長い有効充電時間 T S を有する。このとき、本発明の第 1 及び第 2 スキャンパルス V o u t 1、V o u t 2 の有効充電時間 T S は、データ電圧 D a t a が正極性及び負極性に維持される時間 1 H よりも長いいため、データ電圧 D a t a は画素電極に正常に伝達される。

【 0 0 7 1 】

一方、互いに隣接する時間帯に出力されるスキャンパルス V o u t 1 ~ V o u t n は、互いに重なるパルス幅区間を有するため、従来におけるように各ステージ B S T 1 ~ B S T n + 2 に次のステージから出力されたスキャンパルスが入力されると、次のような問題につながる。

【 0 0 7 2 】

すなわち、例えば、互いに隣接する時間帯に出力される第 1 スキャンパルス V o u t 1 と第 2 スキャンパルス V o u t 2 は互いに重なるパルス幅区間を有するので、従来におけるように、第 2 ステージ B S T 2 から出力された前記第 2 スキャンパルス V o u t 2 が、第 1 スキャンパルス V o u t 1 を出力する第 1 ステージ B S T 1 に入力されると、第 1 ステージ B S T 1 は、自分の有効充電区間 B に該当する時点で第 2 電圧源 V S S を第 1 ゲートライン G L 1 に供給するようになる。

【 0 0 7 3 】

言い換えれば、第 1 ステージ B S T 1 は、第 1 スキャンパルス V o u t 1 を前記第 1 ゲートライン G L 1 に完全に印加する前に第 2 スキャンパルス V o u t 2 が出力される時点（具体的に、第 2 スキャンパルス V o u t 2 の予備充電区間 A に該当する時点）で第 2 電圧源 V S S を第 1 ゲートライン G L 1 に供給するようになる。

【 0 0 7 4 】

これにより、第 1 ステージ B S T 1 は、不完全なスキャンパルスを出力することがある。すると、各ゲートラインには従来と同じパルス幅を有するスキャンパルスが供給され、よって、各スキャンパルスは歪んでしまう。この理由から、本発明による各ステージ B S T 1 ~ B S T n + 2 は、次のステージではなく、次々のステージからのスキャンパルスが入力される。すなわち、各ステージ B S T 1 ~ B S T n + 2 には、自分から出力されたスキャンパルスと重なる区間を持たないスキャンパルスが入力される。

【 0 0 7 5 】

ここで、各ステージ B S T 1 ~ B S T n + 2、第 1 及び第 2 ダミーステージ B S T n + 1、B S T n + 2 に備えられた回路を詳細に説明すると、次の通りである。一方、第 1 及び第 2 シフトレジスタ 3 0 1 a、3 0 1 b に備えられた各ステージ B S T 1 ~ B S T n + 2 の回路構成はいずれも同一なので、第 1 シフトレジスタ 3 0 1 a に備えられた第 3 ステージ B S T 3 を例に挙げて説明する。

【 0 0 7 6 】

図 7 は、図 3 の第 1 シフトレジスタに備えられた第 3 ステージの回路構成図である。

【 0 0 7 7 】

第 3 ステージ B S T 3 は、図 7 に示すように、大きく、第 1、第 2 及び第 3 ノード Q、Q B 1、Q B 2 の充電及び放電を制御するノード制御部 7 0 0 a と、第 1、第 2、第 3 ノード Q、Q B 1、Q B 2 の充電 / 放電状態によってターンオンされてスキャンパルスまたは第 2 電圧源 V S S を選択的に出力する出力部 7 0 0 b と、で構成される。ここで、第 1、第 2 及び第 3 ノード Q、Q B 1、Q B 2 は選択的に充電及び放電されるが、具体的に、第 1 ノード Q が充電状態にあると第 2 ノード Q B 1 及び第 3 ノード Q B 2 とともに放電状態を維持し、第 1 ノード Q が放電状態にあると第 2 ノード Q B 1 及び第 3 ノード Q B 2 のうちいずれか一つが充電状態を維持する。

10

20

30

40

50

【 0 0 7 8 】

すなわち、奇数番目のフレームでは、第 1 ノード Q が放電状態のとき、第 2 ノード Q B 1 が充電され、第 3 ノード Q B 2 が放電され、そして、偶数番目のフレームでは、第 1 ノード Q が放電状態の時、第 2 ノード Q B 1 が放電され、前記第 3 ノード Q B 2 が充電される。このように第 1 ノード Q が放電状態のとき、第 2 ノード Q B 1 及び第 3 ノード Q B 2 にフレーム別に異なる極性の電圧源 V D D 3、V D D 4 を印加（充電及び放電）する理由は、第 2 ノード Q B 1 及び第 3 ノード Q B 2 にゲート端子が接続されたスイッチング素子の劣化を防止するためである。

【 0 0 7 9 】

第 3 ステージ B S T 3 のノード制御部 7 0 0 a は、第 1 乃至第 1 2 N M O S トランジスタ T r 1 ~ T r 1 2 で構成される。 10

【 0 0 8 0 】

第 1 N M O S トランジスタ T r 1 は、前のステージからのスキャンパルスにตอบสนองして、第 1 ノード Q を第 1 電圧源 V D D で充電させる。すなわち、第 1 N M O S トランジスタ T r 1 は、第 2 ステージ B S T 2 からの第 2 スキャンパルス V o u t 2 にตอบสนองして、第 1 ノード Q を第 1 電圧源 V D D で充電させる。このため、第 1 N M O S トランジスタ T r 1 のゲート端子は第 2 ステージ B S T 2 に接続され、ソース端子は第 1 電圧源 V D D を伝送する電源ラインに接続され、ドレイン端子は第 1 ノード Q に接続される。

【 0 0 8 1 】

第 2 N M O S トランジスタ T r 2 は、前のステージからのスキャンパルスにตอบสนองして、第 2 ノード Q B 1 を第 2 電圧源 V S S で放電させる。すなわち、第 2 N M O S トランジスタ T r 2 は、第 2 ステージ B S T 2 からの第 2 スキャンパルス V o u t 2 にตอบสนองして第 2 ノード Q B 1 を第 2 電圧源 V S S で放電させる。このため、第 2 N M O S トランジスタ T r 2 のゲート端子は第 2 ステージ B S T 2 に接続され、ソース端子は第 2 ノード Q B 1 に接続され、ドレイン端子は第 2 電圧源 V S S を伝送する電源ラインに接続される。 20

【 0 0 8 2 】

第 3 N M O S トランジスタ T r 3 は、前のステージからのスキャンパルスにตอบสนองして、第 3 ノード Q B 2 を第 2 電圧源 V S S で放電させる。すなわち、第 3 N M O S トランジスタ T r 3 は、第 2 ステージ B S T 2 からの第 2 スキャンパルス V o u t 2 にตอบสนองして、第 3 ノード Q B 2 を第 2 電圧源 V S S で放電させる。このため、第 3 N M O S トランジスタ T r 3 のゲート端子は第 2 ステージ B S T 2 に接続され、ソース端子は第 3 ノード Q B 2 に接続され、ドレイン端子は第 2 電圧源 V S S を伝送する電源ラインに接続される。 30

【 0 0 8 3 】

第 4 N M O S トランジスタ T r 4 は、第 3 電圧源 V D D 3 にตอบสนองしてターンオンまたはターンオフされ、ターンオン時に第 2 ノード Q B 1 を第 3 電圧源 V D D 3 で充電させる。このため、第 4 N M O S トランジスタ T r 4 のゲート端子は第 3 電圧源 V D D 3 を伝送する電源ラインに接続され、ソース端子は第 3 電圧源 V D D 3 を伝送する電源ラインに接続され、ドレイン端子は第 2 ノード Q B 1 に接続される。ここで、第 3 電圧源 V D D 3 は、毎フレームごとに正極性及び負極性を交互に有する交流電圧である。すなわち、第 3 電圧源 V D D 3 は、奇数フレームには正極性を有し、偶数フレームには負極性を有する。 40

【 0 0 8 4 】

第 5 N M O S トランジスタ T r 5 は、第 3 電圧源 V D D 3 にตอบสนองして、第 3 ノード Q B 2 を第 2 電圧源 V S S で放電させる。このため、第 5 N M O S トランジスタ T r 5 のゲート端子は、第 3 電圧源 V D D 3 を伝送する電源ラインに接続され、ソース端子は第 3 ノード Q B 2 に接続され、ドレイン端子は、第 2 電圧源 V S S を伝送する電源ラインに接続される。

【 0 0 8 5 】

第 6 N M O S トランジスタ T r 6 は、第 4 電圧源 V D D 4 にตอบสนองしてターンオンまたはターンオフされ、ターンオン時に第 3 ノード Q B 2 を第 4 電圧源 V D D 4 で充電させる。このため、第 6 N M O S トランジスタ T r 6 のゲート端子は第 4 電圧源 V D D 4 を伝送す 50

る電源ラインに接続され、ソース端子は第4電圧源VDD4を伝送する電源ラインに接続され、ドレイン端子は第3ノードQB2に接続される。ここで、第4電圧源VDD4は、毎フレームごとに正極性及び負極性を交互に有する交流電圧である。このとき、第4電圧源VDD4は、第3電圧源VDD3と反転された位相を有する。すなわち、第3電圧源VDD3は、奇数フレームには負極性を有し、偶数フレームには正極性を有する。

【0086】

第7NMOSトランジスタTr7は、第4電圧源VDD4に応答して、第2ノードQB1を第2電圧源VSSで放電させる。このため、第7NMOSトランジスタTr7のゲート端子は、第4電圧源VDD4を伝送する電源ラインに接続され、ソース端子は第2ノードQB1に接続され、ドレイン端子は第2電圧源VSSを伝送する電源ラインに接続される。

10

【0087】

第8NMOSトランジスタTr8は、第1ノードQに充電された第1電圧源VDDに응答して、第2ノードQB1を第2電圧源VSSで放電させる。このため、第8NMOSトランジスタTr8のゲート端子は第1ノードQに接続され、ソース端子は第2ノードQB1に接続され、ドレイン端子は第2電圧源VSSを伝送する電源ラインに接続される。

【0088】

第9NMOSトランジスタTr9は、第1ノードQに充電された第1電圧源VDDに응答して、第3ノードQB2を第2電圧源VSSで放電させる。このため、第9NMOSトランジスタTr9のゲート端子は第1ノードQに接続され、ソース端子は第3ノードQB2に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

20

【0089】

第10NMOSトランジスタTr10は、第2ノードQB1に充電された第3電圧源VDD3に응答して、第1ノードQを第2電圧源VSSで放電させる。このため、第10NMOSトランジスタTr10のゲート端子は第2ノードQB1に接続され、ソース端子は第1ノードQに接続され、ドレイン端子は第2電圧源VSSを伝送する電源ラインに接続される。

【0090】

第11NMOSトランジスタTr11は、第3ノードQB2に充電された第4電圧源VDD4に응答して、第1ノードQを第2電圧源VSSで放電させる。このため、第11NMOSトランジスタTr11のゲート端子は第3ノードQB2に接続され、ソース端子は第1ノードQに接続され、ドレイン端子は第2電圧源VSSを伝送する電源ラインに接続される。

30

【0091】

第12NMOSトランジスタTr12は、次々のステージからのスキャンパルスに응答して、第1ノードQを第2電圧源VSSで放電させる。すなわち、第12NMOSトランジスタTr12は、第5ステージからの第5スキャンパルスVout5に응答して、第1ノードQを第2電圧源VSSで放電させる。このため、第12NMOSトランジスタTr12のゲート端子は、第5ステージの出力部に接続され、ソース端子は第1ノードQに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

40

【0092】

そして、第3ステージBST3の出力部700bは、第13乃至第15NMOSトランジスタTr13~Tr15で構成される。

【0093】

第13NMOSトランジスタTr13は、第1ノードQに充電された第1電圧源VDDに응答して、クロックパルスをスキャンパルスとしてゲートラインに出力する。また、このスキャンパルスを前々のステージと次のステージに供給する。このため、第13NMOSトランジスタTr13のゲート端子は、第1ノードQに接続され、ソース端子は、第3クロックパルスCLK3を伝送するクロックラインに接続され、ドレイン端子は、第3ゲートライン、第1ステージBST1に備えられた第12NMOSのゲート端子、及び第4

50

ステージ B S T 4 に備えられた第 1 乃至第 3 N M O S トランジスタ T r 1 ~ T r 3 のゲート端子に接続される。

【 0 0 9 4 】

第 1 4 N M O S トランジスタ T r 1 4 は、第 2 ノード Q B 1 に充電された第 3 電圧源 V D D 3 に応答して、第 2 電圧源 V S S をゲートラインに供給する。すなわち、第 1 4 N M O S トランジスタ T r 1 4 は、第 2 ノード Q B 1 に充電された第 3 電圧源 V D D 3 に応答して、第 2 電圧源 V S S を第 3 ゲートラインに供給する。このため、第 1 4 N M O S トランジスタ T r 1 4 のゲート端子は、第 2 ノード Q B 1 に接続され、ドレイン端子は、第 2 電圧源 V S S を伝送する電源ラインに接続され、ソース端子は、第 3 ゲートライン、第 1 ステージ B S T 1 に備えられた第 1 2 N M O S トランジスタ T r 1 2 のゲート端子、及び第 4 ステージ B S T 4 に備えられた第 1 乃至第 3 N M O S トランジスタ T r 1 ~ T r 3 のゲート端子に接続される。

10

【 0 0 9 5 】

第 1 5 N M O S トランジスタ T r 1 5 は、第 3 ノード Q B 2 に充電された第 4 電圧源 V D D 4 に応答して、第 2 電圧源 V S S をゲートラインに供給する。すなわち、第 1 5 N M O S トランジスタ T r 1 5 は、第 3 ノード Q B 2 に充電された第 4 電圧源 V D D 4 に応答して、第 2 電圧源 V S S を第 3 ゲートラインに供給する。このため、第 1 5 N M O S トランジスタ T r 1 5 のゲート端子は、第 2 ノード Q B 1 に接続され、ドレイン端子は、第 2 電圧源 V S S を伝送する電源ラインに接続され、ソース端子は、第 3 ゲートライン、第 1 ステージ B S T 1 に備えられた第 1 2 N M O S のゲート端子、及び第 4 ステージ B S T 4 に備えられた第 1 乃至第 3 N M O S トランジスタ T r 1 ~ T r 3 のゲート端子に接続される。

20

【 0 0 9 6 】

第 1 及び第 2 ステージ B S T 1、B S T 2、第 4 乃至第 n ステージ B S T 4 ~ B S T n、そして第 1 及び第 2 ダミーステージ B S T n + 1、B S T n + 2 も、上述した第 3 ステージ B S T 3 と同じ構成を有する。

【 0 0 9 7 】

ただし、第 1 ステージ B S T 1 の前にはステージが存在しないため、第 1 ステージ B S T 1 に備えられた第 1 乃至第 3 N M O S トランジスタ T r 1 ~ T r 3 は、タイミングコントローラからのスタートパルス S P を受け取る。すなわち、第 1 ステージ B S T 1 の第 1 N M O S トランジスタ T r 1 は、タイミングコントローラからのスタートパルス S P に応答して、第 1 ステージ B S T 1 の第 1 ノード Q を第 1 電圧源 V D D で充電させる。

30

【 0 0 9 8 】

そして、第 2 N M O S トランジスタ T r 2 は、タイミングコントローラからのスタートパルス S P に応答して、第 1 ステージ B S T 1 の第 2 ノード Q B 1 を第 2 電圧源 V S S で放電させる。そして、第 3 N M O S トランジスタ T r 3 は、タイミングコントローラからのスタートパルス S P に応答して、第 1 ステージ B S T 1 の第 3 ノード Q B 2 を第 2 電圧源 V S S で放電させる。

【 0 0 9 9 】

そして、第 1 及び第 2 ステージ B S T 1、B S T 2 の前々にはステージが存在しない。したがって、第 1 ステージ B S T 1 は、第 1 スキャンパルス V o u t 1 を出力し、これを第 1 ゲートライン及び第 2 ステージ B S T 2 に供給する。これと同様に、第 2 ステージ B S T 2 は、第 2 スキャンパルス V o u t 2 を出力し、これを第 2 ゲートライン及び第 3 ステージ B S T 3 に供給する。

40

【 0 1 0 0 】

そして、第 2 ダミーステージ B S T n + 2 の次のステージにはステージが存在しない。したがって、第 2 ダミーステージ B S T n + 2 の第 1 3 N M O S トランジスタ T r 1 3 のソース端子、第 1 4 N M O S トランジスタ T r 1 4 のドレイン端子、及び第 1 5 N M O S トランジスタ T r 1 5 のドレイン端子は、第 n ステージ B S T n の第 1 2 N M O S トランジスタ T r 1 2 のゲート端子に接続される。

50

【 0 1 0 1 】

第 2 シフトレジスタ 3 0 1 b に備えられた各ステージ B S T 1 ~ B S T n + 2 も、第 1 シフトレジスタ 3 0 1 a に備えられた各ステージ B S T 1 ~ B S T n + 2 と同じ回路構成を有する。

【 0 1 0 2 】

このように構成された本発明の実施の形態によるシフトレジスタの動作を説明すると次の通りである。ここで、第 1 シフトレジスタ 3 0 1 a の動作と第 2 シフトレジスタ 3 0 1 b の動作は互いに同一なので、第 1 シフトレジスタ 3 0 1 a の動作についてのみ説明する。

【 0 1 0 3 】

図 8 は、図 7 の回路構成を有する第 1 シフトレジスタの第 1 乃至第 3 ステージを示す図である。

【 0 1 0 4 】

ここで、第 1 フレームの間に第 3 電圧源 V D D 3 が正極性の電圧に維持され、第 4 電圧源 V D D 4 が負極性の電圧に維持されると仮定し、第 2 フレームの間に第 3 電圧源 V D D 3 が負極性の電圧に維持され、第 4 電圧源 V D D 4 が正極性の電圧に維持されると仮定する。すなわち、奇数番目のフレームの間に、第 3 電圧源 V D D 3 が正極性に維持され、第 4 電圧源 V D D 4 が負極性に維持されると仮定し、偶数番目のフレームの間に、第 3 電圧源 V D D 3 が負極性に維持され、第 4 電圧源 V D D 4 が正極性に維持されると仮定する。

【 0 1 0 5 】

まず、スタートパルス S P は、第 1 N M O S トランジスタ T r 1 のゲート端子、第 2 N M O S トランジスタ T r 2 のゲート端子、及び第 3 N M O S トランジスタ T r 3 のゲート端子に印加され、第 1、第 2 及び第 3 N M O S トランジスタ T r 1、T r 2、T r 3 をターンオンさせる。

【 0 1 0 6 】

こうなると、ターンオンされた第 1 N M O S トランジスタ T r 1 を介して第 1 電圧源 V D D が第 1 ノード Q に供給される。このとき、第 1 ノード Q が第 1 電圧源 V D D で充電されることによって、第 1 ノード Q にゲート端子が接続された第 8、第 9 及び第 1 3 N M O S トランジスタ T r 8、T r 9、T r 1 3 が同時にターンオンされる。ここで、ターンオンされた第 8 N M O S トランジスタ T r 8 及び第 2 N M O S トランジスタ T r 2 を介して第 2 電圧源 V S S が第 2 ノード Q B 1 に供給される。したがって、第 2 ノード Q B 1 は放電状態に維持され、この第 2 ノード Q B 1 にゲート端子が接続された第 1 0 及び第 1 4 N M O S トランジスタ T r 1 0、T r 1 4 がターンオフされる。

【 0 1 0 7 】

そして、ターンオンされた第 3 及び第 9 N M O S トランジスタ T r 3、T r 9 を介して第 2 電圧源 V S S が第 3 ノード Q B 2 に供給される。このとき、第 3 ノード Q B 2 が第 2 電圧源 V S S で放電されることによって、第 3 ノード Q B 2 にゲート端子が接続された第 1 1 及び第 1 5 N M O S トランジスタ T r 1 1、T r 1 5 はターンオフされる。

【 0 1 0 8 】

また、第 4 N M O S トランジスタ T r 4 は、自分のゲート端子に第 3 電圧源 V D D 3 が印加されることによってターンオンされる。第 3 電圧源 V D D 3 は、第 1 フレームの間に常に正極性状態を維持するので、第 4 N M O S トランジスタ T r 4 は第 1 フレームの間に常にターンオン状態を維持する。

【 0 1 0 9 】

ここで、ターンオンされた第 4 N M O S トランジスタ T r 4 を介して第 3 電圧源 V D D 3 が第 2 ノード Q B 1 に供給される。その結果、第 2 ノード Q B 1 には上述した第 2 電圧源 V S S と第 3 電圧源 V D D 3 が同時に供給される。ところが、第 2 電圧源 V S S を供給するトランジスタの数が、第 3 電圧源 V D D 3 を供給するトランジスタの数よりも多いため、第 2 ノード Q B 1 は第 2 電圧源 V S S に維持される。これによって、第 2 ノード Q B 1 は放電状態を維持する。したがって、第 2 ノード Q B 1 にゲート端子が接続された第 1

10

20

30

40

50

0 及び第 14 NMOS トランジスタ T_{r10} 、 T_{r14} はターンオフされる。

【0110】

また、第 3 電圧源 V_{DD3} は、第 5 NMOS トランジスタ T_{r5} のゲート端子にも供給される。したがって、第 5 NMOS トランジスタ T_{r5} も第 1 フレームの間に常にターンオン状態を維持する。このターンオンされた第 5 NMOS トランジスタ T_{r5} を介して第 2 電圧源 V_{SS} が第 3 ノード Q_{B2} に供給される。その結果、第 3 ノード Q_{B2} は、第 3、第 5 及び第 9 NMOS トランジスタ T_{r3} 、 T_{r5} 、 T_{r9} によって放電状態を維持するようになる。したがって、第 3 ノード Q_{B2} にゲート端が接続された第 11 及び第 15 NMOS トランジスタ T_{r11} 、 T_{r15} はターンオフされる。

【0111】

また、第 6 NMOS トランジスタ T_{r6} は、自分のゲート端子に印加された第 4 電圧源 V_{DD4} によってターンオフされる。ここで、第 4 電圧源 V_{DD4} は第 1 フレームの間に負極性に維持されるので、第 6 NMOS トランジスタ T_{r6} は第 1 フレームの間に常にターンオフ状態を維持する。

【0112】

また、第 4 電圧源 V_{DD4} は、第 7 NMOS トランジスタ T_{r7} のゲート端子にも印加されるので、第 1 フレームの間に第 7 NMOS トランジスタ T_{r7} は常にターンオフ状態を維持する。

【0113】

このようにスタートパルス SP によって第 1 ステージ $BST1$ の第 1 ノード Q が第 1 電圧源 V_{DD} で充電され、第 2 及び第 3 ノード Q_{B1} 、 Q_{B2} が第 2 電圧源 V_{SS} で放電されることによって、第 1 ステージ $BST1$ がイネーブルされる。

【0114】

この状態で、第 1 ステージ $BST1$ の第 13 NMOS トランジスタ T_{r13} に第 1 クロックパルス $CLK1$ が供給されると、第 13 NMOS トランジスタ T_{r13} は第 1 クロックパルス $CLK1$ を第 1 スキャンパルス V_{out1} として出力する。このとき、第 1 クロックパルス $CLK1$ とスタートパルス SP は重なって出力されるので、第 1 スキャンパルス V_{out1} は、スタートパルス SP に重なって出力される。

【0115】

この第 1 スキャンパルス V_{out1} は、第 1 ゲートライン及び第 2 ステージ $BST2$ に供給される。すなわち、第 1 ステージ $BST1$ からの第 1 スキャンパルス V_{out1} は、第 2 ステージ $BST2$ の第 1、第 2 及び第 3 NMOS トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} に供給される。これにより、第 2 ステージ $BST2$ の第 1 ノード Q が充電され、第 2 及び第 3 ノード Q_{B1} 、 Q_{B2} が放電される。

【0116】

すなわち、第 2 ステージ $BST2$ は、第 1 スキャンパルス V_{out1} によってイネーブルされる。言い換えれば、第 1 ステージ $BST1$ がスタートパルス SP によってイネーブルされるのと同様に、第 2 ステージ $BST2$ は第 1 スキャンパルス V_{out1} によってイネーブルされる。この状態で、第 2 ステージ $BST2$ の第 13 NMOS トランジスタ T_{r13} に第 2 クロックパルス $CLK2$ が供給されると、第 13 NMOS トランジスタ T_{r13} は、第 2 クロックパルス $CLK2$ を第 2 スキャンパルス V_{out2} として出力する。このとき、第 2 クロックパルス $CLK2$ は第 1 クロックパルス $CLK1$ と重なるので、第 2 スキャンパルス V_{out2} は第 1 スキャンパルス V_{out1} と重なって出力される。

【0117】

この第 2 スキャンパルス V_{out2} は、第 2 ゲートライン及び第 3 ステージ $BST3$ に供給される。すなわち、第 2 ステージ $BST2$ からの第 2 スキャンパルス V_{out2} は、第 3 ステージ $BST3$ の第 1、第 2 及び第 3 NMOS トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} に供給される。これにより、第 3 ステージ $BST3$ の第 1 ノード Q が充電され、第 2 及び第 3 ノード Q_{B1} 、 Q_{B2} が放電される。

【0118】

10

20

30

40

50

すなわち、第3ステージBST3は第2スキャンパルスVout2によってイネーブルされる。言い換えれば、第1ステージBST1がスタートパルスSPによってイネーブルされるのと同様に、第3ステージBST3は第2スキャンパルスVout2によってイネーブルされる。

【0119】

この状態で、第3ステージBST3の第13NMOSトランジスタTr13に第3クロックパルスCLK3が供給されると、第13NMOSトランジスタTr13は、第3クロックパルスCLK3を第3スキャンパルスVout3として出力する。このとき、第3クロックパルスCLK3は第2クロックパルスCLK2と重なるので、第3スキャンパルスVout3は第2スキャンパルスVout2と重なって出力される。

10

【0120】

この第3スキャンパルスVout3は、第3ゲートライン及び第4ステージBST4に供給される。すなわち、第3ステージBST3からの第3スキャンパルスVout3は第4ステージBST4の第1、第2及び第3NMOSトランジスタTr1、Tr2、Tr3に供給される。

【0121】

これにより、第4ステージBST4の第1ノードQが充電され、第2及び第3ノードQB1、QB2が放電される。すなわち、第4ステージBST4は第3スキャンパルスVout3によってイネーブルされる。言い換えれば、第1ステージBST1がスタートパルスSPによってイネーブルされるのと同様に、第4ステージBST4は第3スキャンパルスVout3によってイネーブルされる。

20

【0122】

この状態で、第4ステージBST4の第13NMOSトランジスタTr13に第4クロックパルスCLK4が供給されると、第13NMOSトランジスタTr13は第4クロックパルスCLK4を第4スキャンパルスVout4として出力する。このとき、第4クロックパルスCLK4は第3クロックパルスCLK3と重なるので、第4スキャンパルスVout4は第3スキャンパルスVout3と重なって出力される。

【0123】

一方、第3ステージBST3から出力された第3スキャンパルスVout3は、第1ステージBST1の第12NMOSトランジスタTr12にも供給される。すなわち、第3スキャンパルスVout3は、第1ステージBST1に備えられた第12NMOSトランジスタTr12のゲート端子に供給される。これにより、第1ステージBST1がディセーブルされる。

30

【0124】

具体的に、第3スキャンパルスVout3は、第1ステージBST1に備えられた第12NMOSトランジスタTr12をターンオンさせる。すると、第2電圧源VSSが、ターンオンされた第12NMOSトランジスタTr12を介して第1ステージBST1の第1ノードQに供給される。これにより、第1ステージBST1の第1ノードQが放電される。したがって、第1ステージBST1の第1ノードQに接続された第8、第9及び第13NMOSトランジスタTr8、Tr9、Tr13がターンオフされる。また、このとき、スタートパルスSPがローに変化することによってこのロー状態のスタートパルスSPが供給される第1ステージBST1の第1、第2及び第3NMOSトランジスタTr1、Tr2、Tr3がターンオフされる。

40

【0125】

ここで、第1ステージBST1の第2及び第8NMOSトランジスタTr2、Tr8がターンオフ状態にあるので、第1ステージBST1の第2ノードQB1は、第4NMOSトランジスタTr4から供給される第1電圧源VDDで充電される。したがって、第1ステージBST1の第2ノードQB1にゲート端子が接続された第10及び第14NMOSトランジスタTr10、Tr14ともターンオンされる。このとき、ターンオンされた第14NMOSトランジスタTr14を介して第2電圧源VSSが第1ゲートラインに供給

50

される。

【0126】

一方、ターンオンされた第10NMOSトランジスタTr10を介して第2電圧源VSSが第1ノードQに供給される。その結果、第1ステージBST1の第1ノードQは、第10及び第12NMOSトランジスタTr10、Tr12によって放電される。

【0127】

このように第3ステージBST3からの第3スキャンパルスVout3によって第1ステージBST1の第1ノードQ及び第3ノードQB2は放電され、第2ノードQB1が充電される。すなわち、第1ステージBST1は、第3ステージBST3からの第3スキャンパルスVout3に 응답してディセーブルされる。このディセーブルされた第1ステージBST1は、自分に備えられた第14NMOSトランジスタTr14を介して第2電圧源VSSを出力する。そして、この第2電圧源VSSを第1ゲートラインに供給する。

10

【0128】

このような方式で、各ステージBST1～BSTn+2は、前のステージから出力されたスキャンパルスによってイネーブルされる。そして、各ステージBST1～BSTn+2は次々のステージから出力されたスキャンパルスによってディセーブルされる。

【0129】

一方、第2フレームには、第3電圧源VDD3が負極性に維持され、第4電圧源VDD4が正極性に維持される。これにより、各ステージBST1～BSTn+2がディセーブルされる時、各ステージBST1～BSTn+2の第2ノードQB1が放電され、第3ノードQB2が充電される。

20

【0130】

したがって、各ステージBST1～BSTn+2がディセーブルされる時、第3ノードQB2にゲート端子が接続された第15NMOSトランジスタTr15を介して第2電圧源VSSが出力される。このようにフレーム別に第2及び第3ノードQB1、QB2が交互に充電/放電されることによって、出力部700bに備えられた第14及び第15NMOSトランジスタTr14、Tr15の劣化が防止される。

【0131】

第2シフトレジスタ301bに備えられた各ステージBST1～BSTn+2も、第1シフトレジスタ301aに備えられた各ステージBST1～BSTn+2と同様に動作する。ただし、第1シフトレジスタ301aに備えられた各ステージBST1～BSTnは、各ゲートラインGL1～GLnの一侧にスキャンパルスVout1～Voutnを印加し、第2シフトレジスタ301bに備えられた各ステージBST1～BSTnは、各ゲートラインGL1～GLnの他側にスキャンパルスVout1～Voutnを供給する。

30

【0132】

一方、第1及び第2シフトレジスタ301a、301bの各ステージBST1～BSTn+2は、次のような回路構成を有しても良い。

【0133】

図9は、図3の第1シフトレジスタに備えられた第3ステージの他の回路構成図である。

40

【0134】

第3ステージCST3のノード制御部900aは、第1乃至第20NMOSトランジスタTr1～Tr20で構成される。

【0135】

第1NMOSトランジスタTr1は、前のステージからのスキャンパルスに 응답して、第1ノードQを第1電圧源VDDで充電させる。すなわち、第1NMOSトランジスタTr1は、第2ステージBST2からの第2スキャンパルスVout2に 응답して、第1ノードQを第1電圧源VDDで充電させる。このため、第1NMOSトランジスタTr1のゲート端子は、第2ステージBST2に接続され、ソース端子は、第1電圧源VDDを伝送する電源ラインに接続され、ドレイン端子は、第1ノードQに接続される。

50

【0136】

第2 NMOSトランジスタTr 2は、第1 ノードQに充電された第1 電圧源VDDに
応答して、第2 ノードQB 1を第2 電圧源VSSで放電させる。このため、第2 NMOSト
ランジスタTr 2のゲート端子は、第1 ノードQに接続され、ソース端子は、第2 ノード
QB 1に接続され、ドレイン端子は、第2 電圧源VSSを伝送する電源ラインに接続され
る。

【0137】

第3 NMOSトランジスタTr 3は、第1 ノードQに充電された第1 電圧源VDDに
応答して、第3 ノードQB 2を第2 電圧源VSSで放電させる。このため、第3 NMOSト
ランジスタTr 3のゲート端子は、第1 ノードQに接続され、ソース端子は前記第3 ノード
QB 2に接続され、ドレイン端子は、第2 電圧源VSSを伝送する電源ラインに接続され
る。

10

【0138】

第4 NMOSトランジスタTr 4は、フレームごとに異なる極性を有する第3 電圧源V
DD 3に
応答してターンオンまたはターンオフされ、ターンオン時に第3 電圧源VDD 3
を出力する。このため、第4 NMOSトランジスタTr 4のゲート端子は、第3 電圧源V
DD 3を伝送する電源ラインに接続され、ソース端子は、第3 電圧源VDD 3を伝送する
電源ラインに接続される。

【0139】

第5 NMOSトランジスタTr 5は、第4 NMOSトランジスタTr 4から出力された
第3 電圧源VDD 3に
応答して第2 ノードQB 1を第3 電圧源VDD 3で充電させる。このため、第5 NMOSト
ランジスタTr 5のゲート端子は、第4 NMOSトランジスタTr 4のドレイン端子に接続され、ソース端子は、第3 電圧源VDD 3を伝送する電源ライ
ンに接続され、ドレイン端子は第2 ノードQB 1に接続される。

20

【0140】

第6 NMOSトランジスタTr 6は、第2 ノードQB 1に充電された第3 電圧源VDD
3に
応答して、第1 ノードQを第2 電圧源VSSで放電させる。このため、第6 NMOS
トランジスタTr 6のゲート端子は第2 ノードQB 1に接続され、ソース端子は第1 ノード
Qに接続され、ドレイン端子は第2 電圧源VSSを伝送する電源ラインに接続される。

【0141】

第7 NMOSトランジスタTr 7は、第2 ノードQB 1に充電された第3 電圧源VDD
3に
応答して、第3 ノードQB 2を第2 電圧源VSSで放電させる。このため、第7 NM
OSTランジスタTr 7のゲート端子は、第2 ノードQB 1に接続され、ソース端子は第
3 ノードQB 2に接続され、ドレイン端子は、第2 電圧源VSSを伝送する電源ラインに
接続される。

30

【0142】

第8 NMOSトランジスタTr 8は、第1 ノードQに充電された第1 電圧源VDDに
応答して、第5 NMOSトランジスタTr 5のゲート端子に第2 電圧源VSSを供給するこ
とによって、第5 NMOSトランジスタTr 5をターンオフさせる。このため、第8 NM
OSTランジスタTr 8のゲート端子は、第1 ノードQに接続され、ソース端子は、第5
NMOSTランジスタTr 5のゲート端子に接続され、ドレイン端子は、第2 電圧源VSS
を伝送する電源ラインに接続される。

40

【0143】

第9 NMOSトランジスタTr 9は、前のステージからのスキャンパルスに
応答して、第5 NMOSトランジスタTr 5のゲート端子に第2 電圧源VSSを供給することによ
って、第5 NMOSトランジスタTr 5をターンオフさせる。すなわち、第9 NMOSTラ
ンジスタTr 9は、第2 ステージBST 2からの第2 スキャンパルスVout 2に
応答して、第5 NMOSTランジスタTr 5のゲート端子に第2 電圧源VSSを供給することによ
って第5 NMOSTランジスタTr 5をターンオフさせる。このため、第9 NMOST
ランジスタTr 9のゲート端子は、第2 ステージBST 2に接続され、ソース端子は、第

50

5 NMOSトランジスタTr 5のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0144】

第10 NMOSトランジスタTr 10は、前のステージからのスキャンパルスにตอบสนองして、第5 NMOSトランジスタTr 5のゲート端子に第2電圧源VSSを供給することによって、第5 NMOSトランジスタTr 5をターンオフさせる。すなわち、第10 NMOSトランジスタTr 10は、第2ステージBST 2からの第2スキャンパルスVout 2にตอบสนองして、第5 NMOSトランジスタTr 5のゲート端子に第2電圧源VSSを供給することによって、第5 NMOSトランジスタTr 5をターンオフさせる。このため、第10 NMOSトランジスタTr 10のゲート端子は、第2ステージBST 2に接続され、ソース端子は、第5 NMOSトランジスタTr 5のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

10

【0145】

第11 NMOSトランジスタTr 11は、フレームごとに異なる極性を有する第4電圧源VDD 4にตอบสนองしてターンオンまたはターンオフされ、ターンオン時に第4電圧源VDD 4を出力する。このため、第11 NMOSトランジスタTr 11のゲート端子は、第4電圧源VDD 4を伝送する電源ラインに接続され、ソース端子は、第4電圧源VDD 4を伝送する電源ラインに接続される。ここで、第4電圧源VDD 4は、毎フレームごとに第3電圧源VDD 3に反転された極性を有する。

【0146】

第12 NMOSトランジスタTr 12は、第11 NMOSトランジスタTr 11から出力された第4電圧源VDD 4にตอบสนองして、第3ノードQB 2を第4電圧源VDD 4で充電させる。このため、第12 NMOSトランジスタTr 12のゲート端子は、第11 NMOSトランジスタTr 11のドレイン端子に接続され、ソース端子は、第4電圧源VDD 4を伝送する電源ラインに接続され、ドレイン端子は第3ノードQB 2に接続される。

20

【0147】

第13 NMOSトランジスタTr 13は、第3ノードQB 2に充電された第4電圧源VDD 4にตอบสนองして、第1ノードQを第2電圧源VSSで放電させる。このため、第13 NMOSトランジスタTr 13のゲート端子は、第3ノードQB 2に接続され、ソース端子は第1ノードQに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

30

【0148】

第14 NMOSトランジスタTr 14は、第3ノードQB 2に充電された第4電圧源VDD 4にตอบสนองして、第2ノードQB 1を第2電圧源VSSで放電させる。このため、第14 NMOSトランジスタTr 14のゲート端子は、第3ノードQB 2に接続され、ソース端子は第2ノードQB 1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0149】

第15 NMOSトランジスタTr 15は、第1ノードQに充電された第1電圧源VDDにตอบสนองして、第12 NMOSトランジスタTr 12のゲート端子に第2電圧源VSSを供給することによって、第12 NMOSトランジスタTr 12をターンオフさせる。このため、第15 NMOSトランジスタTr 15のゲート端子は、第1ノードQに接続され、ソース端子は、第12 NMOSトランジスタTr 12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

40

【0150】

第16 NMOSトランジスタTr 16は、前のステージからのスキャンパルスにตอบสนองして、第12 NMOSトランジスタTr 12のゲート端子に第2電圧源VSSを供給することによって、第12 NMOSトランジスタTr 12をターンオフさせる。すなわち、第16 NMOSトランジスタTr 16は、第2ステージBST 2からの第2スキャンパルスVout 2にตอบสนองして、第12 NMOSトランジスタTr 12をターンオフさせる。このた

50

め、第16 NMOSトランジスタTr 16のゲート端子は、第2ステージBST 2に接続され、ソース端子は、第12 NMOSトランジスタTr 12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0151】

第17 NMOSトランジスタTr 17は、前のステージからのスキャンパルスにตอบสนองして、第12 NMOSトランジスタTr 12のゲート端子に第2電圧源VSSを供給することによって、第12 NMOSトランジスタTr 12をターンオフさせる。すなわち、第17 NMOSトランジスタTr 17は、第2ステージBST 2からの第2スキャンパルスVout 2にตอบสนองして、第12 NMOSトランジスタTr 12をターンオフさせる。このため、第17 NMOSトランジスタTr 17のゲート端子は、第2ステージBST 2に接続され、ソース端子は、第12 NMOSトランジスタTr 12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

10

【0152】

第18 NMOSトランジスタTr 18は、前のステージからのスキャンパルスにตอบสนองして、第2ノードQB 1を第2電圧源VSSで放電させる。すなわち、第18 NMOSトランジスタTr 18は、第2ステージBST 2からの第2スキャンパルスVout 2にตอบสนองして、第2ノードQB 1を第2電圧源VSSで放電させる。このため、第18 NMOSトランジスタTr 18のゲート端子は、第2ステージBST 2に接続され、ソース端子は第2ノードQB 1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

20

【0153】

第19 NMOSトランジスタTr 19は、前のステージからのスキャンパルスにตอบสนองして、第3ノードQB 2を第2電圧源VSSで放電させる。すなわち、第19 NMOSトランジスタTr 19は、第2ステージBST 2からの第2スキャンパルスVout 2にตอบสนองして、第3ノードQB 2を第2電圧源VSSで放電させる。このため、第19 NMOSトランジスタTr 19のゲート端子は第2ステージBST 2に接続され、ソース端子は第3ノードQB 2に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0154】

第20 NMOSトランジスタTr 20は、次々のステージからのスキャンパルスにตอบสนองして、第1ノードQを第2電圧源VSSで放電させる。すなわち、第20 NMOSトランジスタTr 20のゲート端子は、第5ステージからの第5スキャンパルスVout 5にตอบสนองして、第1ノードQを第2電圧源VSSで放電させる。このため、第20 NMOSトランジスタTr 20のゲート端子は第5ステージに接続され、ソース端子は第1ノードQに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

30

【0155】

そして、第3ステージBST 3の出力部900bは、第21乃至23 NMOSトランジスタTr 21~Tr 23で構成される。

【0156】

第21 NMOSトランジスタTr 21は、第1ノードQに充電された第1電圧源VDDにตอบสนองして、第3クロックパルスCLK 3をスキャンパルスとしてゲートラインに出力する。そして、この第3スキャンパルスVout 3を前々のステージと次のステージの両方に供給する。このため、第21 NMOSトランジスタTr 21のゲート端子は、第1ノードQに接続され、ソース端子は、第3クロックパルスCLK 3を伝送するクロックラインに接続され、ドレイン端子は、第3ゲートライン、第1ステージBST 1に備えられた第20 NMOSトランジスタTr 20のゲート端子、及び第4ステージBST 4に備えられた第1、第9、第10、第16、第17、第18、及び第19 NMOSトランジスタTr 1、Tr 9、Tr 10、Tr 16、Tr 17、Tr 18、Tr 19のゲート端子に接続される。

40

【0157】

50

10

20

20

30

30

40

40

50

50

12をターンオフさせる。

【0165】

また、第1ステージBST1の第18NMOSトランジスタTr18は、タイミングコントローラからのスタートパルスSPに 응답して、第2ノードQB1を第2電圧源VSSで放電させる。

【0166】

また、第1ステージBST1の第19NMOSトランジスタTr19は、タイミングコントローラからのスタートパルスSPに 응답して、第3ノードQB2を第2電圧源VSSで放電させる。

【0167】

そして、第1及び第2ステージBST1、BST2の前々にはステージが存在しない。したがって、第1ステージBST1は第1スキャンパルスVout1を出力し、これを第1ゲートライン及び第2ステージBST2に供給する。これと同様に、第2ステージBST2は、第2スキャンパルスVout2を出力し、これを第2ゲートライン及び第3ステージBST3に供給する。

【0168】

そして、第2ダミーステージBSTn+2の次はステージが存在しない。したがって、第2ダミーステージBSTn+2の第21NMOSトランジスタTr21のソース端子、第22NMOSトランジスタTr22のドレイン端子、及び第23NMOSトランジスタTr23のドレイン端子は、第nステージBSTnの第20NMOSトランジスタTr20のゲート端子に接続される。

【0169】

第2シフトレジスタ301bに備えられた各ステージBST1～BSTn+2も、第1シフトレジスタ301aに備えられた各ステージBST1～BSTn+2と同じ回路構成を有する。

【0170】

このように構成された本発明の第1の実施の形態によるシフトレジスタの動作について説明すると、次の通りである。

【0171】

図10A及び図10Bは、図9の回路構成を有する第1シフトレジスタの第1乃至第3ステージを示す図である。

【0172】

ここで、第1フレームの間に第3電圧源VDD3が正極性の電圧に維持され、第4電圧源VDD4が負極性の電圧に維持されると仮定し、第2フレームの間に第3電圧源VDD3が負極性の電圧に維持され、第4電圧源VDD4が正極性の電圧に維持されると仮定する。すなわち、奇数番目のフレームの間に、第3電圧源VDD3が正極性に維持され、第4電圧源VDD4が負極性に維持されると仮定し、偶数番目のフレームの間に、第3電圧源VDD3が負極性に維持され、第4電圧源VDD4が正極性に維持されると仮定する。

【0173】

まず、スタートパルスSPが第1NMOSトランジスタTr1のゲート端子、第9NMOSトランジスタTr9のゲート端子、第10NMOSトランジスタTr10のゲート端子、第16NMOSトランジスタTr16のゲート端子、第17NMOSトランジスタTr17のゲート端子、第18NMOSトランジスタTr18のゲート端子、及び第19NMOSトランジスタTr19のゲート端子に印加されて、第1、第9、第10、第16、第17、第18、及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19をターンオンさせる。

【0174】

ここで、ターンオンされた第1NMOSトランジスタTr1を介して第1電圧源VDDが第1ノードQに供給される。このとき、第1ノードQが第1電圧源VDDで充電されることによって、第1ノードQにゲート端子が接続された第2、第3、第8、第15、及び

10

20

30

40

50

第21NMOSトランジスタTr2、Tr3、Tr8、Tr15、Tr21がターンオンされる。

【0175】

そして、ターンオンされた第2及び第8NMOSトランジスタTr2、Tr8を介して第2電圧源VSSが第2ノードQB1に供給される。これにより、第2ノードQB1が放電され、第2ノードQB1にゲート端子が接続された第6、第7、及び第22NMOSトランジスタTr6、Tr7、Tr22がターンオフされる。

【0176】

また、ターンオンされた第3及び第19NMOSトランジスタTr3、Tr19を介して第2電圧源VSSが第3ノードQB2に供給される。これにより、第3ノードQB2が放電され、第3ノードQB2にゲート端子が接続された第13、第14及び第23NMOSトランジスタTr13、Tr14、Tr23がターンオフされる。

【0177】

そして、ターンオンされた第8、第9及び第10NMOSトランジスタTr8、Tr9、Tr10を介して第2電圧源VSSが第5NMOSトランジスタTr5のゲート端子に供給される。また、正極性の第3電圧源VDD3によって1フレームの間に常にターンオン状態を維持する第4NMOSトランジスタTr4を介して、第3電圧源VDD3が第5NMOSトランジスタTr5のゲート端子に供給される。したがって、第5NMOSトランジスタTr5のゲート端子には第2電圧源VSSと第3電圧源VDD3が供給される。このとき、第5NMOSトランジスタTr5のゲート端子に第2電圧源VSSを供給するトランジスタの数が、第5NMOSトランジスタTr5のゲート端子に第3電圧源VDD3を供給するトランジスタの数よりも多いので、第5NMOSトランジスタTr5のゲート端子には第2電圧源VSSが維持される。したがって、第5NMOSトランジスタTr5はターンオフされる。

【0178】

そして、ターンオンされた第15、第16及び第17NMOSトランジスタTr15、Tr16、Tr17を介して第2電圧源VSSが第12NMOSトランジスタTr12のゲート端子に供給される。したがって、第12NMOSトランジスタTr12はターンオフされる。一方、第11NMOSトランジスタTr11は負極性の第4電圧源VDD4によって1フレームの間に常にターンオフ状態を維持する。

【0179】

このように第1ステージBST1の第1ノードQが第1電圧源VDDで充電され、第2及び第3ノードQB1、QB2が第2電圧源VSSで放電されることによって、第1ステージBST1がイネーブルされる。

【0180】

この状態で、第1ステージBST1の第21NMOSトランジスタTr21に第1クロックパルスCLK1が供給されると、第21NMOSトランジスタTr21は、第1クロックパルスCLK1を第1スキャンパルスVout1として出力する。このとき、第1クロックパルスCLK1とスタートパルスSPは重なって出力されるので、第1スキャンパルスVout1はスタートパルスSPと重なって出力される。

【0181】

この第1スキャンパルスVout1は、第1ゲートライン及び第2ステージBST2に供給される。すなわち、第1ステージBST1からの第1スキャンパルスVout1は、第2ステージBST2の第1、第9、第10、第16、第17、第18及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19に供給される。これにより、第2ステージBST2の第1ノードQが充電され、第2及び第3ノードQB1、QB2が放電される。すなわち、第2ステージBST2は第1スキャンパルスVout1によってイネーブルされる。言い換えれば、第1ステージBST1がスタートパルスSPによってイネーブルされるのと同様に、第2ステージBST2は第1スキャンパルスVout1によってイネーブルされる。この状態で、第2ステージBST2

の第21NMOSTランジスタTr 21に第2クロックパルスCLK 2が供給されると、第21NMOSTランジスタTr 21は、第2クロックパルスCLK 2を第2スキャンパルスVout 2として出力する。このとき、第2クロックパルスCLK 2は第1クロックパルスCLK 1と重なるので、第2スキャンパルスVout 2は第1スキャンパルスVout 1と重なって出力される。

【0182】

この第2スキャンパルスVout 2は、第2ゲートライン及び第3ステージBST 3に供給される。すなわち、第2ステージBST 2からの第2スキャンパルスVout 2は、第3ステージBST 3の第1、第9、第10、第16、第17、第18及び第19NMOSTランジスタTr 1、Tr 9、Tr 10、Tr 16、Tr 17、Tr 18、Tr 19に供給される。これにより、第3ステージBST 3の第1ノードQが充電され、第2及び第3ノードQB 1、QB 2が放電される。すなわち、第3ステージBST 3は第2スキャンパルスVout 2によってイネーブルされる。言い換えれば、第1ステージBST 1がスタートパルスSPによってイネーブルされるのと同様に、第3ステージBST 3は第2スキャンパルスVout 2によってイネーブルされる。

10

【0183】

この状態で、第3ステージBST 3の第21NMOSTランジスタTr 21に第3クロックパルスCLK 3が供給されると、第21NMOSTランジスタTr 21は、第3クロックパルスCLK 3を第3スキャンパルスVout 3として出力する。このとき、第3クロックパルスCLK 3は第2クロックパルスCLK 2と重なるので、第3スキャンパルスVout 3は第2スキャンパルスVout 2と重なって出力される。

20

【0184】

この第3スキャンパルスVout 3は、第3ゲートライン及び第4ステージBST 4に供給される。すなわち、第3ステージBST 3からの第3スキャンパルスVout 3は第4ステージBST 4の第1、第9、第10、第16、第17、第18及び第19NMOSTランジスタTr 1、Tr 9、Tr 10、Tr 16、Tr 17、Tr 18、Tr 19に供給される。これにより、第4ステージBST 4の第1ノードQが充電され、第2及び第3ノードQB 1、QB 2が放電される。すなわち、第4ステージBST 4は第3スキャンパルスVout 3によってイネーブルされる。言い換えれば、第1ステージBST 1がスタートパルスSPによってイネーブルされるのと同様に、第4ステージBST 4は第3スキャンパルスVout 3によってイネーブルされる。

30

【0185】

この状態で、第4ステージBST 4の第21NMOSTランジスタTr 21に第4クロックパルスCLK 4が供給されると、第21NMOSTランジスタTr 21は、第4クロックパルスCLK 4を第4スキャンパルスVout 4として出力する。このとき、第4クロックパルスCLK 4は第3クロックパルスCLK 3と重なるので、第4スキャンパルスVout 4は第3スキャンパルスVout 3と重なって出力される。

【0186】

一方、第3ステージBST 3から出力された第3スキャンパルスVout 3は、第1ステージBST 1の第20NMOSTランジスタTr 20にも供給される。すなわち、第3スキャンパルスVout 3は、第1ステージBST 1に備えられた第20NMOSTランジスタTr 20のゲート端子に供給される。これにより、第1ステージBST 1がディセーブルされる。

40

【0187】

具体的に、第3スキャンパルスVout 3は、第1ステージBST 1に備えられた第20NMOSTランジスタTr 20をターンオンさせる。すると、第2電圧源VSSが、ターンオンされた第20NMOSTランジスタTr 20を介して第1ステージBST 1の第1ノードQに供給される。これにより、第1ステージBST 1の第1ノードQが放電される。したがって、第1ステージBST 1の第1ノードQに接続された第2、第3、第8、第15及び第21NMOSTランジスタTr 2、Tr 3、Tr 8、Tr 15、Tr 21が

50

ターンオフされる。また、このとき、スタートパルス $S P$ がローに変化することによって、ロー状態のスタートパルス $S P$ の供給される第 1 ステージ $B S T 1$ の第 1、第 9、第 10、第 16、第 17、第 18 及び第 19 $N M O S$ トランジスタ $T r 1$ 、 $T r 9$ 、 $T r 10$ 、 $T r 16$ 、 $T r 17$ 、 $T r 18$ 、 $T r 19$ がターンオフされる。

【0188】

ここで、第 1 ステージ $B S T 1$ の第 9 及び第 10 $N M O S$ トランジスタ $T r 9$ 、 $T r 10$ はターンオフされることによって、第 1 ステージ $B S T 1$ の第 5 $N M O S$ トランジスタ $T r 5$ のゲート端子にはそれ以上第 2 電圧源 $V S S$ が供給されなくなる。その代わりに、第 1 ステージ $B S T 1$ の第 5 $N M O S$ トランジスタ $T r 5$ のゲート端子には、第 4 $N M O S$ トランジスタ $T r 4$ を介して第 3 電圧源 $V D D 3$ が供給される。その結果、第 5 $N M O S$ トランジスタ $T r 5$ は、第 3 電圧源 $V D D 3$ によってターンオンされる。このターンオンされた第 5 $N M O S$ トランジスタ $T r 5$ を介して第 3 電圧源 $V D D 3$ が第 1 ステージ $B S T 1$ の第 2 ノード $Q B 1$ に供給される。これにより、第 1 ステージ $B S T 1$ の第 2 ノード $Q B 1$ が充電され、第 1 ステージ $B S T 1$ の第 2 ノード $Q B 1$ にゲート端子が接続された第 6、第 7 及び第 22 $N M O S$ トランジスタ $T r 6$ 、 $T r 7$ 、 $T r 22$ がターンオンされる。

10

【0189】

一方、ターンオンされた第 6 $N M O S$ トランジスタ $T r 6$ を介して第 2 電圧源 $V S S$ が第 1 ステージ $B S T 1$ の第 1 ノード Q に供給される。これにより、第 1 ステージ $B S T 1$ の第 1 ノード Q の放電速度がより速くなる。そして、ターンオンされた第 7 $N M O S$ トランジスタ $T r 7$ を介して第 2 電圧源 $V S S$ が第 1 ステージ $B S T 1$ の第 3 ノード $Q B 2$ に供給される。これにより、第 3 ノード $Q B 2$ が放電され、第 3 ノード $Q B 2$ にゲート端子が接続された第 13、第 14 及び第 23 $N M O S$ トランジスタ $T r 13$ 、 $T r 14$ 、 $T r 23$ がターンオフされる。

20

【0190】

このように第 3 ステージ $B S T 3$ からの第 3 スキャンパルス $V o u t 3$ によって第 1 ステージ $B S T 1$ の第 1 ノード Q 及び第 3 ノード $Q B 2$ は放電され、第 2 ノード $Q B 1$ が充電される。すなわち、第 1 ステージ $B S T 1$ は、第 3 ステージ $B S T 3$ からの第 3 スキャンパルス $V o u t 3$ に応答して、ディセーブルされる。このディセーブルされた第 1 ステージ $B S T 1$ は、自分に備えられた第 22 $N M O S$ トランジスタ $T r 22$ を介して第 2 電圧源 $V S S$ を出力する。そして、この第 2 電圧源 $V S S$ を第 1 ゲートラインに供給する。

30

【0191】

このような方式で、各ステージ $B S T 1 \sim B S T n + 2$ は、前のステージから出力されたスキャンパルスによってイネーブルされる。そして、各ステージ $B S T 1 \sim B S T n + 2$ は、次々のステージからのスキャンパルスによってディセーブルされる。

【0192】

一方、第 2 フレームには、第 3 電圧源 $V D D 3$ が負極性に維持され、第 4 電圧源 $V D D 4$ が正極性に維持される。これにより、各ステージ $B S T 1 \sim B S T n + 2$ がディセーブルされる時、各ステージ $B S T 1 \sim B S T n + 2$ の第 2 ノード $Q B 1$ が放電され、第 3 ノード $Q B 2$ が充電される。したがって、各ステージ $B S T 1 \sim B S T n + 2$ がディセーブルされる時、第 3 ノード $Q B 2$ にゲート端子が接続された第 23 $N M O S$ トランジスタ $T r 23$ を介して第 2 電圧源 $V S S$ が出力される。このようにフレーム別に第 2 及び第 3 ノード $Q B 1$ 、 $Q B 2$ が交互に充電 / 放電されることで、出力部 900b に備えられた第 22 及び第 23 $N M O S$ トランジスタ $T r 22$ 、 $T r 23$ の劣化が防止される。

40

【0193】

第 2 シフトレジスタ 301b に備えられた各ステージ $B S T 1 \sim B S T n + 2$ も、前記第 1 シフトレジスタ 301a に備えられた各ステージ $B S T 1 \sim B S T n + 2$ と同様に動作する。ただし、第 1 シフトレジスタ 301a に備えられた各ステージ $B S T 1 \sim B S T n + 2$ は、各ゲートライン $G L 1 \sim G L n$ の一側にスキャンパルス $V o u t 1 \sim V o u t n$ を印加し、第 2 シフトレジスタ 301b に備えられた各ステージ $B S T 1 \sim B S T n +$

50

2 は、各ゲートライン $GL1 \sim GLn$ の他側にスキャンパルス $Vout1 \sim Voutn$ を供給する。

【0194】

以下、本発明の第2の実施の形態によるシフトレジスタについて詳細に説明する。

【0195】

図11は、本発明の第2の実施の形態によるシフトレジスタを示す図である。

本発明の第2の実施の形態によるシフトレジスタは、図11に示すように、第1シフトレジスタ110aと第2シフトレジスタ110bとで構成される。

【0196】

ここで、第1シフトレジスタ110aは互いに従属的に接続された n 個のステージ $CST1 \sim CSTn$ 、そして第1及び第2ダミーステージ $CSTn+1$ 、 $CSTn+2$ で構成される。ここで、各ステージ $CST1 \sim CSTn+2$ は、スキャンパルス $Vout1 \sim Voutn+2$ を二つずつ出力する。すなわち、各ステージ $CST1 \sim CSTn+2$ は二つのスキャンパルスを1対として同時に出力し、また、各ステージ $CST1 \sim CSTn+2$ は1対のスキャンパルスを順に出力する。このとき、第1及び第2ダミーステージ $CSTn+1$ 、 $CSTn+2$ 以外のステージ $CST1 \sim CSTn$ から出力されたスキャンパルス $Vout1 \sim Voutn$ は、液晶パネル300のゲートライン $GL1 \sim GLn$ に順に供給されて、ゲートライン $GL1 \sim GLn$ を順にスキヤニングするようになる。

【0197】

すなわち、まず、第1ステージ $CST1$ が二つの第1スキャンパルス $Vout1$ を同時に出力し、続いて第2ステージ $CST2$ が二つの第2スキャンパルス $Vout2$ を同時に出力し、続いて第3ステージ $CST3$ が二つの第3スキャンパルス $Vout3$ を同時に出力する。このような方式で、最後には第 n ステージ $CSTn$ が二つの第 n スキャンパルス $Voutn$ を同時に出力する。

【0198】

一方、第 n ステージ $CSTn$ が二つの第 n スキャンパルス $Voutn$ を同時に出力した後、第1ダミーステージ $CSTn+1$ が第 $n+1$ スキャンパルス $Voutn+1$ を出力するが、このとき、第1ダミーステージ $CSTn+1$ から出力された第 $n+1$ スキャンパルス $Voutn+1$ はゲートラインには供給されず、第 $n-1$ ステージ $CSTn-1$ にのみ供給される。

【0199】

そして、第1ダミーステージ $CSTn+1$ が二つの第 $n+1$ スキャンパルス $Voutn+1$ を同時に出力した後、第2ダミーステージ $CSTn+2$ が第 $n+2$ スキャンパルス $Voutn+2$ を出力するが、このとき、第2ダミーステージ $CSTn+2$ から出力された第 $n+2$ スキャンパルス $Voutn+1$ はゲートラインには供給されず、第 n ステージ $CSTn$ にのみ供給される。

【0200】

また、第1シフトレジスタ110aに備えられた各ステージ $CST1 \sim CSTn+2$ から出力されるスキャンパルス $Vout1 \sim Voutn+2$ は互いに所定区間重なって出力される。ここで、一つのステージは二つの出力端子（以下、‘第1及び第2出力端子’という。）を有し、第1及び第2出力端子を介して同時に二つのスキャンパルスを出力する。

【0201】

言い換えれば、一つのステージは第1出力端子を介してスキャンパルスを出力すると同時に、第2出力端子を介してスキャンパルスを出力する。したがって、各ステージ $CST1 \sim CSTn+2$ からは二つのスキャンパルスが同時に出力される。このとき、各ステージ $CST1 \sim CSTn+2$ の各第1出力端子を介して出力されるスキャンパルスは、互いに所定幅重なる。もちろん、各ステージ $CST1 \sim CSTn+2$ の各第2出力端子を介して出力されるスキャンパルスも、互いに所定幅重なる。例えば、第1ステージ $CST1$ から出力された二つの第1スキャンパルス $Vout1$ は、第2ステージ $CST2$ から出力さ

10

20

30

40

50

れた二つの第 2 スキャンパルス V_{out2} と互いに所定幅重なる。

【0202】

ここで、第 1 シフトレジスタ 110a に備えられた各ステージ $CST1 \sim CST_{n+2}$ は、二つのスキャンパルスのうち一つを自分に該当するゲートラインに供給し、残りの一つを次のステージと前々のステージに供給する。例えば、第 3 ステージ $CST3$ は、二つの第 3 スキャンパルス V_{out3} を出力し、一つの第 3 スキャンパルス V_{out3} を第 3 ゲートラインに供給し、残り一つの第 3 スキャンパルス V_{out3} を第 4 ステージ $CST4$ と第 1 ステージ $CST1$ に供給する。一方、第 2 ダミーステージ CST_{n+2} は、二つのスキャンパルスを出力しても良く、一つのスキャンパルスを出力しても良い。

【0203】

一方、このように構成された第 1 シフトレジスタ 110a の全体ステージ $CST1 \sim CST_{n+2}$ には、第 1 乃至第 4 電圧源 VDD 、 VSS 、 $VDD3$ 、 $VDD4$ 、そして互いに順次的な位相差をもって循環する第 1 乃至第 4 クロックパルス $CLK1 \sim CLK4$ のうち一つのクロックパルスが印加される。ここで、第 1 電圧源 VDD は正極性の直流電圧源を表し、第 2 電圧源 VSS は負極性の電圧源を表す。そして、第 3 電圧源 $VDD3$ 及び第 4 電圧源 $VDD4$ は、フレーム別に反転された極性を有する交流電圧源である。ここで、第 3 電圧源 $VDD3$ は、第 4 電圧源 $VDD4$ に反転された位相を有する。すなわち、同一フレーム内において第 3 電圧源 $VDD3$ と第 4 電圧源 $VDD4$ が相異なる極性を示す。

【0204】

一方、上述したように、第 1 乃至第 4 クロックパルス $CLK1 \sim CLK4$ は互いに 1 パルス幅ずつ位相遅延されて出力される。すなわち、第 2 クロックパルス $CLK2$ は、第 1 クロックパルス $CLK1$ よりも 1 パルス幅だけ位相遅延されて出力され、第 3 クロックパルス $CLK3$ は、第 2 クロックパルス $CLK2$ よりも 1 パルス幅だけ位相遅延されて出力され、第 4 クロックパルス $CLK4$ は、第 3 クロックパルス $CLK3$ よりも 1 パルス幅だけ位相遅延されて出力され、第 1 クロックパルス $CLK1$ は、第 4 クロックパルス $CLK4$ よりも 1 パルス幅だけ位相遅延されて出力される。

【0205】

このとき、第 1 乃至第 4 クロックパルス $CLK1 \sim CLK4$ は順に出力され、また、循環しつつ出力される。すなわち、第 1 クロックパルス $CLK1$ から第 4 クロックパルス $CLK4$ まで順に出力された後、再び第 1 クロックパルス $CLK1$ から第 4 クロックパルス $CLK4$ まで順に出力される。したがって、第 1 クロックパルス $CLK1$ は、第 4 クロックパルス $CLK4$ 及び第 2 クロックパルス $CLK2$ 間に該当する期間で出力される。ここで、第 4 クロックパルス $CLK4$ とスタートパルス SP を互いに同期させて出力しても良い。このときには、第 1 乃至第 4 クロックパルス $CLK1 \sim CLK4$ のうち第 4 クロックパルス $CLK4$ が最初に出る。

【0206】

一方、本発明による第 1 シフトレジスタ 110a は、二つ以上のクロックパルスを使用することができる。すなわち、本発明によるシフトレジスタは、第 1 乃至第 4 クロックパルス $CLK1 \sim CLK4$ のうち第 1 及び第 2 クロックパルス $CLK1$ 、 $CLK2$ のみを使用しても良く、第 1 乃至第 3 クロックパルス $CLK1 \sim CLK3$ のみを使用しても良い。また、本発明によるシフトレジスタは、順に出力される 4 個以上のクロックパルスを使用しても良い。

【0207】

第 2 シフトレジスタ 110b も、上述した第 1 シフトレジスタ 110a と同じ構成を有する。

【0208】

次に、本発明の第 2 の実施の形態によるシフトレジスタに備えられたステージの構成についてより具体的に説明する。

【0209】

図 12 は、図 11 の第 1 シフトレジスタに備えられた第 3 ステージを示す図である。

10

20

30

40

50

【0210】

第3ステージBST3は、図12に示すように、大きく、第1、第2及び第3ノードQ、QB1、QB2の充電及び放電を制御するノード制御部120aと、第1、第2及び第3ノードQ、QB1、QB2の充電/放電状態によってそれぞれターンオンされて、スキャンパルスまたは第2電圧源VSSを選択的に出力する出力部120b、120cとで構成される。ここで、第1、第2及び第3ノードQ、QB1、QB2は選択的に充電及び放電されるが、具体的に、第1ノードQが充電状態にあると第2ノードQB1及び第3ノードQB2とも放電状態を維持し、第1ノードQが放電状態にあると第2ノードQB1及び第3ノードQB2のうちいずれかが一つが充電状態を維持する。

【0211】

10

すなわち、奇数番目のフレームでは、第1ノードQが放電状態のとき、第2ノードQB1が充電され、第3ノードQB2が放電され、そして偶数番目のフレームでは、第1ノードQが放電状態の時、第2ノードQB1が放電され、第3ノードQB2が充電される。このように第1ノードQが放電状態にあるとき、第2ノードQB1及び第3ノードQB2にフレーム別に異なる極性の電圧源VDD3、VDD4を印加（充電及び放電）する理由は、第2ノードQB1及び第3ノードQB2にゲート端子が接続されたスイッチング素子の劣化を防止するためである。

【0212】

第3ステージCST3のノード制御部120aは、第1乃至第20NMOSトランジスタTr1~Tr20で構成される。

20

【0213】

第1NMOSトランジスタTr1は、前のステージからのスキャンパルスにตอบสนองして、第1ノードQを第1電圧源VDDで充電させる。すなわち、第1NMOSトランジスタTr1は、第2ステージCST2からの第2スキャンパルスVout2にตอบสนองして、第1ノードQを第1電圧源VDDで充電させる。このため、第1NMOSトランジスタTr1のゲート端子は、第2ステージCST2に接続され、ソース端子は、第1電圧源VDDを伝送する電源ラインに接続され、ドレイン端子は第1ノードQに接続される。

【0214】

第2NMOSトランジスタTr2は、第1ノードQに充電された第1電圧源VDDにตอบสนองして、第2ノードQBを第2電圧源VSSで放電させる。このため、第2NMOSトランジスタTr2のゲート端子は、第1ノードQに接続され、ソース端子は第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

30

【0215】

第3NMOSトランジスタTr3は、第1ノードQに充電された第1電圧源VDDにตอบสนองして、第3ノードQB2を第2電圧源VSSで放電させる。このため、第3NMOSトランジスタTr3のゲート端子は、第1ノードQに接続され、ソース端子は第3ノードQB2に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0216】

第4NMOSトランジスタTr4は、フレームごとに異なる極性を有する第3電圧源VDD3にตอบสนองしてターンオンまたはターンオフされ、ターンオン時に第3電圧源VDD3を出力する。このため、第4NMOSトランジスタTr4のゲート端子は、第3電圧源VDD3を伝送する電源ラインに接続され、ソース端子は、第3電圧源VDD3を伝送する電源ラインに接続される。

40

【0217】

第5NMOSトランジスタTr5は、第4NMOSトランジスタTr4から出力された第3電圧源VDD3にตอบสนองして第2ノードQBを第3電圧源VDD3で充電させる。このため、第5NMOSトランジスタTr5のゲート端子は、第4NMOSトランジスタTr4のドレイン端子に接続され、ソース端子は、第3電圧源VDD3を伝送する電源ラインに接続され、ドレイン端子は第2ノードQBに接続される。

50

【0218】

第6 NMOSトランジスタTr 6は、第2 ノードQBに充電された第3 電圧源VDD 3に
応答して、第1 ノードQを第2 電圧源VSSで放電させる。このため、第6 NMOSト
ランジスタTr 6のゲート端子は、第2 ノードQBに接続され、ソース端子は第1 ノード
Qに接続され、ドレイン端子は、第2 電圧源VSSを伝送する電源ラインに接続される。

【0219】

第7 NMOSトランジスタTr 7は、第2 ノードQBに充電された第3 電圧源VDD 3
に
応答して、第3 ノードQB 2を第2 電圧源VSSで放電させる。このため、第7 NMOS
トランジスタTr 7のゲート端子は、第2 ノードQBに接続され、ソース端子は前記第
3 ノードQB 2に接続され、ドレイン端子は、第2 電圧源VSSを伝送する電源ラインに
接続される。 10

【0220】

第8 NMOSトランジスタTr 8は、第1 ノードQに充電された第1 電圧源VDDに
応答して、第5 NMOSトランジスタTr 5のゲート端子に第2 電圧源VSSを供給するこ
とによって、第5 NMOSトランジスタTr 5をターンオフさせる。このため、第8 NM
OSトランジスタTr 8のゲート端子は、第1 ノードQに接続され、ソース端子は、第5
NMOSトランジスタTr 5のゲート端子に接続され、ドレイン端子は、第2 電圧源VSS
を伝送する電源ラインに接続される。

【0221】

第9 NMOSトランジスタTr 9は、前のステージからのスキャンパルスに
応答して、第5 NMOSトランジスタTr 5のゲート端子に第2 電圧源VSSを供給することによ
って、第5 NMOSトランジスタTr 5をターンオフさせる。すなわち、第9 NMOSト
ランジスタTr 9は、第2 ステージCST 2からの第2 スキャンパルスVout 2に
応答して、第5 NMOSトランジスタTr 5のゲート端子に第2 電圧源VSSを供給すること
によって、第5 NMOSトランジスタTr 5をターンオフさせる。このため、第9 NMOS
トランジスタTr 9のゲート端子は、第2 ステージCST 2に接続され、ソース端子は、
第5 NMOSトランジスタTr 5のゲート端子に接続され、ドレイン端子は、第2 電圧源
VSSを伝送する電源ラインに接続される。 20

【0222】

第10 NMOSトランジスタTr 10は、前のステージからのスキャンパルスに
応答して、第5 NMOSトランジスタTr 5のゲート端子に第2 電圧源VSSを供給すること
によって、第5 NMOSトランジスタTr 5をターンオフさせる。すなわち、第10 NMOS
トランジスタTr 10は、第2 ステージCST 2からの第2 スキャンパルスVout 2
に
応答して、第5 NMOSトランジスタTr 5のゲート端子に第2 電圧源VSSを供給す
ることによって、第5 NMOSトランジスタTr 5をターンオフさせる。このため、第1
0 NMOSトランジスタTr 10のゲート端子は、第2 ステージCST 2に接続され、ソ
ース端子は、第5 NMOSトランジスタTr 5のゲート端子に接続され、ドレイン端子は
、第2 電圧源VSSを伝送する電源ラインに接続される。 30

【0223】

第11 NMOSトランジスタTr 11は、フレームごとに異なる極性を有する第4 電圧
源VDD 4に
応答してターンオンまたはターンオフされ、ターンオン時に、第4 電圧源V
DD 4を出力する。このため、第11 NMOSトランジスタTr 11のゲート端子は、第
4 電圧源VDD 4を伝送する電源ラインに接続され、ソース端子は、第4 電圧源VDD 4
を伝送する電源ラインに接続される。ここで、第4 電圧源VDD 4は、毎フレームごと
に第3 電圧源VDD 3に反転された極性を有する。 40

【0224】

第12 NMOSトランジスタTr 12は、第11 NMOSトランジスタTr 11から出
力された第4 電圧源VDD 4に
応答して、第3 ノードQB 2を第4 電圧源VDD 4で充電
させる。このため、第12 NMOSトランジスタTr 12のゲート端子は、第11 NMOS
トランジスタTr 11のドレイン端子に接続され、ソース端子は、第4 電圧源VDD 4 50

を伝送する電源ラインに接続され、ドレイン端子は第3ノードQB2に接続される。

【0225】

第13NMOSトランジスタTr13は、第3ノードQB2に充電された第4電圧源VDD4にตอบสนองして、第1ノードQを第2電圧源VSSで放電させる。このため、第13NMOSトランジスタTr13のゲート端子は、第3ノードQB2に接続され、ソース端子は第1ノードQに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0226】

第14NMOSトランジスタTr14は、第3ノードQB2に充電された第4電圧源VDD4にตอบสนองして、第2ノードQBを第2電圧源VSSで放電させる。このため、第14NMOSトランジスタTr14のゲート端子は、第3ノードQB2に接続され、ソース端子は第2ノードQBに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

10

【0227】

第15NMOSトランジスタTr15は、第1ノードQに充電された第1電圧源VDDにตอบสนองして、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。このため、第15NMOSトランジスタTr15のゲート端子は、第1ノードQに接続され、ソース端子は、第12NMOSトランジスタTr12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

20

【0228】

第16NMOSトランジスタTr16は、前のステージからのスキャンパルスにตอบสนองして、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。すなわち、第16NMOSトランジスタTr16は、第2ステージCST2からの第2スキャンパルスVout2にตอบสนองして、第12NMOSトランジスタTr12をターンオフさせる。このため、第16NMOSトランジスタTr16のゲート端子は、第2ステージCST2に接続され、ソース端子は、第12NMOSトランジスタTr12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0229】

30

第17NMOSトランジスタTr17は、前のステージからのスキャンパルスにตอบสนองして、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。すなわち、第17NMOSトランジスタTr17は、第2ステージCST2からの第2スキャンパルスVout2にตอบสนองして、第12NMOSトランジスタTr12をターンオフさせる。このため、第17NMOSトランジスタTr17のゲート端子は、第2ステージCST2に接続され、ソース端子は、第12NMOSトランジスタTr12のゲート端子に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0230】

第18NMOSトランジスタTr18は、前のステージからのスキャンパルスにตอบสนองして、第2ノードQB1を第2電圧源VSSで放電させる。すなわち、第18NMOSトランジスタTr18は、第2ステージCST2からの第2スキャンパルスVout2にตอบสนองして、第2ノードQB1を第2電圧源VSSで放電させる。このため、第18NMOSトランジスタTr18のゲート端子は、第2ステージCST2に接続され、ソース端子は第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

40

【0231】

第19NMOSトランジスタTr19は、前のステージからのスキャンパルスにตอบสนองして、第3ノードQB2を第2電圧源VSSで放電させる。すなわち、第19NMOSトランジスタTr19は、第2ステージCST2からの第2スキャンパルスVout2にตอบสนอง

50

して、第3ノードQB2を第2電圧源VSSで放電させる。このため、第19NMOSトランジスタTr19のゲート端子は、第2ステージCST2に接続され、ソース端子は第3ノードQB2に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

【0232】

第20NMOSトランジスタTr20は、次々のステージからのスキャンパルスにตอบสนองして、第1ノードQを第2電圧源VSSで放電させる。すなわち、第20NMOSトランジスタTr20のゲート端子は、第5ステージからの第5スキャンパルスVout5にตอบสนองして、第1ノードQを第2電圧源VSSで放電させる。このため、第20NMOSトランジスタTr20のゲート端子は、第5ステージに接続され、ソース端子は第1ノードQに接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続される。

10

【0233】

第3ステージCST3の第1出力部120bは、第21乃至23NMOSトランジスタTr21~Tr23で構成される。

【0234】

第21NMOSトランジスタTr21は、第1ノードQに充電された第1電圧源VDDにตอบสนองして、第3クロックパルスCLK3をスキャンパルスとして出力する。そして、このスキャンパルスを前々のステージと次のステージに供給する。このため、第21NMOSトランジスタTr21のゲート端子は、第1ノードQに接続され、ソース端子は、第3クロックパルスCLK3を伝送するクロックラインに接続され、ドレイン端子は、第1ステージCST1に備えられた第20NMOSトランジスタTr20のゲート端子、及び第4ステージCST4に備えられた第1、第9、第10、第16、第17、第18及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19のゲート端子に接続される。

20

【0235】

第22NMOSトランジスタTr22は、第2ノードQB1に充電された第3電圧源VDD3にตอบสนองして、第2電圧源VSSを出力する。そして、この第2電圧源VSSを前々のステージと次のステージに供給する。このため、第22NMOSトランジスタTr22のゲート端子は、第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続され、ソース端子は、第1ステージCST1に備えられた第20NMOSトランジスタTr20のゲート端子、及び第4ステージCST4に備えられた第1、第9、第10、第16、第17、第18、及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19のゲート端子に接続される。

30

【0236】

第23NMOSトランジスタTr23は、第3ノードQB2に充電された第4電圧源VDD4にตอบสนองして、第2電圧源VSSを出力する。そして、この第2電圧源VSSを前々のステージと次のステージに供給する。このため、第23NMOSトランジスタTr23のゲート端子は、第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを伝送する電源ラインに接続され、ソース端子は、第1ステージCST1に備えられた第20NMOSトランジスタTr20のゲート端子、及び第4ステージCST4に備えられた第1、第9、第10、第16、第17、第18及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19のゲート端子に接続される。

40

【0237】

第3ステージCST3の第2出力部120cは、第24乃至第26NMOSトランジスタTr24~Tr26で構成される。

【0238】

第24NMOSトランジスタTr24は、第1ノードQに充電された第1電圧源VDDにตอบสนองして、第3クロックパルスCLK3をスキャンパルスとして第3ゲートラインに出力する。このため、第24NMOSトランジスタTr24のゲート端子は、第1ノードQ

50

に接続され、ソース端子は、第3クロックパルスCLK3を送送するクロックラインに接続され、ドレイン端子は第3ゲートラインに接続される。

【0239】

第25NMOSトランジスタTr25は、第2ノードQB1に充電された第3電圧源VDD3に回答して、第2電圧源VSSを第3ゲートラインに出力する。このため、第25NMOSトランジスタTr25のゲート端子は、第2ノードQB1に接続され、ドレイン端子は第2電圧源VSSを送送する電源ラインに接続され、ソース端子は、第3ゲートラインに接続される。

【0240】

第26NMOSトランジスタTr26は、第3ノードQB2に充電された第4電圧源VDD4に回答して、第2電圧源VSSを第3ゲートラインに出力する。このため、第26NMOSトランジスタTr26のゲート端子は第2ノードQB1に接続され、ドレイン端子は、第2電圧源VSSを送送する電源ラインに接続され、ソース端子は第3ゲートラインに接続される。

【0241】

第1及び第2ステージCST1、CST2、第4乃至第nステージCST4～CSTn、第1及び第2ダミーステージCSTn+1、CSTn+2も、上述した第2ステージCST2と同じ構成を有する。

【0242】

ただし、第1ステージCST1の前にはステージが存在しないので、第1ステージCST1に備えられた第1、第9、第10、第16、第17、第18及び第19NMOSトランジスタTr1、Tr9、Tr10、Tr16、Tr17、Tr18、Tr19には、タイミングコントローラからのスタートパルスSPが供給される。すなわち、第1ステージCST1の第1NMOSトランジスタTr1は、タイミングコントローラからのスタートパルスSPに回答して、第1ノードQを第1電圧源VDDで充電させる。

【0243】

また、第1ステージCST1の第9NMOSトランジスタTr9は、タイミングコントローラからのスタートパルスSPに回答して、第1ステージCST1の第2ノードQB1を第2電圧源VSSで放電させる。

【0244】

また、第1ステージCST1の第10NMOSトランジスタTr10は、タイミングコントローラからのスタートパルスに回答して、第4NMOSトランジスタTr4のゲート端子に第2電圧源VSSを供給することによって、第4NMOSトランジスタTr4をターンオフさせる。

【0245】

また、第1ステージCST1の第16NMOSトランジスタTr16は、タイミングコントローラからのスタートパルスに回答して、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。

【0246】

また、第1ステージCST1の第17NMOSトランジスタTr17は、タイミングコントローラからのスタートパルスに回答して、第12NMOSトランジスタTr12のゲート端子に第2電圧源VSSを供給することによって、第12NMOSトランジスタTr12をターンオフさせる。

【0247】

また、第1ステージCST1の第18NMOSトランジスタTr18は、タイミングコントローラからのスタートパルスSPに回答して、第2ノードQB1を第2電圧源VSSで放電させる。

【0248】

また、第1ステージCST1の第19NMOSトランジスタTr19は、タイミングコ

10

20

30

40

50

ントローラからのスタートパルス S_P に応答して、第 3 ノード Q_{B2} を第 2 電圧源 V_{SS} で放電させる。

【0249】

そして、第 1 及び第 2 ステージ CST_1 、 CST_2 の前々にはステージが存在しない。したがって、第 1 ステージ CST_1 は第 1 スキャンパルス V_{out1} を出力し、これを第 1 ゲートライン及び第 2 ステージ CST_2 に供給する。これと同様に、第 2 ステージ CST_2 は、第 2 スキャンパルス V_{out2} を出力し、これを第 2 ゲートライン及び第 3 ステージ CST_3 に供給する。

【0250】

そして、第 2 ダミーステージ CST_{n+2} の次にはステージが存在しない。したがって、第 2 ダミーステージ CST_{n+2} の第 21 NMOS トランジスタ Tr_{21} のソース端子、第 22 NMOS トランジスタ Tr_{22} のドレイン端子、及び第 23 NMOS トランジスタ Tr_{23} のドレイン端子は、第 n ステージ CST_n の第 20 NMOS トランジスタ Tr_{20} のゲート端子に接続される。

【0251】

第 2 シフトレジスタ 110b に備えられた各ステージ $CST_1 \sim CST_{n+2}$ も、第 1 シフトレジスタ 110a に備えられた各ステージ $CST_1 \sim CST_{n+2}$ と同じ構成を有する。

【0252】

図 13A 及び図 13B は、図 12 の回路構成を有する第 1 シフトレジスタの第 3 ステージを示す図である。

【0253】

本発明の第 2 の実施の形態によるシフトレジスタの動作は、前述した第 1 の実施の形態のうち、図 9、図 10A、及び図 10B に示す回路の動作と同一であり、単に第 2 の実施の形態によるシフトレジスタの各ステージ $CST_1 \sim CST_{n+2}$ は、二つずつのスキャンパルスを出力する点が異なる。また、二つのスキャンパルスのうち一つを次のステージ及び前々のステージに供給し、残り一つを該当ゲートラインに供給する。ここで、第 1 及び第 2 ダミーステージ $CST_{n+1} \sim CST_{n+2}$ はスキャンパルスを一つずつ出力しても良い。

【0254】

以上説明してきた本発明は、上述の実施の形態及び添付の図面によって限定されるものではなく、本発明の技術的思想を逸脱しない範囲内で種々の置換、変形及び変更が可能であるということは、本発明の属する技術分野における通常の知識を有する者にとって明白である。

【図面の簡単な説明】

【0255】

【図 1】従来のシフトレジスタを示す図である。

【図 2】スキャンパルスの理想的な波形と歪んだスキャンパルスの波形を示す図である。

【図 3】本発明の第 1 の実施の形態によるシフトレジスタを示す図である。

【図 4】第 1 乃至第 4 クロックパルス、及び第 1 乃至第 4 スキャンパルスのタイミング図である。

【図 5】従来のスキャンパルスと本発明によるスキャンパルスを比較説明するための図である。

【図 6】従来のスキャンパルスと本発明のスキャンパルスに対するシミュレーション波形を示す図である。

【図 7】図 3 の第 1 シフトレジスタに備えられた第 3 ステージの回路構成図である。

【図 8】図 7 の回路構成を有する第 1 シフトレジスタの第 1 乃至第 3 ステージを示す図である。

【図 9】図 3 の第 1 シフトレジスタに備えられた第 3 ステージに対する他の回路構成図である。

10

20

30

40

50

【図 10 A】図 9 の回路構成を有する第 1 シフトレジスタの第 1 乃至第 2 ステージを示す図である。

【図 10 B】図 9 の回路構成を有する第 1 シフトレジスタの第 3 ステージを示す図である。

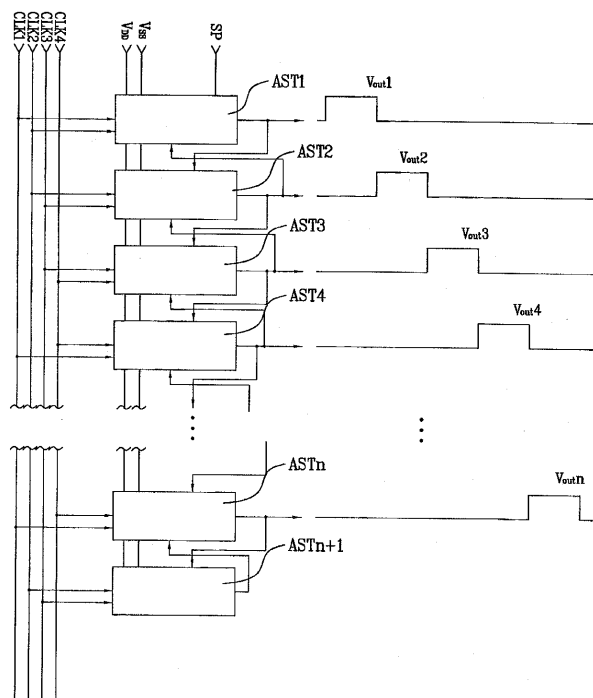
【図 11】本発明の第 2 の実施の形態によるシフトレジスタを示す図である。

【図 12】図 11 の第 1 シフトレジスタに備えられた第 3 ステージを示す図である。

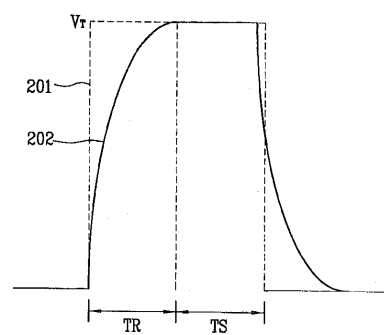
【図 13 A】図 12 の回路構成を有する第 1 シフトレジスタの第 1 乃至第 2 ステージを示す図である。3 ステージを示す図である。

【図 13 B】図 12 の回路構成を有する第 1 シフトレジスタの第 3 ステージを示す図である。

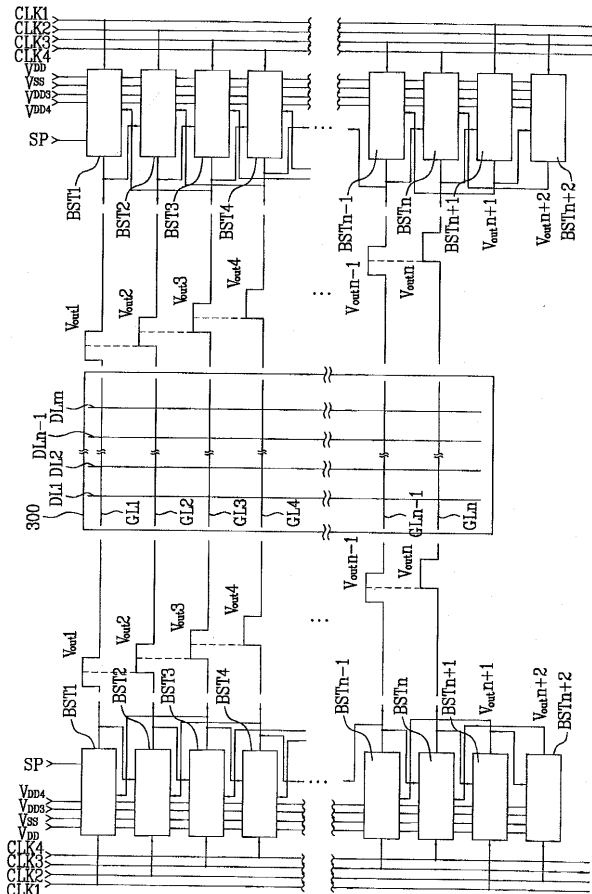
【図 1】



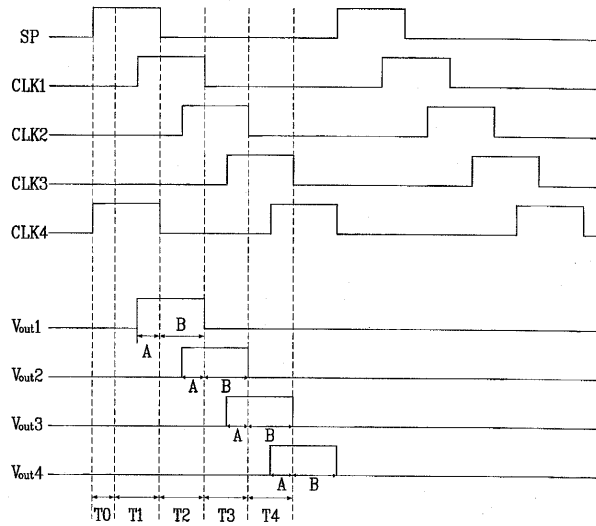
【図 2】



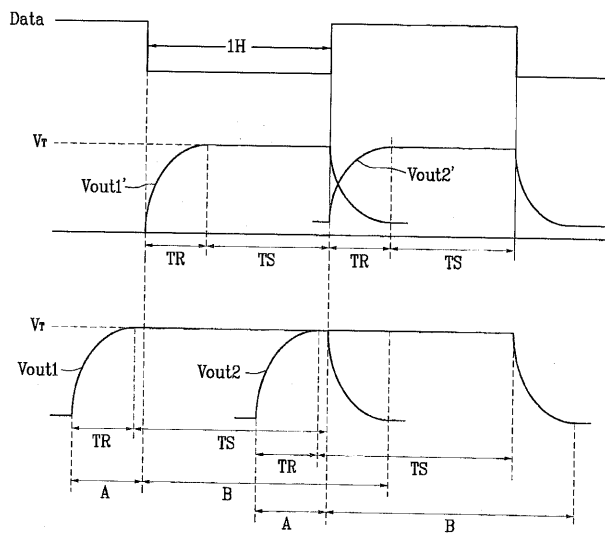
【図 3】



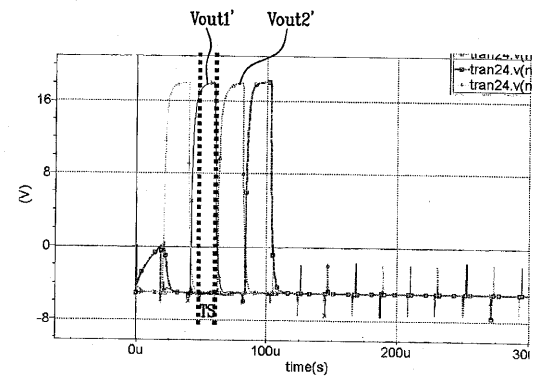
【図 4】



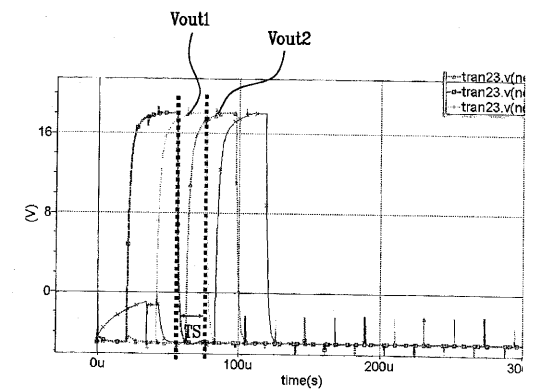
【図 5】



【図 6】

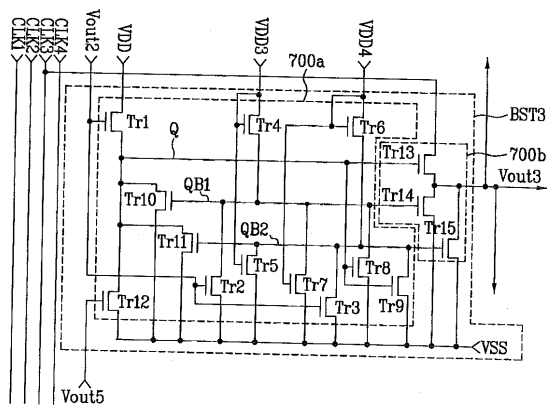


(a)

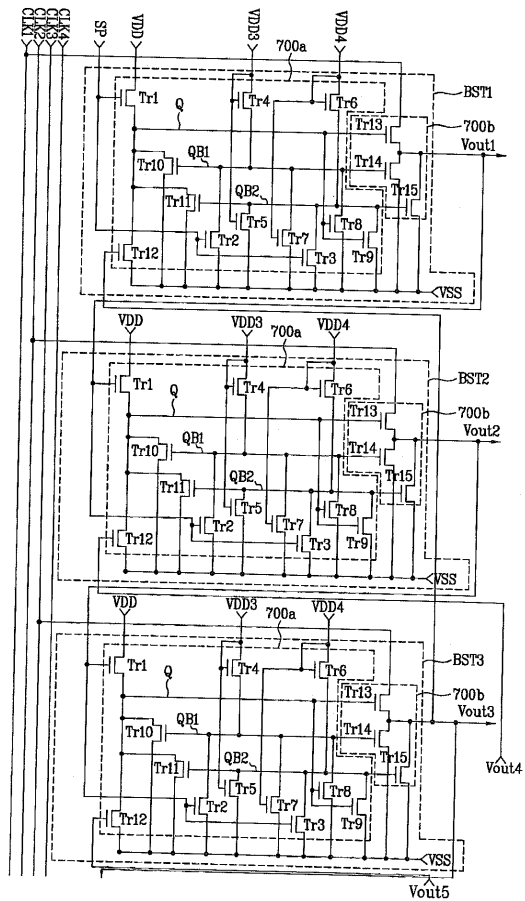


(b)

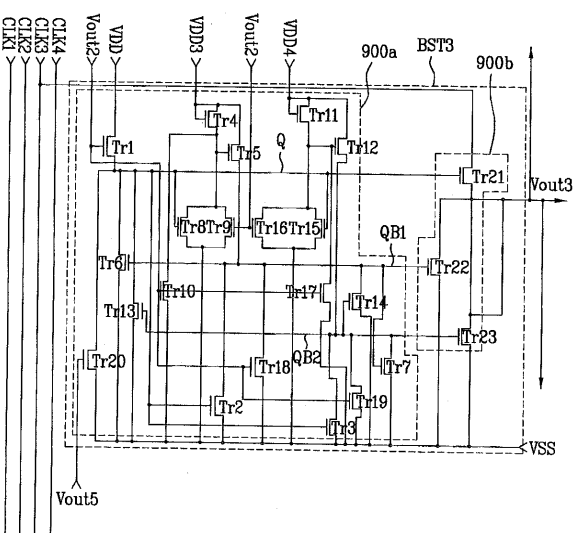
【図 7】



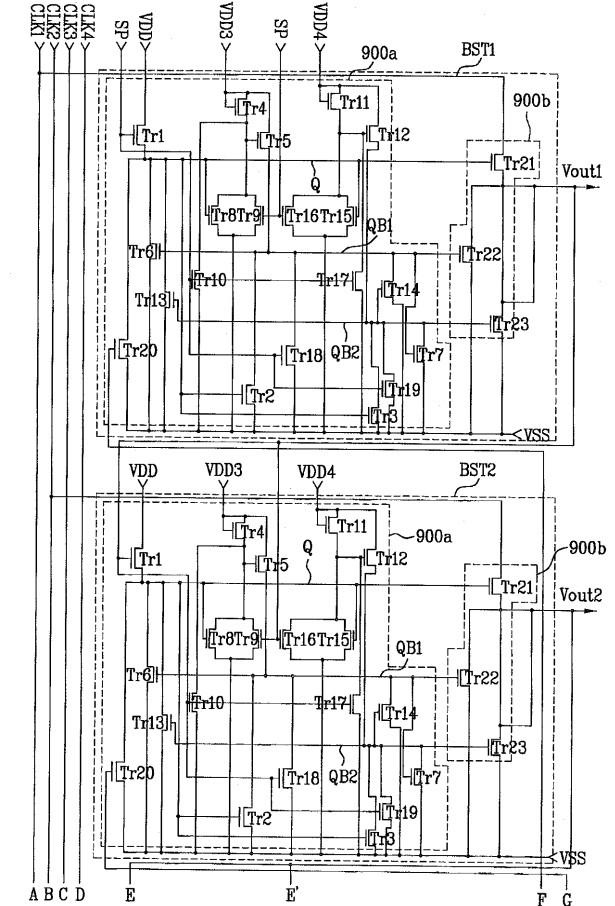
【図 8】



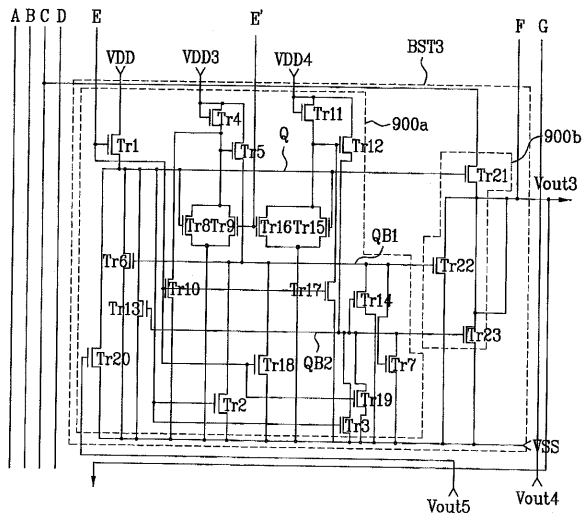
【図 9】



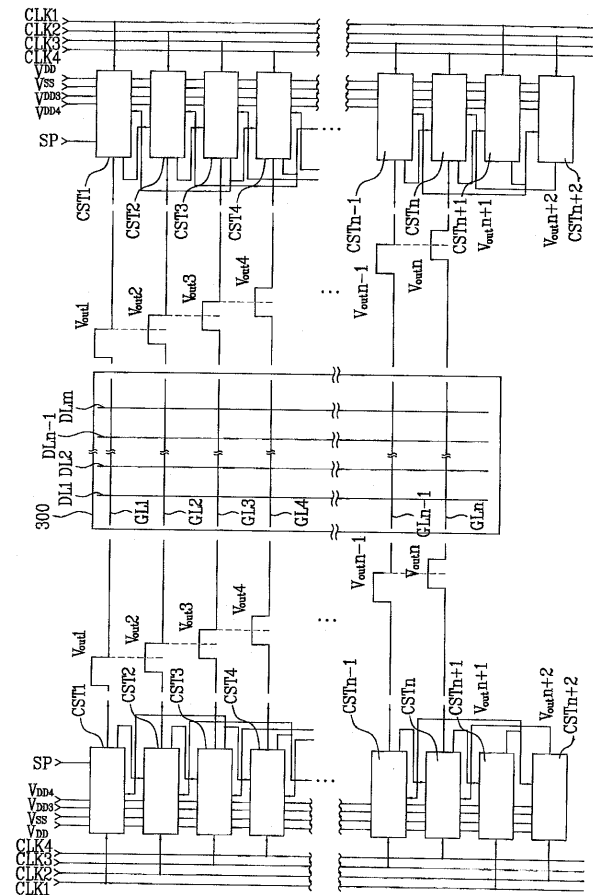
【図 10 A】



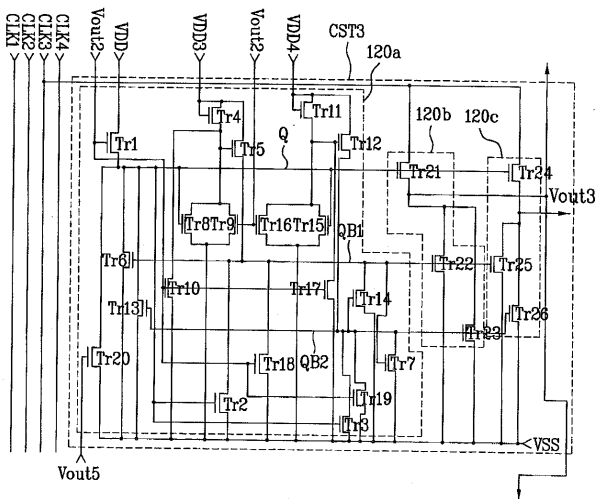
【図 10 B】



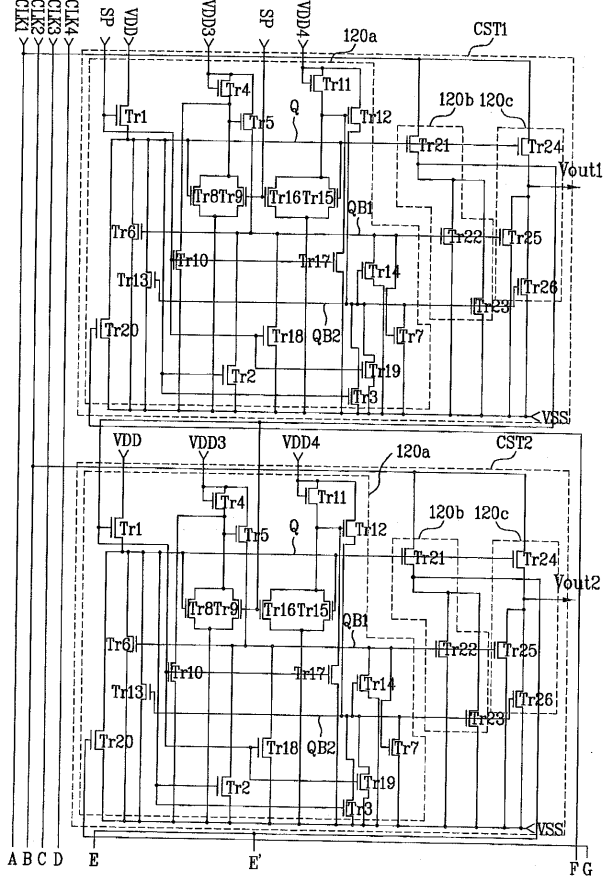
【図 11】



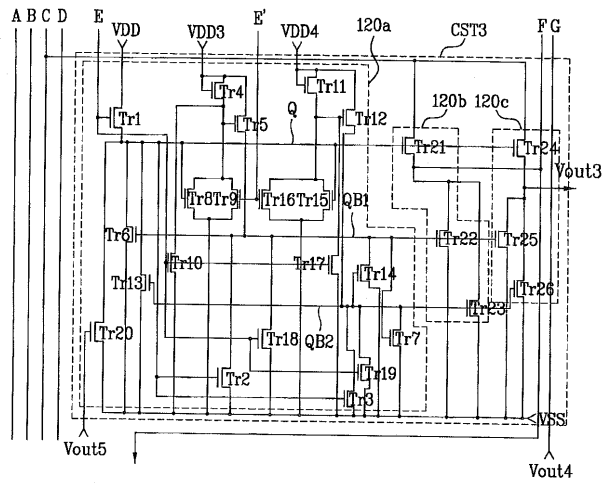
【図 12】



【図 13 A】



【図 13 B】



フロントページの続き

| | | |
|--------------|----------------------------|-------------|
| (51) Int.Cl. | F I | テーマコード (参考) |
| | G 0 9 G 3/20 6 2 1 A | |
| | G 0 2 F 1/133 5 5 0 | |

(72)発明者 張 容豪
大韓民国京畿道城南市盆唐區盆唐洞セトビョルミョル・サンプ・アパートメント 4 1 4 - 8 0 6

(72)発明者 金 彬
大韓民国ソウル陽川區木 5 洞モクドン 4 ダンチ・アパートメント 4 0 8 - 2 0 0 3

(72)発明者 尹 洙榮
大韓民国京畿道高陽市徳陽區幸臣洞ムウォンミョル 1 0 ダンチ・ソグワン・アパートメント 1 0
1 0 - 8 0 2

F ターム(参考) 2H093 NC16 NC22 NC34 NC66 ND34 ND36 ND58
5C006 AF42 AF50 AF71 AF72 BB16 BC02 BC03 BF03 BF34 FA15
FA16 FA37
5C080 AA10 BB05 DD30 FF11 JJ03 JJ04

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 显示装置的驱动电路及其驱动方法 | | |
| 公开(公告)号 | JP2007011336A | 公开(公告)日 | 2007-01-18 |
| 申请号 | JP2006171649 | 申请日 | 2006-06-21 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | Eruji飞利浦杜迪股份有限公司 | | |
| [标]发明人 | 張容豪 金彬 尹洙榮 | | |
| 发明人 | 張 容豪 金 彬 尹 洙榮 | | |
| IPC分类号 | G09G3/36 G09G3/20 G02F1/133 | | |
| CPC分类号 | G09G3/3677 G09G2310/0205 G09G2320/0223 G11C19/28 | | |
| FI分类号 | G09G3/36 G09G3/20.622.D G09G3/20.611.J G09G3/20.622.E G09G3/20.612.K G09G3/20.621.A G02F1/133.550 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230 | | |
| F-TERM分类号 | 2H093/NC16 2H093/NC22 2H093/NC34 2H093/NC66 2H093/ND34 2H093/ND36 2H093/ND58 5C006/AF42 5C006/AF50 5C006/AF71 5C006/AF72 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BF03 5C006/BF34 5C006/FA15 5C006/FA16 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD30 5C080/FF11 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZH40 2H193/ZH43 5B074/AA10 5B074/CA01 5B074/DA03 5B074/DB01 5B074/EA04 | | |
| 代理人(译) | 英年古河 Kajinami秩序 | | |
| 优先权 | 1020050058609 2005-06-30 KR | | |
| 其他公开文献 | JP4512064B2 | | |
| 外部链接 | Espacenet | | |

摘要(译)

要解决的问题：提供一种显示装置的驱动电路及其驱动方法，其能够减少提供给液晶面板的栅极线的扫描脉冲的失真。解决方案：驱动电路包括第一移位寄存器，用于顺序地将第一扫描脉冲提供给显示器中包括的栅极线的一侧端，以顺序驱动栅极线，第一移位寄存器同时驱动至少两个相邻的栅极线。栅极线持续预定时间段，第二移位寄存器用于顺序地将第二扫描脉冲提供给栅极线的另一侧端，以顺序驱动栅极线，第二移位寄存器同时驱动至少两个相邻的栅极线持续预定的时间段。

