

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-507533

(P2006-507533A)

(43) 公表日 平成18年3月2日(2006.3.2)

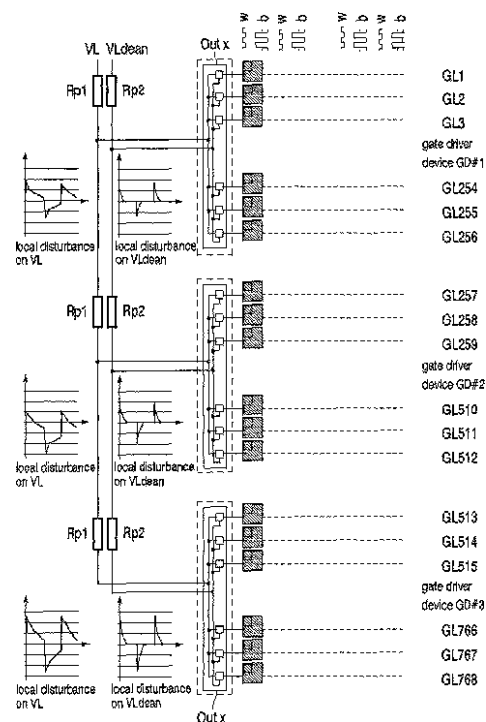
(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/1343 (2006.01)	G02F 1/1343	5C006
G02F 1/1345 (2006.01)	G02F 1/1345	5C080
G02F 1/1362 (2006.01)	G02F 1/1362	
G02F 1/1368 (2006.01)	G02F 1/1368	
審査請求 未請求 予備審査請求 未請求 (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2004-554804 (P2004-554804)	(71) 出願人	590000248
(86) (22) 出願日	平成15年11月18日 (2003.11.18)		コーニンクレッカ フィリップス エレク
(85) 翻訳文提出日	平成17年5月25日 (2005.5.25)		トロニクス エヌ ヴィ
(86) 国際出願番号	PCT/IB2003/005214		Koninklijke Philips
(87) 国際公開番号	W02004/049295		Electronics N. V.
(87) 国際公開日	平成16年6月10日 (2004.6.10)		オランダ国 5621 ペーアー アイン
(31) 優先権主張番号	02102642.2		ドーフエン フルーネヴァウツウェッハ
(32) 優先日	平成14年11月25日 (2002.11.25)		1
(33) 優先権主張国	欧州特許庁 (EP)		Groenewoudseweg 1, 5
			621 BA Eindhoven, T
			he Netherlands
		(74) 代理人	100075812
			弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橋谷 英俊
		最終頁に続く	

(54) 【発明の名称】 「ブロック・ディム」効果の低減されたディスプレイ

(57) 【要約】

本発明は、一般的にLCDパネルに向けられ、特に、ゲート・ドライバ(GD)がプリント回路基板(PCB)なしで組み立てられるLCDパネルに向けられる。この技術はいわゆる無PCBであり、この場合、ゲート・ドライバ(GD)の配線は従来のプリント回路基板(PCB)で行われなくて、LCDガラスに直接に行われる。本発明はチップ・オン・ガラス(COG)技術にも応用でき、この場合、ゲート・ドライバ(GD)はガラス配線に直接に接続される。努力およびコストを低く保ちながら、ブロック・ディム効果が起こるのを防止するために、各出力段(Out x)に追加のライン(VLclean)を追加することが提案され、この追加のライン(VLclean)は、選択されたゲート・ライン(GLy)の記憶コンデンサ(Cst)の基準電位を供給するためにだけ使用される。全ての他の(選択されない)ゲート・ラインは、通常のゲート・オフ供給ライン(VL)に接続される。VLcleanラインは、LCDガラス上に別個の導電路として経路設定され、ガラス端部または電源出力の近くでVL供給に接続される。



【特許請求の範囲】

【請求項 1】

x 行と y 列に配列されたドットを有するディスプレイをドライブするための n 個のゲート・ドライバおよびソース・ドライバを有する LC ディスプレイであって、前記ゲート・ドライバは前記ディスプレイのゲート・ラインをドライブするためのいくつかの出力段を有し、前記ゲート・ドライバの前記出力段に結合された追加の電圧ラインが設けられていることを特徴とする LC ディスプレイ。

【請求項 2】

前記出力段が PMOS トランジスタおよび 2 個の NMOS トランジスタを備え、かつ前記 PMOS トランジスタが供給ライン V_H と前記出力段の出力との間に配列され、かつ前記第 1 の NMOS トランジスタが供給ライン V_L と前記出力段の出力との間に配列され、かつ前記第 2 の NMOS トランジスタが前記供給ラインと前記出力段の出力との間に配列されている、請求項 1 に記載のディスプレイ。

【請求項 3】

前記追加の供給ラインが、V_L 電位から別個の導電路で経路設定される、請求項 1 に記載のディスプレイ。

【請求項 4】

前記供給ラインの導電路と前記供給ラインの導電路が、同じ供給レベルに結合される、請求項 1 に記載のディスプレイ。

【請求項 5】

前記供給ラインの導電路と前記供給ラインの導電路が、供給回路の出力に対して前記導電路のインピーダンスが小さい位置で互いに接続される、請求項 1 に記載のディスプレイ。

【請求項 6】

n 個のゲート・ドライバおよび少なくとも 1 つのソース・ドライバを有するディスプレイをドライブする方法であって、ドットが x 行と y 列に配列され、前記ゲート・ドライバは前記ディスプレイのゲート・ラインをドライブするいくつかの出力段を有し、かつ選択されたゲート・ラインのキャパシタンスが前のゲート・ラインに接続され、行のための前記出力段の追加の供給ラインは、次の行がアクティブ化されたときアクティブ化されることを特徴とする方法。

【請求項 7】

n 個のゲート・ドライバおよびソース・ドライバを有するディスプレイをドライブする方法であって、ドットが x 行と y 列に配列され、前記ゲート・ドライバは前記ディスプレイのゲート・ラインをドライブするいくつかの出力段を有し、かつ選択されたゲート・ラインのキャパシタンスが次のゲート・ラインに接続され、行のための前記出力段の追加の供給ラインは、次のゲート・ラインがアクティブ化されたときアクティブ化されることを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、ディスプレイまたは LCD パネルに向けられ、特に、プリント回路基板 (PCB) なしに組み立てられるゲート・ドライバを有する LCD パネルに向けられる。この技術はいわゆる無 PCB であり、この場合、ゲート・ドライバの配線は従来のプリント回路基板 (PCB) で行われたいが、LCD ガラスに直接に行われる。本発明はチップ・オン・ガラス技術 (COG) にも応用できる。

【背景技術】

【0002】

LCD パネルは広い応用分野、すなわち携帯電話、個人用デジタル・アシスタント、ノートブックまたは TV 画面を有している。

【0003】

新しい組立技術がある。第 1 に、いわゆる「無 P C B」技術では、ゲート・ドライバの配線は従来のプリント回路基板 (P C B) で行われなくて L C D ガラスに直接に行われ、さらにゲート・ドライバのチップは、ガラス配線に接触したフォイルに取り付けられる (チップ・オン・フォイル、C O F)。第 2 に、いわゆるチップ・オン・ガラス技術では、ゲート・ドライバは直接にガラス配線に接続している。

【 0 0 0 4 】

これらの新しい組立技術は低コストであるが、オン・ガラス配線の導電路抵抗はプリント回路基板で得られる導電路抵抗よりもはるかに高い。オン・ガラス相互接続のシート抵抗は、P C B 技術のものよりの 1 0 0 倍高い。この差は、厚さ約 0 . 2 μ m の蒸着 A l を通常使用するオン・ガラス導体に比べて、P C B の導体がより厚く、さらに低抵抗性材料すなわち厚さ約 3 5 μ m の積層された銅を使用することによっている。2 個のゲート・ドライバ間の導電路抵抗の一般的な値は、ゲート・オフ供給導電路では 2 5 Ω であり、他の信号の導電路では最高 1 0 0 Ω である。ゲート・オフ供給導電路 (V L) は、ゲート・ラインのオフ状態電圧を供給し、アドレス指定されない線の T F T トランジスタを非導通 (オフ) 状態にしておく。

【 0 0 0 5 】

導電路抵抗の増加は、「ブロック・ディム (b l o c k d i m) 」問題のような使用上の問題を引き起こす。ブロック・ディム問題は、ゲート・オフ供給ライン (V L) の導電路抵抗によって主に生じる。オン・ガラス導電路抵抗を下げるために、導電路の幅を増すことができるが、全ての導電路を経路設定するために使用可能な L C D パネル上のスペースは限られている。その結果として、ゲート・オフ供給ライン (V L) 用の導電路は、最もクリティカルであるので、できるだけ広く作られ、そして、その他の導電路はより細い。

【 0 0 0 6 】

X G A 分解能の L C D パネルは、一般に、各々 2 5 6 の出力チャネルを有する 3 個のゲート・ドライバを使用する。無 P C B または C O G パネルに関して、ゲート・ドライバへの全ての供給ラインおよび制御信号は、L C D パネルの能動面上で、L C D パネルの 1 つの隅からゲート・ドライバに経路設定される。その結果として、第 3 のゲート・ドライバに関連した導電路抵抗は、第 1 のゲート・ドライバの導電路抵抗の約 3 倍である。一般に、ゲート・ドライバの数は、L C D パネルのサイズに依存する。

【 0 0 0 7 】

能動マトリックス L C D パネルは、ピクセルのアレイで構成され、ピクセルの数はパネル分解能の関数である。例えば、X G A パネルは 1 0 2 4 $\times$ 7 6 8 のピクセルを有する。ピクセルは、通常、基本色 (赤、緑および青) ごとに 1 つの 3 個のドットで構成される。このようにして、例えば X G A パネルは、水平軸 (x 軸) に沿って合計 1 0 2 4 $\times$ 3 の列および縦軸 (y 軸) に沿って 7 6 8 行またはラインを有する。各ドットは、スイッチを介してそれぞれの列電極に接続されている。スイッチは、行電極によってアドレス指定される (例えば、オンまたはオフに切り換えられる)。選択された行のドットをドライブするために、列電極に電圧が印加され、そしてスイッチがオンに切り換えられる。これによって、選択された行の全てのドットは、列電極に存在する電圧まで充電されるようになる。アドレス指定時間の終りに、スイッチはオフに切り換えられる。このことは、ドットは列電極から切り離され、次回選択されるまでその値 (充電) を保持することを意味する。この個々のドットのラインごとのアドレス指定は、一般に、ディスプレイの「水平走査」と呼ばれる。ディスプレイの全てのドットは、通常、ほぼ 6 0 H z のフレーム率でリフレッシュされる。このことは、例えば X G A パネルの場合、単一のラインは、ライン (アドレス指定) 時間と呼ばれる (1 / 6 0) / 7 6 8 2 0 μ s e c でアドレス指定されることを意味する。

【 0 0 0 8 】

大抵の能動マトリックス L C D パネルでは、スイッチはいわゆる薄膜トランジスタ (T F T) で形成される。T F T トランジスタは、ドレイン、ゲートおよびソースの 3 つの端

10

20

30

40

50

子を有する。TFT-LCDドットに関して、ゲートは、ゲート・ライン（GLy）と一般に呼ばれる行電極に接続されている。ソースは、ソース・ライン（SLx）と一般に呼ばれる列電極に接続されている。TFTトランジスタのドレインは、LCキャパシタンス（ドット・ノード）に接続されている。ドット・キャパシタンスの第2の極板は、共通の対電極（Vcom）に接続されている。TFTトランジスタのかなり大きな電荷漏れのために、追加の記憶コンデンサ（Cst）が必要であり、この記憶コンデンサ（Cst）は、一方の側がドット・ノードに接続され、他方の側が基準ノードに接続されている。通常、前のゲート・ライン（GLy-1）または次のゲート・ライン（GLy+1）が、容易にアクセスすることができるために、基準ノードとして使用される。ゲート・ラインに平行に走る特別の基準ラインを有することも可能であり、この特別の基準ラインは大抵の場合にVcomに接続される。前のゲート・ライン（GLy-1）か次のゲート・ライン（GLy+1）かのどちらかが記憶コンデンサ（Cst）の基準ノードとして使用されるときだけ、ブロック・ディム問題が起こる。以下で、前のゲート・ライン（GLy-1）が記憶コンデンサ（Cst）の基準ノードであるLCDパネルについて議論するが、与えられる解決策は、次のゲート・ライン（GLy+1）が基準ノードであるパネルに容易に適用することができる。

10

【0009】

様々なパターンをLCDパネルに与えることができるが、最もクリティカルなパターンは、VLに大きな戻り電流を発生させる非対称パターンである。1つのそのようなパターンは、いわゆるドードー・パターン（Dodo-pattern）であり、このドードー・パターンは、隣り合うドットのドット・オン、ドット・オフを意味する。LCDパネルが非対称パターンでドライブされるとき、LCDパネルに存在する列と行の間の寄生コンデンサが、大量の電荷をゲート・ドライバのゲート・オフ供給ライン（VL）に結合する。しかし、ゲート・オフ供給ライン（VL）の導電路抵抗が大きいために、ゲート・オフ供給ライン（VL）の放電は1ライン時間内に完了し得ない。

20

【0010】

この不完全な放電は、個々のドットのサンプル電圧の誤差の原因となる。というのは、ゲート・オフ供給ライン（VL）は、前にアドレス指定されたゲート・ライン（GLy-1）と記憶キャパシタンス（Cst）を介してドットに結合されているからである。サンプル電圧誤差は、LCDパネルのゲート・ドライバごとに違っている。というのは、全てのゲート・ドライバの見るゲート・オフ供給ライン（VL）抵抗は、別々の合計になるからである。サンプル電圧誤差は、LCDパネルに異なる階調をもたらす。階調の差は、ゲート・ドライバ間のちょうど縁でステップ的に発生するので、使用者の目は非常に容易に変化を検出し、したがって水平方向のブロック・ディムが感じられる。

30

【0011】

水平ブロック・ディムの問題を克服するいくつかの知られている解決策がある。

【0012】

第1に、グレイ・ブロック（gray block）間の変化のステップを減少しようと試みることができる。これは、1つのゲート・ドライバの最後のラインが見るゲート・オフ供給ライン（VL）抵抗を、次のゲート・ドライバの最初のラインが見るゲート・オフ供給ライン（VL）抵抗と合わせることによって達成される。目に見えるステップを生じさせないためには、与えられたゲート・ドライバに関して、最初の出力から最後の出力までのゲート・オフ供給ライン（VL）抵抗の増加は、徐々に起こらなければならない。このことは、ゲート・ドライバのゲート・オフ供給ライン（VL）抵抗がガラス上のゲート・オフ供給ライン（VL）導電路抵抗と一致していること、およびゲート・ドライバ抵抗の値がパネル内の位置（XGAの第1、第2または第3のデバイス）に依存してゲート・ドライバごとに異なることを必要とするかもしれない。ゲート・ドライバは同じ製造ルール（manufacturing reel）の製品であるので、ゲート・ドライバに対して異なる値は起こりえない。全てのゲート・ドライバで使用されるべきもののある程度平均値であるゲート・ドライバVL導電路を使用してステップを最小限にする方法でも

40

50

、やはり感知できるブロック・ディムが生じる。

【0013】

第2に、位置に依存した誤差を、より大きい位置に依存しない誤差に人工的にぼかす方法がある。これは、ゲート・オフ供給ライン(VL)のソース抵抗を、ガラス上の位置に依存したVL導電路抵抗ステップがソース抵抗に比べて無視できるほどになるような高い値に、上げることによって達成される。例として、2個のドライバ間のオン・ガラス抵抗が25Ωであれば、500Ωのゲート・オフ供給ライン(VL)・ソース抵抗の場合、各ゲート・ドライバが見るゲート・オフ供給ライン(VL)抵抗の相対的な差は小さいので、サンプル誤差の差も小さい。この方法によって、全てのドットに対してほぼ同じレベルにはあるが誤差の絶対値が増し、したがって、全LCDパネルの画面前面の性能は、

10

【0014】

上述の問題が起こるのを防止する第3の方法は、ラインごとに完全に滑らかな階調変化をつくることである。これは特定のドット配置で達成することができ、この場合には、キャパシタンス(Cst)は前または次のゲート・ラインに接続されないで、別個の追加のラインに接続される。キャパシタンス(Cst)に接続された追加のラインは、通常、共通電極電圧(Vcom)に接続される。したがって、この解決策について「CstからVcomに」という一般的な名称がある。この方式の主な有利点は、Vcom導電路抵抗がラインの完全なブロックに対して大きなステップで変化しないで、ラインごとに小さな増分で変化することである。この増分は規則正しくかつ小さいので、目で検出できない。しかし、この解決策の欠陥がある。開口比(AR)例えばドットの中の光透過領域と光阻止領域の比が、追加のラインによって減少する。さらに、全ての行の追加のVcomラインは、コンタクトでVcom加算ラインに接続する必要がある、この加算ラインはゲート・ラインとの交差を避けるように第2金属(second metal)で経路設定しなければならない。この追加のプロセス・ステップで、LCDパネルの歩留りが下がり、いっ

20

【発明の開示】

【発明が解決しようとする課題】

【0015】

したがって、本発明の目的は、努力を少なくしながら、ブロック・ディム効果が起こるのを防止することである。

30

【課題を解決するための手段】

【0016】

上記目的は請求項1の特徴により達成される。

【0017】

本発明は、きれいなゲート・オフ供給ライン(VL)がアドレス指定されたゲート・ラインの記憶コンデンサ(Cst)に供給されるべきであるという概念に基礎を置いている。ドットで正しい値をサンプリングするためには、現在アドレス指定されているラインだけが、その記憶コンデンサの基準端子にきれいな(誤差のない)ゲート・オフ供給ライン(VL)の接続を必要とするという観察に、本発明は基づいている。アドレス指定されたラインの記憶コンデンサが前のゲート・ライン(GL)に接続される場合、この前のゲート・ライン(GLy-1)だけが、誤差の無いゲート・オフ供給ライン(VL)を必要とする。記憶コンデンサが次のGLに接続される場合、その次のゲート・ライン(GLy+1)だけが誤差の無いゲート・オフ供給ライン(VL)を必要とする。全ての他の(アドレス指定されない)ラインは、完全には放電しないゲート・オフ供給ライン(VL)に接続された記憶キャパシタンス(Cst)を有するかもしれない。

40

【0018】

したがって、本発明の実施は、アドレス指定されたゲート・ラインGLyの記憶キャパシタンス(Cst)基準端子(パネルに依存してGLy-1またはGLy+1)を別個のきれいなゲート・オフ供給ラインに接続する回路にある。この別個のきれいなゲート・オ

50

フ供給ラインは、以下でV L c l e a nラインと名前をつける。全ての他のコンデンサ (C s t) は普通のV L 供給ラインに接続されたままである。V L c l e a nラインの抵抗は大きな問題ではない。というのは、一度に1つのラインだけがV L c l e a nラインに接続されているからである。V L c l e a nラインの戻り電流は、ゲート・オフ供給ライン (V L) の戻り電流の値の $\sim 1/n$ であり、したがって1ライン時間内に完全に放電することができる。その結果として、全てのラインは、正しい基準電圧がキャパシタンス (C s t) にある状態でサンプリングされる。

【0019】

このことは有利である。というのは、本発明はLCDパネルとドライバの間の抵抗一致を必要としないからである。したがって、本発明はどんなLCDパネル解決策にも使用することができ、またLCDパネル・プロセスの変動に対して耐性がある。さらに、本発明は、システムにどのような追加の誤差も追加しない。全てのアドレス指定されないラインの放電は、LCDパネルのゲート・オフ供給 (V L) 導電路抵抗で制限されるだけであり、その上、大きなソース抵抗で制限されない。このように、アドレス指定されない行の不完全な放電によって生じる、視野角の減少のような人工産物は、最小限になる。提案された解決策は、ラインごとの階調変化を同時に無くすることによって、上述の第3の方法のコストおよび性能の欠点が起こるのを防止する。したがって、本発明はゲート・オフ供給ライン (V L) で生じる誤差を適切な瞬間に適切な場所で賢明に除去すると要約することができる。提案された発明の主な有利点は、全てのアドレス指定されたラインは同一の値のキャパシタンス (C s t) 基準ラインでサンプリングされるので、ゲート・オフ供給ラインの不完全な放電で生じる水平方向のブロック・ディムが完全に取り除かれることである。これによって、LCDパネルの全ての行で、その位置およびどのドライバに接続されているかに関係なく、一様で正しいサンプル・ドット電圧が結果として得られるようになる。この解決策の小さな欠点は、LCDパネルの全てのゲート・ドライバに追加の導電路を必要とすることである。

【発明を実施するための最良の形態】

【0020】

本発明が適切に理解されるために、ここで例示として与えられるいくつかの実施形態を説明し、添付の図面を参照する。

【0021】

以下の図において、同じ参照数字は様々な図の同一部品を示すために使用される。

【0022】

図1は、本発明を実施しない従来技術で知られているPCBのない組立またはCOG組立に見られるような3個のゲート・ドライバGD1~GD3を有する完全XGA-LCDパネルを示す。全ての供給および制御信号 (V H、V L、V D D、G N D、C L K、D I S、S t a r t) は、T F T - L C Dパネルの能動面上に、LCDパネルの1つの隅からゲート・ドライバGD1~GD3に経路設定される。その結果として、ゲート・ドライバGD3の見る導電路抵抗は、ゲート・ドライバGD1の見るものの約3倍である。

【0023】

図2は、T F T - L C Dドットのモデルを示す。この構成では、ゲート・ラインG L yの記憶コンデンサC s tは前のゲート・ラインG L y - 1に接続されているが、このモデルは、C s tが次のラインG L y + 1に接続されている構成に対しても同様に使用することができる。今日のLCDパネルの大部分は、前のラインG L y - 1に接続されたコンデンサC s tを使用している。そのようなドット配置は、行ごとに追加のV c o mラインを使用することが無くなるので、広く使用されている。この行ごとの追加のV c o mラインの使用は、光透過、視野角、製造歩留り、コスト、その他に悪影響を及ぼす。

【0024】

コンデンサC l cは、液晶セルの静電容量である。C s t'は、C cと並列になった記憶コンデンサC s tを簡略化したものであり、このC s tは、G l y - 1とドットの間の重なりキャパシタンスである。静電容量C s g oは、ソース・ラインS L xとゲート・ラ

10

20

30

40

50

イン G L y の間の重なりキャパシタンスである。R g l は、ドット当たりのゲート・ライン抵抗である。一般的な値の例は、 $C l c = 250 \text{ fF}$ 、 $C s t = 175 \text{ fF}$ 、 $C c = 18 \text{ fF}$ 、 $C s t' = 193 \text{ fF}$ 、 $C s g o = 19 \text{ fF}$ 、 $R g l = 1 \Omega$ 、 $C g l = 109 \text{ fF}$ である。

【0025】

図3は、XGA-LCDパネルのブロック・ディム効果を示す。最もクリティカルなブロック・ディムは、「ドードー」・パターンと呼ばれる特殊な非対称パターンに関連して起こる。ドードー・パターンは、例えば白・黒・白・黒・白・黒などの値を連続した列で表示する。

【0026】

次の表は、ドットの輝度を、Vcomに対する印加電圧の極性+および-（上または下のガンマ曲線）を付けた1（白に対して）また0（黒に対して）として示す。この非対称パターンによって、列から行への容量結合のためにVL供給に大きな戻り電流が生じる。この大きな戻り電流は、個々のゲート・ドライバの局部VL供給に対して大きな外乱を引き起こす。VL導回路の有限なインピーダンスのために、局部VLの外乱は1ライン時間内に十分に減衰することができない。VLは全てのドット（Cstに接続された）で基準として使用されるので、ゲート・ドライバごとに異なるVLレベルは異なるグレイ値をもたらす。このことによって、結果として、図3に示すブロック・ディム効果が生じる。

【表1】

赤	緑	青	赤	緑	青	赤	緑	青...	
行1	1+	0-	1+	0-	1+	0-	1+	0-	1+...
行2	1-	0+	1-	0+	1-	0+	1-	0+	1-...
行3	1+	0-	1+	0-	1+	0-	1+	0-	1+...
行4	1-	0+	1-	0+	1-	0+	1-	0+	1-...
行5	1+	0-	1+	0-	1+	0-	1+	0-	1+...
行6	1-	0+	1-	0+	1-	0+	1-	0+	1-...

【0027】

ドードー・パターンに関して、全ての奇数列は白であり、全ての偶数列は黒である。行1の第1のピクセルは、3個のドットを含み、赤および青ドットを表示し（紫紅色）、第2のピクセルは緑を表示する。ドードー・パターンは目で灰色に知覚される。というのは、紫紅色と緑の光学的平均は灰色だからである。選択された極性反転方式のために、印加信号の極性は列ごとに、また行ごとに（ドットごとに）変化する。

【0028】

表が示すように、第1行のドットの半分は1+であり、他の半分は0-である。行2では、ドットの半分は1-であり、他の半分は0+である。「0」および「1」に対応する電圧レベルはガンマ曲線によって決定されるが、これを図4に示す。

【0029】

例えば「1」= Vcom + / - 0.5 V および「0」= Vcom - / + 5.0 V である場合、平均列電圧は、行1では Vcom = + 2.25 V であり、行2では Vcom = - 2.25 V である。したがって、平均列電圧は、ライン時間ごとに 4.5 V だけ跳ぶ。これが、ドードー・パターンが非対称パターンと呼ばれる理由である。

【0030】

図5aは、ソース・ラインSLからゲート・ラインGLへの容量結合の模式図を示す。全てのドットでの列と行の間の重なりキャパシタンスCsgoのために、平均列電圧のこの4.5Vの跳躍は、LCDパネルの全てのゲート・ラインGLyに容量的に結合する。キャパシタンスCglは、図2で説明したように、キャパシタンスCst'とClcの簡略化したものである。静電容量Csgoと静電容量Cglの比は、ほぼ1:5である。こ

10

20

30

40

50

のことは、ソース・ラインに存在するパルスの振幅の約 $1/6$ はゲート・ライン GL に結合することを意味する。一对の $TFT-LC$ セルに注目すると、ソース・ライン SL_{odd} とソース・ライン SL_{even} は、平均 $(SL_{odd} + SL_{even})/2$ で置き換えることができる。これを図 5 b に表す。したがって、ゲート・ラインに容量結合された電圧は、この例では $4.5V/6 = 750mV$ である。留意されたいことであるが、ドット極性反転ドライブ方式のために 2 つの隣り合う列で印加電圧の極性は反対であるので、パルス SL_{odd} および SL_{even} は位相がずれている。

【0031】

図 6 は、ドードー・パターンによる VL 導電路外乱のある模式的な $XGA-LCD$ パネルを示す。容量結合によってゲート・ライン GL に運ばれた電荷は、それから、ゲート・ドライバ ($GD1 \sim GD3$) の出力段 ($OUTx$) を通して、対応するゲート・ドライバの局部 VL (VL_1 、 VL_2 、 VL_3 、その他) に放電する。放電電流は、 VL LCD パネルの導電路の抵抗器 R_p を通過する。

10

【0032】

$XGA-LCD$ パネルの全ゲート・ライン・キャパシタンスは、一般に、 $257nF$ ($= 768 \text{ライン} \times 3072 \text{列} \times 109fF / \text{ゲート・ライン}$) であり、また平均 LCD パネル導電路抵抗は 50Ω である ($2 \times 25\Omega$ 、平均値は VL 供給から中間ゲート・ドライバ・デバイスまで)。放電過程に対しての結果として得られる RC 時定数は $12.9ms$ ($50\Omega \times 257nF$) であり、これは約 $20ms$ の XGA 行時間に非常に近い。このことは、放電過程は 1 行時間内に完了し得ないことを意味する。というのは、6 ビット LCD パネルの精度内で VL を放電するのに、一般に 6 タウが必要とされるからである。

20

【0033】

局部 VL の電圧は、個々の抵抗 R_p を流れる電流と同じ放電曲線を示す。したがって、 VL 供給に向う方のインピーダンスは場所に依存しているので (直列接続された R_p の数)、放電振幅および波形は VL_1 、 VL_2 、または VL_3 で非常に異なっている。

【0034】

図 7 は、ドードー・パターンが列に加えられたとき、 VL_1 、 VL_2 、および VL_3 に局部的な波形がある $XGA-LCD$ パネルを示す。図 7 で、能動ゲート・ライン GL_y が低くなる時、 VL_1 、 VL_2 および VL_3 の外乱はサンプリング点 t_{sample} で相違に異なることが明らかに目立っている。

30

【0035】

図 8 は、ドット電圧のサンプリングを示す。サンプリング点 t_{sample} で、ソース・ライン SL_x の電圧がドットでサンプリングされる。理想的な VL 値と異なる電圧 V_{GL_y-1} がドットに余分な電荷をもたらす、この余分な電荷は、 TFT トランジスタがいったんオフになると、静電容量 C_{st} および C_{lc} に保存される。 GL_y-1 の平均電圧は VL であるので、ドット・セルの平均電圧は、 $\Delta V_{dot} = -(V_{GL_y-1}(t_{sample}) - VL) \times C_{st} / (C_{st} + C_{lc})$ のオフセット電圧を得る。

【0036】

C_{st} および C_{lc} はほぼ同じであるので、平均ドット電圧は、サンプリング時に電圧 $V_{GL_y-1} - VL$ のほぼ半分のオフセット (誤差) を有する。 V_{GL_y-1} の外乱は、ゲート・ドライバの入力の局部 VL_1 ラインから VL_3 ラインまでの外乱に等しいので、ドットでの誤差は局部 VL 外乱に依存する。 VL 導電路抵抗は有限のステップでゲート・ドライバごとに増加するので、ドット誤差電圧 ΔV_{dot} は、また、2 個のゲート・ドライバ間の境界でステップを生ずる。誤差関数のこのステップは、目で検出することができ、図 3 に示す。この目に見える結果は、異なる強度の階調を有しかつ全てのゲート・ドライバデバイスの境界に対応する縁を有する水平方向ブロック・ディムである。

40

【0037】

ブロック・ディムをもたらす別の効果がある。第 2 のブロック・ディム効果は、どんなパターンでも起こり得る。これは第 1 のブロック・ディムほど強くなく、また通常人間の目で検出することができない。しかし、 LCD パネル上でチップ上に VL を不注意に供給

50

経路設定することで、または一般に大きな V_L 導電路抵抗によって、この効果が検出可能なレベルになることがある。 V_L に対する外乱の第2の原因は、ゲート・ドライバが「オフ」状態(V_L)に切り換わったときのゲート・ライン G_{Ly} の放電電流である。 G_{Ly} の電荷は、出力段を通して対応するゲート・ドライバの局部 V_L_x 供給に、それから V_L 導電路抵抗 R_p を通して V_L 供給に放電する。 G_{Ly} の切換え後の最初に、電荷の相当な部分が同じドライバの他のゲート・ライン全てに局部的に分散される。例えば、全ての選択されないゲート・ラインのキャパシタンスは、 V_L 減結合コンデンサとして作用する。この局部的な V_L 減結合によって、局部 V_L_x の外乱の振幅は大きく減少する。隣り合うゲート・ドライバの選択されないラインは、また、局部減結合キャパシタンスとしても作用し、さらに外乱の振幅を減少させる。

10

【0038】

図9は、局部 V_L_x ごとに3つのパルスを示す。第1のパルスは、デバイス・ゲート・ドライバ $GD1$ でドライブされた任意の GL が低くなっていくときの局部的な外乱を示す。第2のパルスは、ゲート・ドライバ $GD2$ からの GL が切り換わるときの局部的な外乱であり、第3のパルスはゲート・ドライバ $GD3$ からの GL が切り換わるときに生じる。 V_L 上の外乱またはスパイクは、ちょうどサンプリング時に生じる。 TFT は急速に閉じるので、誤差 $V_{G_{Ly}-1}(t_{sample}) - V_L$ の小部分だけがドットに注入される。しかし、いくつかの用途ではこれが目に見えるディムをもたらすことが起こり得る。

【0039】

図10は、追加の供給導電路 V_{Lclean} のあるLCDパネルを示し、ゲート・ドライバ $GD1 \sim GD3$ は模式的に示されている。ドロー・パターンの主な問題は、ゲート・ドライバデバイス(V_L_1 、 V_L_2 、 V_L_3 、その他)の局部供給がソース・ラインの結合から十分に速く回復しないことである。大きなLCDパネル抵抗と、LCDパネル・ゲート・ラインのキャパシタンスの大きな総量とによって、時定数は余りにも長くなる。この時定数は、实际的に減少させることができない。しかし、 V_L 誤差電圧は、サンプリング点でLCDパネルのアドレス指定されたラインの記憶コンデンサに対して悪影響を及ぼすだけである。アドレス指定されないラインがほぼラインごとに跳ぶ静電容量 C_{st} 基準電圧を有するかどうかは、2番目に重要なことに過ぎない。というのは、このことはドットのサンプリング動作を変えないからである。本発明は、この非凡な観察に基づいている。サンプリング点で正しいドット電圧を蓄積するためには、現在アドレス指定されているラインだけが、静電容量 C_{st} に接続されたきれいなすなわち誤差のない V_L ラインを必要とする。

20

30

【0040】

ゲート・ライン $G_{Ly}-1$ の放電にだけ専ら使用される追加の供給ラインをLCDパネル上に追加することで(C_{st} が前の GL に接続されている場合に)、ソース・ラインによってゲート・ライン $G_{Ly}-1$ に結合されるパルスは、非常に速く減衰できるようになる。というのは、放電する必要があるキャパシタンスは、全LCDパネル・キャパシタンスの $1/768$ (XGA パネルの場合)または $1/1024$ ($SXGA$ パネルの場合)に過ぎないからである。その結果として、 V_{Lclean} 供給導電路のLCDパネル導電路抵抗 R_{p2} は、 V_L のLCDパネル導電路抵抗 R_{p1} よりも相当に高くすることができる。同じ原理は、 V_{Lclean} をゲート・ライン $G_{Ly}+1$ に接続することによって次のゲート・ライン GL に接続された C_{st} を有するLCDパネルに適用することができる。

40

【0041】

図11aは、従来の2レベル・ゲート・ドライバの出力段アーキテクチャを示す。従来のゲート・ドライバでは、ゲート・ラインが選択されたとき、PMOSトランジスタ $MP1$ が導通する。このラインが選択されないとき、NMOSトランジスタ $MN1$ が導通する。

【0042】

図11bは、2つのゲート・オフ V_L 供給を有するゲート・ドライバの出力段アーキテクチャを示す。1つのPMOSトランジスタ $MP1$ および1つのNMOSトランジスタ M

50

N 1 の代わりに、追加の V l c l e a n ラインを有するゲート・ドライバには、1 つの P M O S M P 1 と 2 つの N M O S T (M N 1 および M N 2) がある。追加の V L c l e a n ラインのある出力段では、M P 1 のタイミングは従来のゲート・ドライバと同じになっている。しかし、M N 1 および M N 2 は、僅かに違ったようにドライブされる。図 1 2 に示すように、M N 2 は全位相 G L y - 1 で導通するので、ゲート・ライン G L y が選択されたとき、ゲート・ライン G L y - 1 は V L c l e a n ラインに接続される。全ての他の選択されない位相で M N 1 が導通するので、全ての他のゲート・ラインは V L に接続される。留意されたいことであるが、O U T x が V H から V L に切り換わるとき位相 G L y の終りで既に M N 1 をオンにするのがよいだろう。サンプリング点 (t s a m p l e) を決定するこの遷移は、通常、信号 D I S (「ディスエーブル」) または E O N (「出力イネーブル否定」) をアクティブ化することによって起こる。

10

【図面の簡単な説明】

【 0 0 4 3 】

【図 1】従来技術で知られている、供給導電路抵抗のある模式的な X G A - L C D パネルを示す図である。

【図 2】T F T - L C D ドット・モデルを示す図である。

【図 3】X G A - L C D パネルのブロック・ディム効果を示す図である。

【図 4】6 ビット分解能の場合のガンマ曲線を示す図である。

【図 5 a】ソース・ラインからゲート・ラインへの容量結合を示す模式図である。

【図 5 b】図 5 a のソース・ラインからゲート・ラインへの容量結合の簡略化を示す図である。

20

【図 6】ドロー・パターンによる V L 導電路外乱のある模式的な X G A - L C D パネルを示す図である。

【図 7】ピクセル電圧のサンプリング時における V L 導電路外乱の波形を示す図である。

【図 8】ドット電圧のサンプリングを示す図である。

【図 9】ゲート・ライン G L y 放電による V L 導電路外乱のある X G A - L C D パネルを示す図である。

【図 1 0】追加の供給導電路 V L c l e a n の付いた L C D パネルを示す図である。

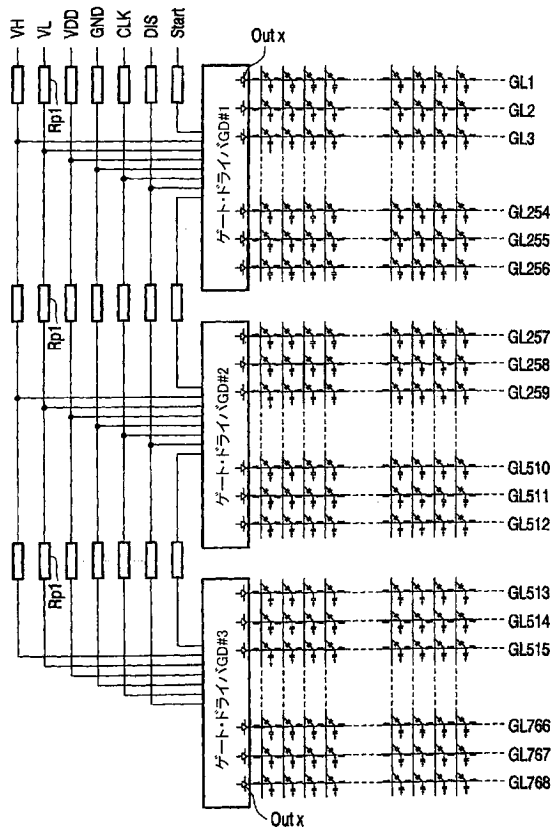
【図 1 1 a】最先端の出力段を示す図である。

【図 1 1 b】追加の供給ライン V l c l e a n のある出力段を示す図である。

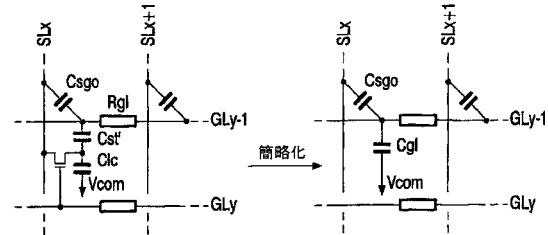
30

【図 1 2】提案された出力段を示すタイミング図である。

【図 1】



【図 2】



【図 3】

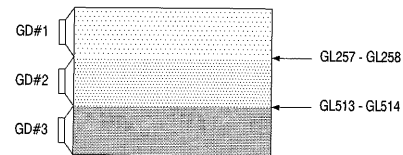
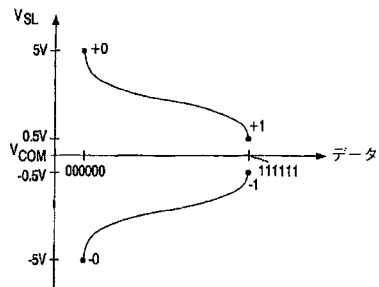
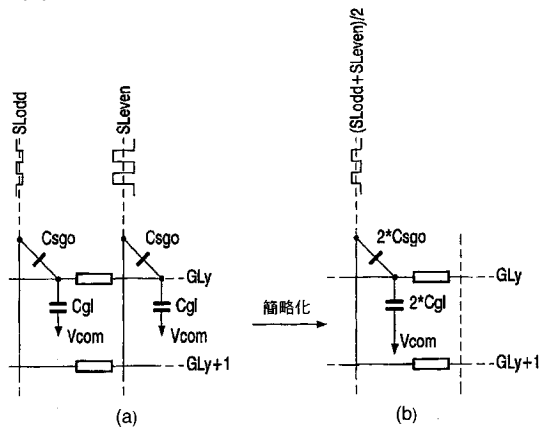


Fig.3

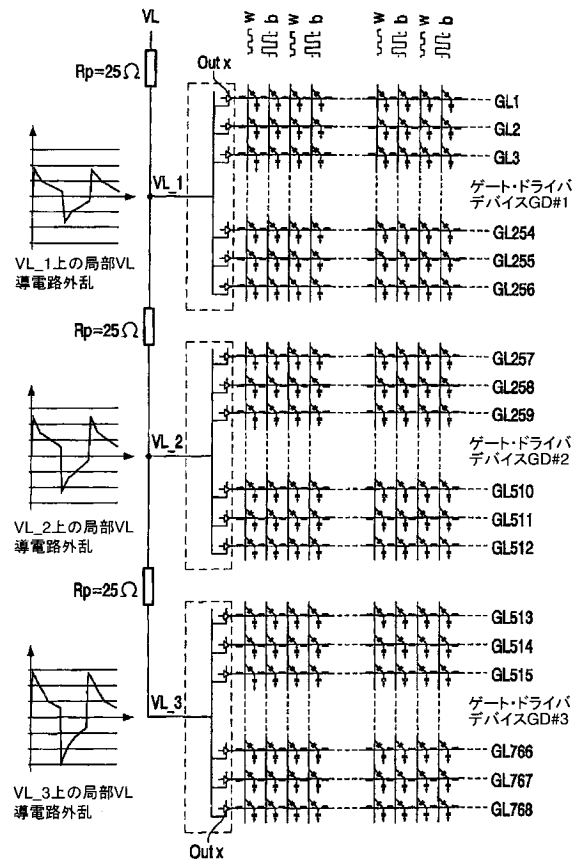
【図 4】



【図 5】



【図 6】



【 図 7 】

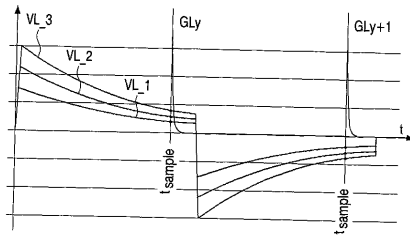


Fig.7

【 図 8 】

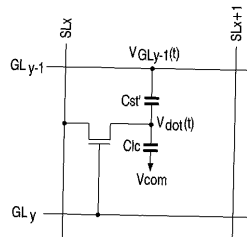
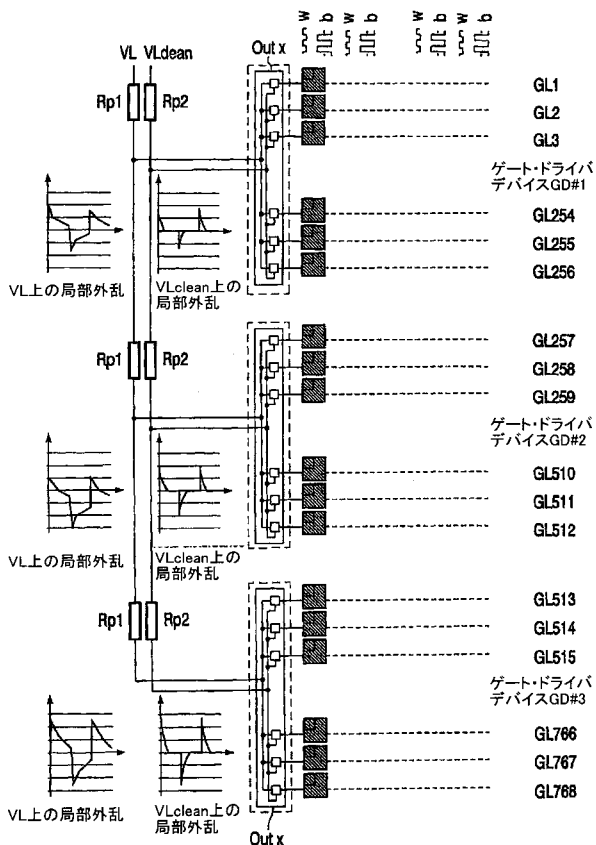


Fig.8

【 図 10 】



【 図 9 】

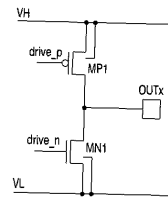
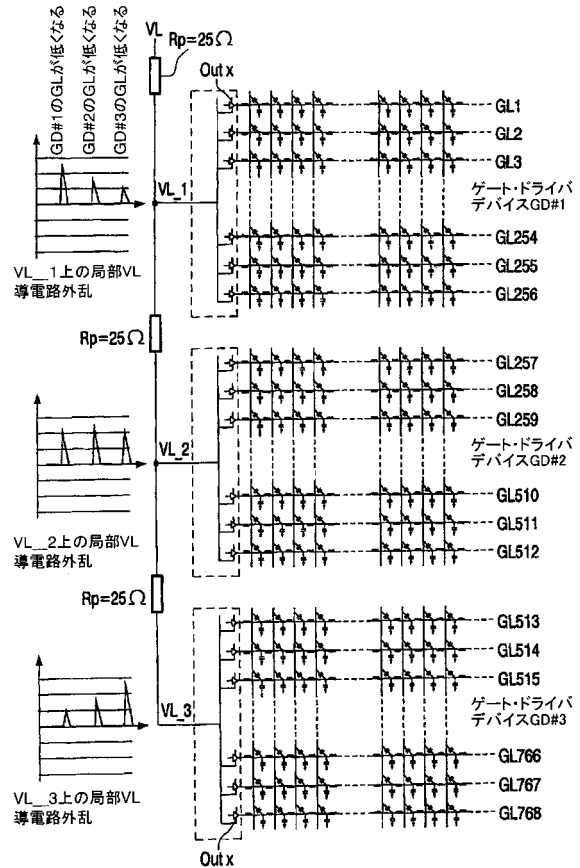


Fig.11a

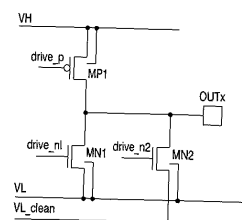


Fig.11b

【 図 12 】

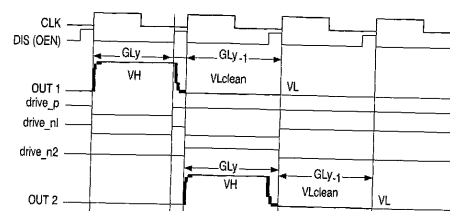


Fig.12

【国際調査報告】

INTERNATIONAL SEARCH REPORT		PCT/IB 03/05214
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 232 944 B1 (OKUNO TAKESHI ET AL) 15 May 2001 (2001-05-15) abstract column 1, line 43 -column 2, line 38 column 17, line 52 -column 18, line 21; figures 4,5 column 20, line 5 -column 21, line 32; figures 6,7 column 38, line 31 -column 41, line 54; figures 32-38	1 3-7
A	US 6 421 038 B1 (LEE HYUN CHANG) 16 July 2002 (2002-07-16) abstract column 6, line 8 -column 7, line 64; figure 5 column 7, line 65 -column 9, line 28; figures 6,7	1-7
	--- -/--	
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "Z" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
12 March 2004		23/03/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl. Fax: (+31-70) 340-3016		Authorized officer Wolff, L

INTERNATIONAL SEARCH REPORT

PCT/IB 03/05214

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 219 018 B1 (MATSUMOTO TOMOHIRO) 17 April 2001 (2001-04-17) column 4, line 61 -column 5, line 6; figure 4 column 6, line 12 -column 6, line 30; figures 1,2 -----	1,6,7

INTERNATIONAL SEARCH REPORT

PCT/IB 03/05214

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 6232944	B1	15-05-2001	JP 10161615 A	19-06-1998
			KR 264772 B1	01-09-2000
			TW 394917 B	21-06-2000
			US 6522318 B1	18-02-2003
			US 6633272 B1	14-10-2003
			US 6597337 B1	22-07-2003
US 6421038	B1	16-07-2002	KR 2000022668 A	25-04-2000
			DE 19944724 A1	03-08-2000
			FR 2783629 A1	24-03-2000
			GB 2341714 A ,B	22-03-2000
			JP 2000137247 A	16-05-2000
			US 2001033266 A1	25-10-2001
US 6219018	B1	17-04-2001	JP 2000035560 A	02-02-2000
			TW 518441 B	21-01-2003

フロントページの続き

(51) Int. Cl.	F I	テーマコード (参考)
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 2 1 M	
	G 0 9 G 3/20 6 2 2 A	
	G 0 9 G 3/20 6 2 2 G	
	G 0 9 G 3/20 6 8 0 G	

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100082991
弁理士 佐藤 泰和

(74) 代理人 100096921
弁理士 吉元 弘

(74) 代理人 100103263
弁理士 川崎 康

(74) 代理人 100107582
弁理士 関根 毅

(72) 発明者 マルティン、ダウム
ドイツ連邦共和国アーヘン、パイスハウスシュトラッセ、2、ケアオブ、フィリップス、インテ
クチュアル、プロパティ、アンド、スタンダーズ、ゲーエムベーハー

(72) 発明者 パスカル、プフシャヒャー
ドイツ連邦共和国アーヘン、パイスハウスシュトラッセ、2、ケアオブ、フィリップス、インテ
クチュアル、プロパティ、アンド、スタンダーズ、ゲーエムベーハー

F ターム(参考) 2H092 GA11 GA24 GA31 GA60 JA24 LA04 NA01 NA24 PA06
5C006 AC22 AC24 AF50 AF51 AF71 BB14 BB16 BC02 BC03 BC11
BC20 BC22 BC23 BF25 BF34 EB04 EB05 FA41
5C080 AA10 BB05 DD25 DD27 DD28 FF11 JJ03 JJ04 JJ05

专利名称(译)	显示减少“块暗淡”效果		
公开(公告)号	JP2006507533A	公开(公告)日	2006-03-02
申请号	JP2004554804	申请日	2003-11-18
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	マルティンダウム パスカルブフシャヒャー		
发明人	マルティン、ダウム パスカル、ブフシャヒャー		
IPC分类号	G09G3/36 G02F1/1343 G02F1/1345 G02F1/1362 G02F1/1368 G09G3/20		
CPC分类号	G09G3/3677 G09G3/3659 G09G3/3666 G09G2310/06 G09G2320/0233		
FI分类号	G09G3/36 G02F1/1343 G02F1/1345 G02F1/1362 G02F1/1368 G09G3/20.621.M G09G3/20.622.A G09G3/20.622.G G09G3/20.680.G		
F-TERM分类号	2H092/GA11 2H092/GA24 2H092/GA31 2H092/GA60 2H092/JA24 2H092/LA04 2H092/NA01 2H092/NA24 2H092/PA06 5C006/AC22 5C006/AC24 5C006/AF50 5C006/AF51 5C006/AF71 5C006/BB14 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BC22 5C006/BC23 5C006/BF25 5C006/BF34 5C006/EB04 5C006/EB05 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD25 5C080/DD27 5C080/DD28 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	耀希达凯贤治 弘吉 川崎靖		
优先权	2002102642 2002-11-25 EP		
其他公开文献	JP4615313B2		
外部链接	Espacenet		

摘要(译)

本发明一般涉及一种液晶显示面板，特别是，涉及一种液晶显示面板，其栅极驱动器（GD）被组装而不在印刷电路板（PCB）。这种技术是所谓的无PCB，在这种情况下，在栅极驱动器（GD）的布线不与常规的印刷电路板（PCB）进行，直接在LCD玻璃进行。本发明也可以应用到一个芯片上玻璃（COG）技术，在这种情况下，栅极驱动器（GD）直接连接到玻璃布线。同时保持努力和成本低，以防止暗淡效应发生的块，所以建议的附加管线（VLclean）添加到每个输出级（的OUTx），这种额外的线（VLclean）被的，它仅用来提供所选择的栅极线（GLY）的存储电容器（Cst中）的基准电位。所有其它（未选）栅线连接到正常栅极关断电源线（VL）。VLclean线被路由在LCD玻璃单独的导电通路，它连接到VL供给在玻璃端或输出功率的附近。

に向けられ、特に、ゲート回路基板（PCB）に向けられる。この場合、ゲート・ドリント回路基板（PCB）に直接に行われる。COG技術にも応用（GD）はガラス配びコストを低く保ちながらこのを防止するためのライン（VLclean）、この追加のライン（ゲート・ライン（GL）の基準電位を供給する（選択されない）ゲート供給ライン（VLラインは、LCDガラス定され、ガラス端部ま

