

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-91442

(P2006-91442A)

(43) 公開日 平成18年4月6日(2006.4.6)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 505	5C006
G09G 3/20 (2006.01)	G02F 1/133 575	5C080
	G09G 3/20 612R	
	G09G 3/20 621F	
審査請求 未請求 請求項の数 3 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2004-277108 (P2004-277108)
 (22) 出願日 平成16年9月24日 (2004.9.24)

(71) 出願人 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (74) 代理人 100102185
 弁理士 多田 繁範
 (72) 発明者 山田 泉樹
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 仲島 義晴
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 市川 弘明
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

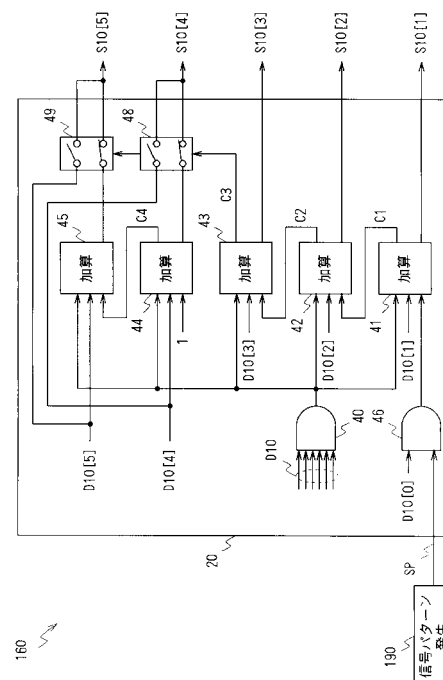
(54) 【発明の名称】 フラットディスプレイ装置

(57) 【要約】

【課題】 本発明は、フラットディスプレイ装置に関し、例えば液晶表示装置に適用して、FRCによる駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作を保証することができるようにする。

【解決手段】 本発明は、疑似階調の表示に係る変化パターンを示す信号パターンSPを生成し、疑似階調に係る画像データD10の下位側ビットD10〔0〕に応じてこの信号パターンSPの論理値を画像データD10の上位側ビットD10〔1〕～D10〔5〕に加算するようにして、この加算に供する上位側ビットD10〔1〕～D10〔5〕をさらに下位側D10〔1〕～D10〔3〕と上位側D10〔4〕、D10〔5〕に分けて処理する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

フレームを単位にして隣接画素との間で異なる変化パターンにより各画素の階調を変化させて、疑似階調による画像を表示するフラットディスプレイ装置において、
画素をマトリックス状に配置した表示部と、
前記表示部の画素をライン単位で順次選択する垂直駆動回路と、
前記垂直駆動回路による画素の選択に対応して前記表示部に駆動信号を出力する水平駆動回路と、
画像データを処理して前記水平駆動回路に出力するデータ処理回路とを備え、
前記データ処理回路は、
前記変化パターンを示す信号パターンを生成する信号パターン生成回路と、
前記画像データの疑似階調の表示に係る下位側ビットの論理値に応じて、対応する前記信号パターンの論理値を上位側ビットに加算して前記画像データを前記水平駆動回路に出力する変調回路とを備え、
前記変調回路は、
前記上位側ビットの下位側 P ビットに、前記疑似階調の表示に係る下位側ビットの論理値に応じて、対応する前記信号パターンの論理値を加算する下位側の加算回路と、
前記上位側ビットの前記下位側 P ビットを除く上位側 Q ビットについて、前記下位側の加算回路の最上位ビットでキャリーが発生した場合の加算結果を計算する上位側の加算回路と、
前記キャリーに応じて、前記上位側の加算回路による加算結果、前記上位側の Q ビットを選択的に出力する選択回路とを有し、
前記下位側の加算回路による加算結果と前記選択回路の選択結果とによる画像データを前記水平駆動回路に出力することを特徴とするフラットディスプレイ装置。

10

20

【請求項 2】

前記下位側 P ビットは、前記上位側 Q ビットに比してビット数が多く設定されたことを特徴とする請求項 1 に記載のフラットディスプレイ装置。

【請求項 3】

前記データ処理回路は、
各系統で対応する前記画素の前記変化パターンが同一となるように、対応する前記画素の前記変化パターンに応じて前記画像データを振り分けて複数系統により出力するシリアルパラレル変換回路を有し、
前記各系統毎に、前記変調回路、前記信号パターン生成回路が設けられたことを特徴とする請求項 1 に記載のフラットディスプレイ装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラットディスプレイ装置に関し、例えば液晶表示装置に適用することができる。本発明は、疑似階調の表示に係る変化パターンを示す信号パターンを生成し、疑似階調に係る画像データの下位側ビットに応じてこの信号パターンの論理値を画像データの上位側ビットに加算するようにして、この加算に供する上位側ビットをさらに下位側と上位側に分けて処理することにより、FRC による駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作を保證することができるようにする。

40

【背景技術】

【0002】

従来、液晶表示装置は、例えば特許第 2804686 号明細書等に、いわゆる FRC (Frame Rate Control) により高階調の画像を表示する方法が提案されている。

【0003】

50

ここでFRCは、図13に示すように、 $2n$ 階調と $2(n+1)$ 階調とで、1つの画素の階調をフレーム単位で切り換え、これにより人間の視覚特性による時間軸方向の積分効果を利用してこれら $2n$ 階調と $2(n+1)$ 階調との中間の $(2n+1)$ 階調を表現し、階調数の少ない液晶表示パネルを用いて高階調の画像を表示する方法である。FRCは、このように1つの画素の階調をフレーム単位で切り換えて、図13との対比により図14に示すように、空間方向の積分効果によってもこのような中間 $(2n+1)$ 階調を表現するように、垂直方向及び水平方向に連続する画素間で、このような階調の変化パターンを異ならせ、これにより人間の視覚特性による空間方向の積分効果を利用して、フリッカの発生を防止するようになされている。なお以下の説明において、このようにFRCの駆動によって視覚上の積分効果により生成される中間階調を疑似階調と呼び、またこのような疑似階調を表示するために各画素に設定される階調を真の階調と呼ぶ。 10

【0004】

このようなFRCによる液晶表示パネルの駆動は、図14との対比により図15に示すように、フレーム反転、ライン反転等による各画素への印加電圧の極性の切り換えに対して、このような階調の切り換えを2フレーム毎に実行し、これにより液晶への印加電圧の非対称化を防止することができると考えられる。なお図15においては、この極性を符号+及び-により示す。

【0005】

これらによりこのFRCによる従来の液晶表示装置は、表示対象の画像データを周辺回路に入力し、この画像データの下位ビットの値に応じて上位側ビットを変調し、この上位側ビットの画像データにより液晶表示パネルを駆動するようになされていた。 20

【0006】

ところで、近年、通常の液晶表示装置は、画素をマトリックス状に配置する絶縁基板上に水平駆動回路、垂直駆動回路等の駆動回路を一体に形成することにより、全体構成を簡略化し、さらには小型化、狭額縁化するようになされている。なお従来の液晶表示装置は、このような絶縁基板にガラス基板が適用される。これによりFRCによるディスプレイ装置においても、FRCに固有の周辺回路を水平駆動回路等と共に絶縁基板上に一体に形成することが望まれる。

【0007】

しかしながらFRCに固有の周辺回路を絶縁基板上に一体に形成する場合には、低温ポリシリコンTFT (Thin Film Transistor)、CGS (Continuous Grain Silicon) 等により半導体素子を作成することになり、これらの半導体素子は、シリコン基板による半導体素子に比して、動作速度が遅く、かつ動作速度のばらつきが大きい欠点がある。 30

【0008】

これに対して上述したように、FRCは、画像データの下位ビットの値に応じて上位側ビットを変調することが必要なことにより、表示パネルが高解像度化すればする程、画像データを高速度で処理することが必要となる。

【0009】

これらによりFRCによるフラットディスプレイ装置は、単にFRCに固有の周辺回路を絶縁基板上に一体に形成したのでは、確実な動作を保証できない問題があった。 40

【特許文献1】特許第2804686号明細書

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は以上の点を考慮してなされたもので、FRCによる駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作を保証することができるフラットディスプレイ装置を提案しようとするものである。

【課題を解決するための手段】

【0011】

かかる課題を解決するため請求項1の発明においては、フレームを単位にして隣接画素 50

との間で異なる変化パターンにより各画素の階調を変化させて、疑似階調による画像を表示するフラットディスプレイ装置に適用して、画素をマトリックス状に配置した表示部と、前記表示部の画素をライン単位で順次選択する垂直駆動回路と、前記垂直駆動回路による画素の選択に対応して前記表示部に駆動信号を出力する水平駆動回路と、画像データを処理して前記水平駆動回路に出力するデータ処理回路とを備え、前記データ処理回路は、前記変化パターンを示す信号パターンを生成する信号パターン生成回路と、前記画像データの疑似階調の表示に係る下位側ビットの論理値に応じて、対応する前記信号パターンの論理値を上位側ビットに加算して前記画像データを前記水平駆動回路に出力する変調回路とを備え、前記変調回路は、前記上位側ビットの下位側 P ビットに、前記疑似階調の表示に係る下位側ビットの論理値に応じて、対応する前記信号パターンの論理値を加算する下位側の加算回路と、前記上位側ビットの前記下位側 P ビットを除く上位側 Q ビットについて、前記下位側の加算回路の最上位ビットでキャリーが発生した場合の加算結果を計算する上位側の加算回路と、前記キャリーに応じて、前記上位側の加算回路による加算結果、前記上位側の Q ビットを選択的に出力する選択回路とを有し、前記下位側の加算回路による加算結果と前記選択回路の選択結果とによる画像データを前記水平駆動回路に出力する。

10

【0012】

請求項 1 の構成により、前記変調回路が、前記上位側ビットの下位側 P ビットに、前記疑似階調の表示に係る下位側ビットの論理値に応じて、対応する前記信号パターンの論理値を加算する下位側の加算回路と、前記上位側ビットの前記下位側 P ビットを除く上位側 Q ビットについて、前記下位側の加算回路の最上位ビットでキャリーが発生した場合の加算結果を計算する上位側の加算回路と、前記キャリーに応じて、前記上位側の加算回路による加算結果、前記上位側の Q ビットを選択的に出力する選択回路とを有し、前記下位側の加算回路による加算結果と前記選択回路の選択結果とによる画像データを前記水平駆動回路に出力するようにすれば、信号パターンの加算対象である画像データの上位側ビットを上位側 Q ビットと下位側 P ビットとに分けて同時並列的に処理することができる。これにより遅延時間が大きく、また遅延時間のばらつきが大きい場合であっても、確実に画像データを変調して処理することができ、これにより F R C による駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作を保証することができる。

20

30

【発明の効果】

【0013】

本発明によれば、F R C による駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作を保証することができる。

【発明を実施するための最良の形態】

【0014】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

【実施例 1】

【0015】

(1) 実施例の構成

図 1 は、本発明の実施例に係るフラットディスプレイ装置である液晶表示装置を示すブロック図である。この液晶表示装置 1 は、表示部 3 を形成する絶縁基板上に、表示部 3 の周辺回路を一体に形成し、F R C の駆動方式により、高階調の画像を表示する。これにより液晶表示装置 1 は、水平駆動回路等の半導体素子が T F T、C G S 等により形成される。

40

【0016】

すなわちこの液晶表示装置 1 は、絶縁基板であるガラス基板 2 上に、液晶による画素をマトリックス状に配置して表示部 3 が形成され、表示部 3 の上下にそれぞれ配置された水平駆動回路 4 O、4 E、表示部 3 の側方に配置された垂直駆動回路 5 によりこの表示部 3 を駆動してカラー画像を表示する。このため表示部 3 は、例えば水平方向に赤色、緑色、青色のカラーフィルタが各画素に順次循環的に設けられる。液晶表示装置 1 は、この表示

50

部 3 におけるカラーフィルタの配置に対応して 6 ビットによる各色データがラスタ走査の順序により順次循環的に繰り返されて表示に供する画像データ D 1 が生成され、この画像データ D 1 がマスタークロック、水平同期信号、垂直同期信号等と共に信号入力端子 6 から入力される。

【0017】

インターフェース (I F) 7 は、この信号入力端子 6 から入力される各種の信号を入力して各部に出力し、タイミングジェネレータ (T G) 8 は、このインターフェース 7 を介して入力されるマスタークロック、水平同期信号、垂直同期信号等よりこの液晶表示装置 1 の動作に必要な各種の動作基準信号を生成して出力する。垂直駆動回路 5 は、このタイミングジェネレータ 8 から出力される動作基準信号により動作して、表示部 3 を構成する各画素を順次ライン単位で選択する。

10

【0018】

液晶表示装置 1 では、この垂直駆動回路 5 によるライン単位の画素の選択に対応して水平駆動回路 4 O、4 E により各画素の信号線を駆動して所望の画像を表示する。このため液晶表示装置 1 では、信号入力端子 6 から入力した画像データ D 1 をデータ処理回路 1 0 により処理して水平駆動回路 4 O、4 E に振り分け、水平駆動回路 4 O、4 E により表示部 3 を駆動する。

【0019】

ここで図 2 は、このデータ処理回路 1 0 を示すブロック図である。ここでデータ処理回路 1 0 において、シリアルパラレル変換回路 1 1 は、水平方向に連続する画素を同一の疑似階調で表示するとした場合に、真の階調が同一の変化パターンを示すグループに順次入力される画像データ D 1 を振り分けて出力する。

20

【0020】

ここでこの実施例において液晶表示装置 1 は、6 ビットによる画像データ D 1 (D 1 [0] ~ D 1 [5]) の最下位ビットを D 1 [0] を疑似階調により表現するようになされており、これにより図 1 5 について上述したように、水平方向に連続する画素で真の階調を変化させる。すなわち水平方向、奇数番目の画素 A においては、連続する 4 フレームの先頭 2 フレームで 2 n 階調を表示し、続く 2 フレームで、2 (n + 1) 階調を表示する。また続く偶数番目の画素 B においては、これとは逆に、先頭 2 フレームで 2 (n + 1) 階調を表示し、続く 2 フレームで 2 n 階調を表示する。また続くラインの画素 C、D では、これらの関係を逆転させる。これによりこの実施例では、これら奇数番目及び偶数番目の画素に対応して、ラスタ走査の順序で順次入力される画像データを交互に奇数番目の画素に係る系統と偶数番目の画素に係る系統とに振り分けて出力する。

30

【0021】

すなわちシリアルパラレル変換回路 1 1 は、画像データ D 1 の各ビット D 1 [0] ~ D 1 [5] をそれぞれ振分回路 1 2 A ~ 1 2 F に入力する。ここで各振分回路 1 2 A ~ 1 2 F は、同一に構成され、画像データ D 1 の各ビット D 1 [0] ~ D 1 [5] をそれぞれレベルシフト回路 1 3 によりこのデータ処理回路 1 0 の処理に適した信号レベルにレベルシフトさせた後、D フリップフロップ回路 (D F F) 1 4、1 5 により交互にラッチする。これによりシリアルパラレル変換回路 1 1 は、画像データ D 1 の各ビット D 1 [0] ~ D 1 [5] をそれぞれ振分回路 1 2 A ~ 1 2 F により 2 系統の画像データ D 1 O 及び D 1 E に振り分けて出力する。

40

【0022】

F R C 処理回路 1 6 O 及び 1 6 E は、それぞれシリアルパラレル変換回路 1 1 から各系統の画像データ D 1 O 及び D 1 E を入力し、6 ビットによる各系統の画像データ D 1 O 及び D 1 E を F R C の駆動に供する 5 ビットの画像データ S 1 O 及び S 1 E に変換して出力する。

【0023】

ここで図 3 に示すように、F R C 処理回路 1 6 O は、疑似階調の表示における真の階調の変化パターンを示す信号パターン S P を信号パターン発生回路 1 9 O で生成し、画像デ

50

ータD1Oの最下位ビットD1O〔0〕の論理値に応じて、変調回路20により、この信号パターンSPの論理値を上位ビットD1〔1〕～D1〔5〕に加算し、これにより信号パターンSPで画像データD1Oの上位ビットD1O〔1〕～D1O〔5〕を変調してFRCの駆動による5ビットの画像データS1Oを生成する。

【0024】

ここでこの実施例においては、疑似階調で表示する場合に、真の階調が同一の変化パターンを示すグループに画像データD1O及びD1Eが振り分けられて、各FRC処理回路16O及び16Eに入力され、ここで信号パターンSPによりFRCの駆動に供する画像データS1O及びS1Eを生成することにより、それぞれFRC処理回路16O及び16Eにおける信号パターンSPにおいては、ライン単位で、論理値を切り換えれば良いことになる。これによりこの実施例では、FRCによる駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作を保証することができるようになされている。

10

【0025】

すなわち図4に示すように、図15について上述したように、水平方向に隣接する画素で異なる変化パターンにより真の階調を変化させて疑似階調を表現する場合、ラスタ走査の順序により入力される画像データD1（図4（A））にあっては、各ビット毎に、信号パターンSPを変化させることが必要になるのに対し（図4（B））、ガラス基板上に一体に形成された半導体素子により信号パターンを生成する場合には、遅延時間T1が発生し、またこの遅延時間T1のばらつきが大きくなる。

【0026】

これによりこのような信号パターンSPにより処理した画像データS1（図4（C））においては、クロックCK（図4（D））を基準にしてサンプリングして処理する場合等に、時間的なマージンを十分に確保できなくなり、これにより確実な動作を保証できなくなる。

20

【0027】

しかしながら図4との対比により図5に示すように、この実施例のように同一の変化パターン毎に振り分けて画像データD1O及びD1Eを処理する場合（図5（A）及び（C））、各グループにおいては、画像データD1O及びD1Eの各ビット毎の信号パターンSPの切り換えを省略して、ライン単位で信号パターンSPの論理値を切り換えればよく（図5（B）及び（D））、その分、時間的なマージンを十分に確保して、確実な動作を保証することができる。なおこれらの信号パターンSPにおける論理値の切り換えにあっては、図6（A）及び（B）に示すように、時間的に十分な余裕のある水平ブランキング期間により実行することができ、この場合も十分なマージンを確保することができる。

30

【0028】

ここで図7は、FRC処理回路16Oの信号パターン発生回路19Oを示すブロック図である。なおここで他の系統のFRC処理回路16Eは、信号パターンSPの論理値が異なる点を除いて、このFRC処理回路16Oと同一に構成されることにより、以下においては、FRC処理回路16Oに係る構成についてのみ詳細に説明する。ここで信号パターン発生回路19Oは、それぞれ水平同期信号HD及び垂直同期信号VDをTフリップフロップ回路（TFF）21、22に入力し、ここでそれぞれ水平同期信号HD、垂直同期信号VDをトリガにして信号レベルが切り換わるタイミング信号HDD、VDD、IVDDを生成する。信号パターン発生回路19Oは、アンド回路23により、Tフリップフロップ回路22から出力される垂直同期信号VDを基準にしたタイミング信号VDDによりゲートして、Tフリップフロップ回路21から出力される水平同期信号HDを基準にしたタイミング信号HDDをオア回路24に出力する。またインバータ回路25、26によりこの垂直同期信号VD、水平同期信号HDを基準にしたタイミング信号VDD、HDDの反転信号を生成し、これらの反転信号をアンド回路27を介してオア回路24に出力する。これにより信号パターン発生回路19Oは、オア回路24により、水平同期信号HD、垂直同期信号VDにより信号レベルが反転するタイミング信号を生成する。

40

【0029】

50

信号パターン発生回路 19 O は、T フリップフロップ回路 22 の反転出力 I V D D を T フリップフロップ回路 29 に入力し、これにより 2 フレーム毎に、垂直同期信号 V D に同期して信号レベルが切り換わるタイミング信号を生成する。信号パターン発生回路 19 O は、アンド回路 30 により、オア回路 24 の出力信号を T フリップフロップ回路 29 の出力信号によりゲートしてオア回路 31 に出力する。またインバータ回路 32 によりオア回路 24 の出力信号から反転信号を生成し、アンド回路 33 により、この反転信号を T フリップフロップ回路 29 の反転出力信号によりゲートしてオア回路 31 に出力する。これらにより信号パターン発生回路 19 O は、図 8 (A) ~ (C) に示すように、連続する 4 フレームのうちの先頭 2 フレームでは、奇数ラインで論理値が立ち上がり、偶数ラインで論理値が立ち下がり、続く 2 フレームでは、奇数ラインで論理値が立ち下がり、偶数ラインで論理値が立ち上がる信号パターン S P を生成する。 10

【0030】

これに対して他の系統の F R C 処理回路 16 E は、この信号パターン発生回路 19 O による信号パターン S P とは論理値が逆転した信号パターンを生成する。

【0031】

しかして変調回路 20 (図 3) は、画像データ D 1 O の最下位ビット D 1 O [0] が論理値 1 の場合、信号パターン S P の論理値を上位ビット D 1 [1] ~ D 1 [5] に加算し、これにより信号パターン S P で画像データ D 1 O の上位ビット D 1 O [1] ~ D 1 O [5] を変調して F R C の駆動に供する画像データ S 1 O を生成する。

【0032】

すなわち変調回路 20 において、アンド回路 40 は、画像データ D 1 O の各ビット D 1 O [0] ~ D 1 O [5] を入力することにより、画像データ D 1 O の全ビットが論理 0 以外の場合に、加算回路 41 ~ 45 に演算を指示する制御信号を出力する。アンド回路 46 は、信号パターン S P を画像データ D 1 O の最下位ビット D 1 O [0] によりゲートして出力し、これによりこの最下位ビット D 1 O [0] が論理 1 の場合に限り、信号パターン S P の論理値を加算回路 41 に出力する。 20

【0033】

加算回路 41 ~ 45 は、それぞれ画像データ D 1 O の最下位ビット D 1 O [0] を除く各ビット D 1 O [1] ~ D 1 O [5] に割り当てられ、アンド回路 40 から出力される制御信号が立ち上がっている場合、論理 1 の出力値 S 1 O (S 1 O [1] ~ S 1 O [5]) をそれぞれ出力する。またこれら加算回路 41 ~ 45 のうち、下位側 3 ビットの加算回路 41 ~ 43 は、アンド回路 46 から出力される制御信号の立ち上がりにより、画像データ D 1 O の下位側 3 ビット D 1 O [1] ~ D 1 O [3] に信号パターン S P の論理値を加算し、加算結果 S 1 O [1] ~ S 1 O [3] を出力する。すなわちこれら 3 ビット D 1 O [1] ~ D 1 O [3] のうちの最下位ビット D 1 O [1] の加算回路 41 は、この最下位ビット D 1 O [1] と信号パターン S P の加算結果による 1 ビット S 1 O [1] と、キャリー C 1 とを出力し、続く加算回路 42 は、対応する画像データ D 1 O の 1 ビット D 1 O [2] と下位側加算回路 41 によるキャリー C 1 とを加算して加算結果による 1 ビット S 1 O [2] とキャリー C 2 とを出力する。また続く加算回路 43 は、対応する画像データ D 1 O の 1 ビット D 1 O [3] と下位側加算回路 42 によるキャリー C 3 とを加算して加算結果による 1 ビット S 1 O [3] とキャリー C 3 とを出力する。 30 40

【0034】

これに対して上位側 2 ビット D 1 O [4]、D 1 O [5] の加算回路 44、45 は、下位側最上位の加算回路 43 にてキャリー C 3 が発生した場合の加算結果を計算して出力する。すなわちこれら加算回路 44、45 のうち、下位側の加算回路 44 は、対応する画像データ D 1 O の 1 ビット D 1 O [4] に論理 1 を加算して加算結果による 1 ビットとキャリー C 4 とを出力し、続く加算回路 45 は、対応する画像データ D 1 O の 1 ビット D 1 O [5] と加算回路 44 によるキャリー C 4 を加算して加算結果による 1 ビットを出力する。

【0035】

変調回路 20 は、これら加算回路 44、45 による下位側よりキャリー C3 が発生した場合による加算結果の 2 ビットと、これら加算回路 44、45 に入力される何ら下位側でキャリー C3 が発生しない場合による 2 ビットとを、下位側キャリー C3 の論理値に応じて選択回路 48、49 により選択し、この選択した 2 ビットを上位側 2 ビットの加算結果 S1O〔4〕、S1O〔5〕として出力する。

【0036】

これらにより変調回路 20 は、n ビットによる加算回路による加算処理において、上側所定ビットについては、下位側からキャリーが発生した場合の加算値を上側だけで加算して用意し、下位側のキャリーによりこの用意した加算値又何ら加算処理していない上位側ビットを出力するようにして、FRC による駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作を保証するようになされている。またこのときこのように事前の計算に係る上位側ビットのビット数を、下位側のビットに比して少ないビット数に設定することにより、下位側ビットの加算処理の完了により、全てのビットの加算結果を確実に出力できるようになされている。

10

【0037】

すなわちこのように所定ビットの画像データの最下位ビットの信号パターン SP の論理値を加算処理する場合には、上位側ビットにおいては、下位側ビットからのキャリーを処理することが必要なことにより、下位側ビットの処理を待って加算処理することになる。これにより上位側になればなる程、遅延時間が増大し、また遅延時間のばらつきも大きくなる。これによりクロック CK を基準にして加算結果をサンプリングして処理する場合等に、時間的なマージンを十分に確保できなくなり、これにより確実な動作を保証できなくなる。

20

【0038】

しかしながらこの実施例のように、下位側所定ビットの加算処理と同時並列的に、キャリーが発生した場合の加算結果を上位側ビットで計算して用意し、下位側のキャリーによりこの用意した加算値又何ら加算処理していない上位側ビットを選択出力すれば、この事前の用意に係る上位側ビットについては、下位側ビットに対する遅延時間の発生をほぼ 0 に設定することができ、これにより FRC による駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作を保証することができるようになされている。

【0039】

また特に、このように事前の計算に係る上位側ビットのビット数を、下位側のビットに比して少ないビット数に設定すれば、下位側ビットの加算処理の完了により、全てのビットの加算結果を確実に出力することができ、これにより FRC による駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作を保証することができるようになされている。

30

【0040】

これらの処理により FRC 処理回路 16O 及び 16E は、それぞれ 6 ビットによる画像データ D1O 及び D1E を、FRC 駆動に係る 5 ビットの画像データ S1O 及び S1E に変換して出力する（図 2）。位相調整回路 51 は、FRC 処理回路 16O 及び 16E から出力される画像データ S1O 及び S1E を位相合わせして出力する。

40

【0041】

すなわち図 9 に示すように、順次入力される画像データ D1（図 9（A））をクロック CK（図 9（B））により 2 系統に振り分けて、そのうちの 1 系統による画像データ D1O（図 9（C））を FRC 処理回路 16O により処理する場合、処理結果による加算結果 S1O〔1〕～S1O〔5〕（図 9（D1）～（D5））においては、順次遅延して出力される。これによりこれらの加算結果を処理する場合に、サンプリングのマージンが減少することになる。

【0042】

このため位相調整回路 51 は、画像データ S1O 及び S1E の各ビット出力を D フリップフロップ回路 52 に入力し、ここでこれら各ビット出力をクロック CK によりラッチし

50

て出力する（図 9（E1）～（E5））。これによりこの実施例では、サンプリングクロック SCK によりサンプリングして処理する場合に（図 9（F））、各ビットにおけるマージンが一樣となるように設定し、これによっても FRC による駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作を保証することができるようになされている。

【0043】

しかしてデータ処理回路 10 は、このようにして位相調整した各ビット出力をレベル調整回路 53 に入力し、各ビット出力をレベルシフト回路 54 によりレベルシフトさせて出力する。

【0044】

水平駆動回路 40 及び 4E は、それぞれ表示部 3 の水平方向に連続する画素のうち、奇数列及び偶数列の画素に対して駆動信号を出力するように表示部 3 に接続され、これに対応してデータ処理回路 10 から奇数列及び偶数列に係る画像データ dO 及び dE を入力して駆動信号を生成する。なお水平駆動回路 40 及び 4E は、処理対象の画像データ、駆動信号の出力対象が異なる点を除いて、同一に構成されることにより、以下においては、水平駆動回路 40 についてのみ構成を説明し、水平駆動回路 4E についての重複した説明は省略する。

【0045】

すなわち水平駆動回路 40 は、画像データ dO をサンプリングするサンプリングクロック SCK を水平シフトレジスタ 63 により順次転送しながら、この水平シフトレジスタ 63 で転送しているサンプリングクロック SCK により画像データ dO をサンプリングラッチ回路 64 により順次ラッチした後、線順次化ラッチ回路 65 に転送する。これにより水平駆動回路 40 は、ラスタ走査の順序により順次連続する画像データ dO をライン単位で取り込む。

【0046】

ディジタルアナログ変換回路（DA）66 は、この線順次化ラッチ回路 65 に取り込んだ画像データにより、VCOM 制御回路 67 により制御されて極性を切り換える基準電圧 V0～V31 を選択し、各信号線の駆動信号を生成して出力する。

【0047】

すなわち図 10 に示すように、基準電圧生成回路 68 は、抵抗 R1～R31 を直列接続した直列回路により原基準電圧を分圧して複数の基準電圧 V0～V31 を生成する。基準電圧生成回路 68 は、図 11 に示すように、VCOM 制御回路 67 から出力される制御信号 $\phi 1$ 、 $\phi 2$ 、この制御信号 $\phi 1$ 、 $\phi 2$ の反転信号 $x\phi 1$ 、 $x\phi 2$ により動作を切り換えるスイッチ回路 69～72 により、この直列回路により分圧する原基準電圧の極性をライン毎に切り換える。

【0048】

ディジタルアナログ変換回路 66（図 10）は、この水平駆動回路 40 の駆動に係る信号線 SIG に対応して複数のディジタルアナログ変換部 74 が設けられ、各ディジタルアナログ変換部 74 に、線順次化ラッチ回路 65 に取り込んだ画像データ dO（dO〔1〕～dO〔5〕）をそれぞれ入力する。ここでディジタルアナログ変換部 74 は、TF T の直列回路によるスイッチ回路により画像データ dO（dO〔1〕～dO〔5〕）の論理値に応じて基準電圧生成回路 68 から出力される基準電圧 V0～V31 を選択して出力する。

【0049】

これらにより水平駆動回路 40 は、図 12 に示すように、基準電圧の極性をライン単位で切り換えて（図 12（A））、4 フレーム周期により隣接画素と異なるパターンにより各画素の階調を切り換えるようになされている。図 12（D1）～（D4）は、図 15 において符号 A～D により示す水平方向及び垂直方向の連続する 2×2 画素を 2 階調により表示する場合の、これら画素 A～D の印加電圧の変化であり、図 12（B）及び（C）は、これら 2×2 画素に係る各ラインの画素の選択を指示する垂直駆動回路 5 によるゲート

10

20

30

40

50

信号 G 1 及び G 2 である。

【0050】

(2) 実施例の動作

以上の構成において、この液晶表示装置 1 では (図 1)、赤色、緑色、青色の色データの繰り返しによる画像データ D 1 がラスタ走査の順序により順次入力され、この画像データ D 1 がインターフェース 7 を介してデータ処理回路 10 に入力され、ここで水平駆動回路 4 O 及び 4 E に振り分けられる。液晶表示装置 1 では、このようにして水平駆動回路 4 O 及び 4 E に入力される画像データ d O 及び d E により各水平駆動回路 4 O 及び 4 E で表示部 3 の各信号線の駆動信号が生成され、垂直駆動回路 5 によりライン単位で選択される表示部 3 の各画素がこの駆動信号により駆動されて表示部 3 にカラー画像が表示される。

10

【0051】

液晶表示装置 1 では、このような駆動に係る各画素が、フレームを単位にして隣接画素との間で異なる変化パターンにより階調が変化するように駆動されて、これにより F R C 駆動により疑似階調が表示される。

【0052】

この液晶表示装置 1 では、この F R C による駆動に対応するように、データ処理回路 10 において、順次入力される画像データ D 1 が、シリアルパラレル変換回路 11 により、各系統で変化パターンが同一となるように、対応する画素の変化パターンに応じて複数系統に振り分けられる。この実施例では、6 ビットの画像データ D 1 の最下位ビット D 1 [0] を疑似階調により表示することにより、画像データ D 1 は、2 系統の画像データ D 1 O 及び D 1 E に振り分けられる。しかしてこのようにして振り分けられた画像データ D 1 に係る各系統の変化パターンにあっては、それぞれラインを単位にして論理値が切り換わることになる。

20

【0053】

液晶表示装置 1 では、これら各系統の画像データ D 1 O 及び D 1 E がそれぞれ F R C 処理回路 16 O 及び 16 E に入力され、ここでこれら各系統の変化パターンを示す信号パターン S P が信号パターン発生回路 19 O 及び 19 E により生成される (図 3)。しかしてこの信号パターン S P においては、変化パターンに対応してそれぞれラインを単位にして論理値が切り換わるように形成すればよく、これによりこの実施例においては、この信号パターン S P に係る遅延時間の発生、遅延時間のばらつきに対して時間的に十分なマージンを確保することができるようになされている。これにより液晶表示装置 1 においては、F R C による駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作を保証することができるようになされている。

30

【0054】

この信号パターン S P は、疑似階調の表示に係る画像データ D 1 O 及び D 1 E の最下位ビットによりアンド回路 46 でゲートされて加算回路 41 に出力され、これによりこの疑似階調の表示に係る下位側ビットの論理値に応じて、対応する信号パターン S P の論理値が画像データ D 1 O 及び D 1 E の上位側ビットに加算されて系統の画像データ S 1 O 及び S 1 E が生成される。しかしてこのような疑似階調の処理に係る加算処理においては、下位側ビットで発生したキャリーを上位側ビットで処理することが必要なことにより、遅延時間の発生を避け得ず、この実施例のようにガラス基板上に形成する場合には、この遅延時間が大きく、またばらつくことになり、後段の処理において、十分な時間的マージンを確保できなくなる。

40

【0055】

このためこの実施例においては、この加算処理による画像データ S 1 O 及び S 1 E が位相調整回路 51 により位相合わせされて画像データ d O 及び d E によりそれぞれ水平駆動回路 4 O 及び 4 E に入力される。これによりこの実施例にあっては、水平駆動回路 4 O 及び 4 E の処理においても、十分な時間的なマージンを確保できるように設定され、これにより F R C による駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作

50

を保証することができるようになされている。

【0056】

また加算処理に係る遅延時間にあつては、上述したように、下位側ビットで発生したキャリーを上位側ビットで処理することが必要なことにより、上位側ビット程、遅延時間が大きくなり、また遅延時間がばらつくことになり、これによっても十分な時間的マージンを確保できなくなる。すなわちこの場合は、上位側ビットで加算処理に時間の余裕がなくなる。

【0057】

このためこの実施例では、変調回路20において、疑似階調の表示に係る下位側ビットの論理値に応じて、対応する信号パターンSPの論理値を上位側ビットに加算して画像データを変調するようにして、下位側の加算回路41～43により、この上位側ビットの下位側Pビットに、疑似階調の表示に係る下位側ビットの論理値に応じて、対応する信号パターンSPの論理値を加算する。また上位側の加算回路44、45により、この上位側ビットの下位側Pビットを除く上位側Qビットについて、下位側の加算回路41～43の最上位ビットでキャリーC3が発生した場合の加算結果を計算し、実際に、最上位ビットでキャリーC3が発生した場合、上位側の加算回路44、45による加算結果を選択して下位側の加算回路41～43による加算結果と共に出力し、キャリーC3が発生しない場合には、上位側の加算回路44、45に入力される上位側のQビットを選択して下位側の加算回路41～43による加算結果と共に出力する。

【0058】

これによりこの液晶表示装置1においては、上位側ビットQと下位側ビットPとの加算処理を同時並列的に実行して加算処理に要する時間を短くすることができ、これにより加算処理に関して時間的に十分なマージンを確保することができるようになされ、FRCによる駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作を保証することができるようになされている。

【0059】

またこのようにして上位側ビットQと下位側ビットPとに分けて処理するようにして、上位側ビットQのビット数を下位側ビットPに比して少ないビット数に設定することにより、実際に、下位側ビットPの最上位ビットでキャリーC3が発生して、上位側の加算回路44、45による加算結果を選択して出力する場合に、全てのビットの加算結果を確実に出力することができるようになされ、これによってもFRCによる駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作を保証することができるようになされている。

【0060】

このようにして水平駆動回路40及び4Eに入力された画像データdO及びdEは、水平シフトレジスタ63により順次転送されるサンプリングクロックSCKにより、サンプリングラッチ回路64、線順次化ラッチ回路65にライン単位で取得され、これにより表示部3の各信号線SIGの系統に振り分けられる。またこのようにして振り分けられた画像データがディジタルアナログ変換回路66の各ディジタルアナログ変換部74によりアナログ信号に変換されて駆動信号が生成され、水平駆動回路40においてはこの駆動信号が表示部3の水平方向、奇数番目の画素に出力されるのに対し、水平駆動回路4Eにおいてはこの駆動信号が表示部3の水平方向、偶数番目の画素に出力され、これにより液晶表示装置1では、データ処理回路10により各系統に振り分けた画像データにより対応する系統の画素が駆動されてカラー画像が表示される。

【0061】

(3) 実施例の効果

以上の構成によれば、疑似階調の表示に係る変化パターンを示す信号パターンを生成し、疑似階調に係る画像データの下位側ビットに応じてこの信号パターンの論理値を画像データの上位側ビットに加算するようにして、この加算に供する上位側ビットをさらに下位側と上位側に分けて処理することにより、FRCによる駆動方式に関して、周辺回路を絶

縁基板上に一体に形成して確実な動作を保証することができる。

【0062】

またこのように分ける下位側ビットのビット数を上位側ビットのビット数より多く設定することにより、下位側の最上位ビットでキャリーが発生して、上位側の加算結果を選択して出力する場合に、全てのビットの加算結果を確実に出力することができ、これによってもFRCによる駆動方式に関して、周辺回路を絶縁基板上に一体に形成して確実な動作を保証することができる。

【0063】

またこのように信号パターンを生成して加算するようにして、同一の変化パターンによる系統に画像データを振り分けて各系統毎に処理することにより、信号パターンの論理値の切り換わりによる遅延時間の発生を変調回路の処理では何ら問題とならないようにすることができ、これによりさらに一段と確実に動作を保証することができる。

【実施例2】

【0064】

なお上述の実施例においては、画像データの最下位1ビットを疑似階調により表現する場合について述べたが、本発明はこれに限らず、種々のビット数を疑似階調により表現する場合に広く適用することができる。

【0065】

また上述の実施例においては、ガラス基板に周辺回路を一体に形成する場合について述べたが、本発明はこれに限らず、種々の絶縁基板上に周辺回路を一体に形成する場合に広く適用することができる。

【0066】

また上述の実施例においては、本発明を液晶表示装置に適用した場合について述べたが、本発明はこれに限らず、有機EL素子による表示装置等、種々のフラットディスプレイ装置に広く適用することができる。

【産業上の利用可能性】

【0067】

本発明は、フラットディスプレイ装置に関し、例えば液晶表示装置に適用することができる。

【図面の簡単な説明】

【0068】

【図1】本発明の実施例に係る液晶表示装置を示すブロック図である。

【図2】図1の液晶表示装置におけるデータ処理回路を示すブロック図である。

【図3】図2のデータ処理回路におけるFRC処理回路を示すブロック図である。

【図4】画像データを振り分けない場合の処理の説明に供するタイムチャートである。

【図5】図2のデータ処理回路におけるシリアルパラレル変換回路の動作の説明に供するタイムチャートである。

【図6】信号パターンの論理値の切り換わりを示すタイムチャートである。

【図7】図3のFRC処理回路における信号パターン発生回路を示すブロック図である。

【図8】図7の信号パターン発生回路の動作の説明に供するタイムチャートである。

【図9】図3のFRC処理回路における変調回路の動作の説明に供するタイムチャートである。

【図10】水平駆動回路の一部構成を示す接続図である。

【図11】基準電圧の極性の切り換えの説明に供するタイムチャートである。

【図12】各画素の駆動の説明に供するタイムチャートである。

【図13】FRCの説明に供する略線図である。

【図14】FRCにおける隣接画素との関係を示す略線図である。

【図15】画素への印加電圧の極性の切り換えとの関係を示す略線図である。

【符号の説明】

【0069】

10

20

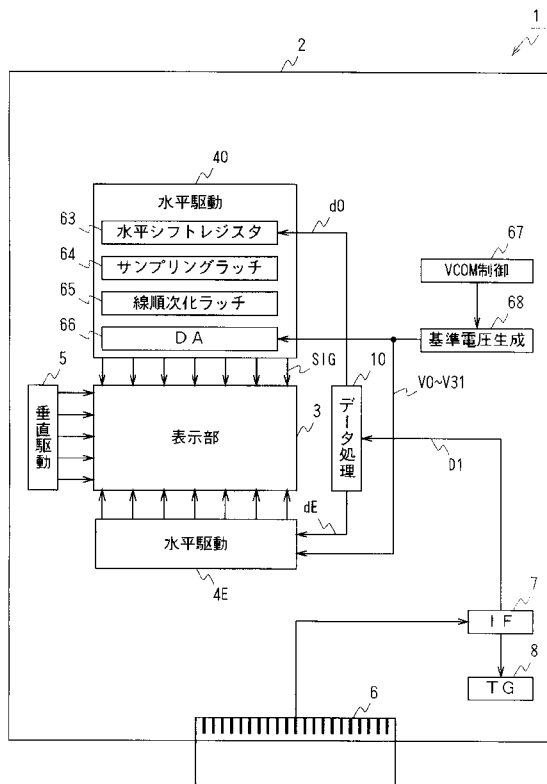
30

40

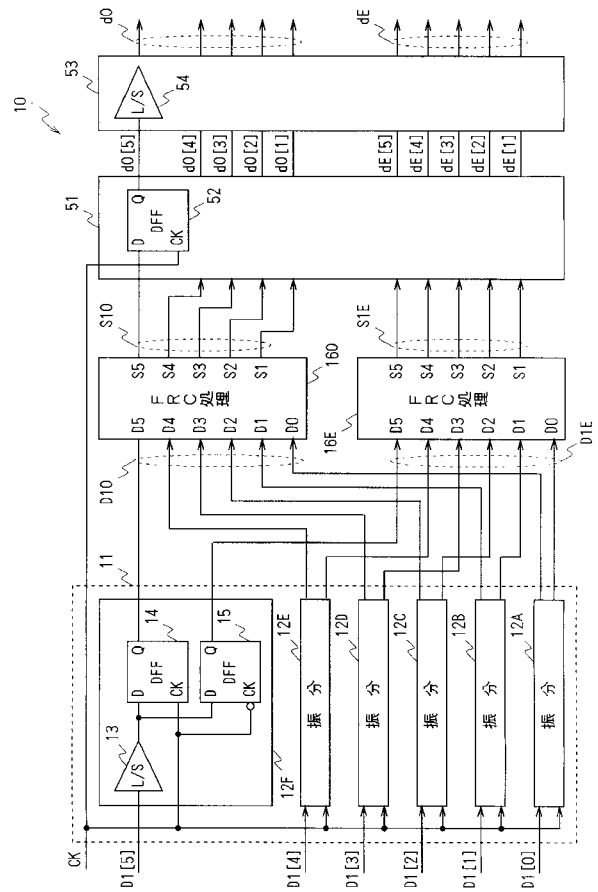
50

1 ……液晶表示装置、2 ……ガラス基板、3 ……表示部、4 E、4 O ……水平駆動回路、5 ……垂直駆動回路、1 0 ……データ処理回路、1 1 ……シリアルパラレル変換回路、1 2 A～1 2 F ……振分回路、1 6 O、1 6 E ……F R C 処理回路、1 9 O ……信号パターン発生回路、2 0 ……変調回路、4 1～4 5 ……加算回路、4 8、4 9 ……選択回路

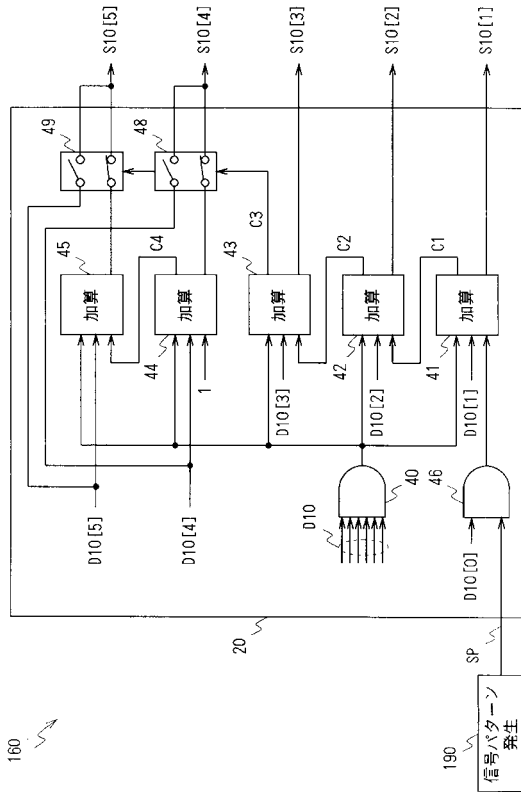
【図 1】



【図 2】

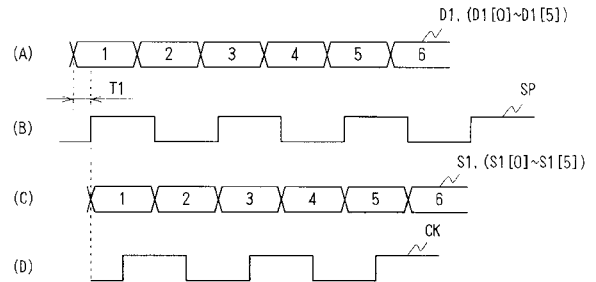


【図 3】

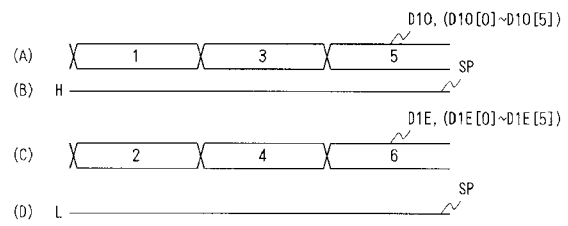


180

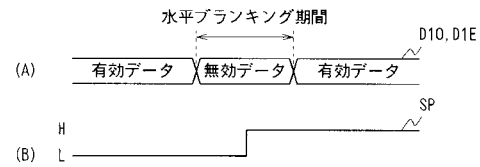
【図 4】



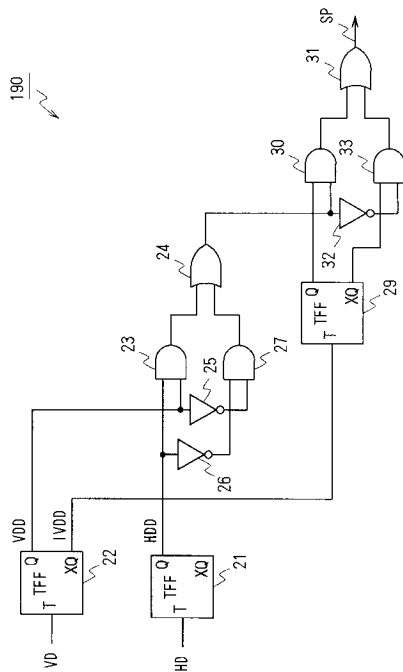
【図 5】



【図 6】

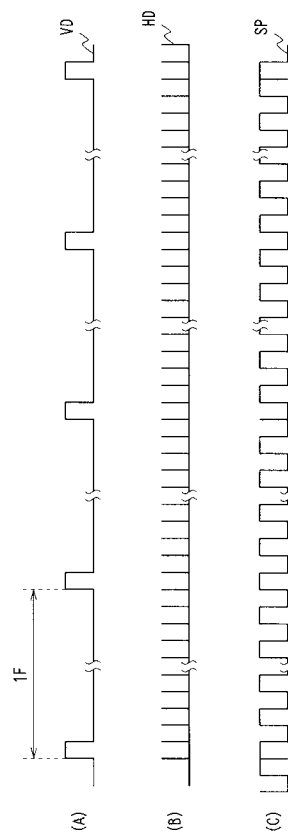


【図 7】

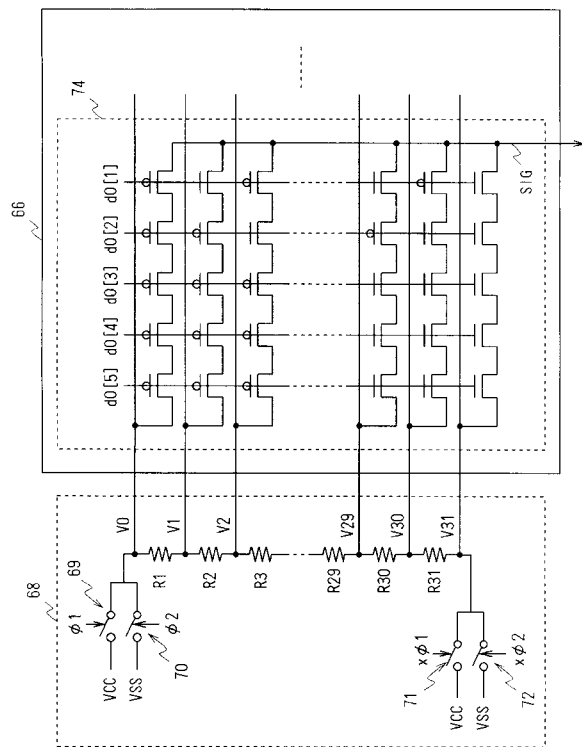


190

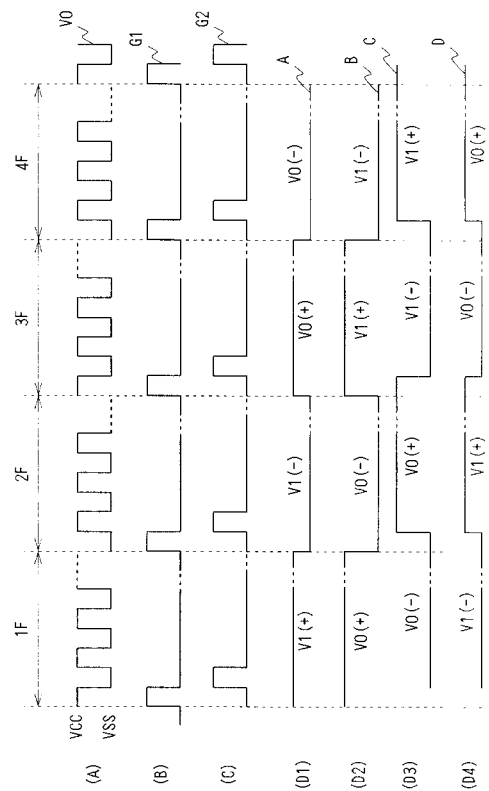
【図 8】



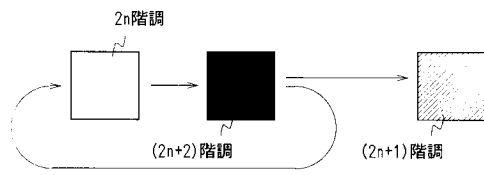
【 図 1 0 】



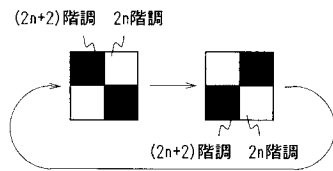
【图 1 2】



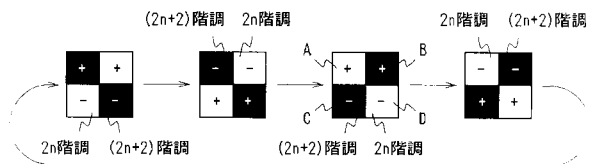
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 2 A
	G 0 9 G 3/20	6 2 3 A
	G 0 9 G 3/20	6 2 3 J
	G 0 9 G 3/20	6 3 2 F
	G 0 9 G 3/20	6 4 1 E

(72)発明者 木田 芳利

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 2H093 NA51 NC09 NC11 NC22 NC24 NC34 ND60 NE01 NE06
5C006 AA14 AF25 AF44 AF51 AF53 AF61 AF71 BC03 BC11 BC16
BC20 BF13 BF14 BF24 BF28 FA11 FA56
5C080 AA06 AA10 BB05 DD04 DD08 DD28 EE29 JJ02 JJ03 JJ04

专利名称(译)	平板显示设备		
公开(公告)号	JP2006091442A	公开(公告)日	2006-04-06
申请号	JP2004277108	申请日	2004-09-24
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山田泉樹 仲島義晴 市川弘明 木田芳利		
发明人	山田 泉樹 仲島 義晴 市川 弘明 木田 芳利		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.575 G09G3/20.612.R G09G3/20.621.F G09G3/20.622.A G09G3/20.623.A G09G3/20.623.J G09G3/20.632.F G09G3/20.641.E		
F-TERM分类号	2H093/NA51 2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC24 2H093/NC34 2H093/ND60 2H093/NE01 2H093/NE06 5C006/AA14 5C006/AF25 5C006/AF44 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF71 5C006/BC03 5C006/BC11 5C006/BC16 5C006/BC20 5C006/BF13 5C006/BF14 5C006/BF24 5C006/BF28 5C006/FA11 5C006/FA56 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD04 5C080/DD08 5C080/DD28 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZD21 2H193/ZP01		
外部链接	Espacenet		

摘要(译)

平板显示装置及FRC的驱动方法技术领域本发明涉及例如应用于液晶显示装置的平板显示装置及FRC的驱动方法，其中，在绝缘基板上一体形成外围电路以确保可靠的动作。要做。根据本发明，生成指示与伪灰度显示有关的改变图案的信号图案SP，并且根据与伪灰度有关的图像数据D10的低位D10 [0]来生成信号图案SP的信号图案SP。逻辑值被加到图像数据D10的高位比特D10 [1]至D10 [5]，并且用于该加法的高位比特D10 [1]至D10 [5]进一步为低位D10 [1]。～D10 [3]和上侧D10 [4]，D10 [5]分别进行处理。[选择图]图3

