

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-309437

(P2005-309437A)

(43) 公開日 平成17年11月4日(2005.11.4)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G09G 3/20 621A	5C080
	G09G 3/20 621B	
	G09G 3/20 621E	
審査請求 未請求 請求項の数 27 O L (全 22 頁)		

(21) 出願番号 特願2005-120862 (P2005-120862)
 (22) 出願日 平成17年4月19日 (2005. 4. 19)
 (31) 優先権主張番号 10-2004-0026752
 (32) 優先日 平成16年4月19日 (2004. 4. 19)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si
 Gyeonggi-do, Republic of Korea
 (74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子

最終頁に続く

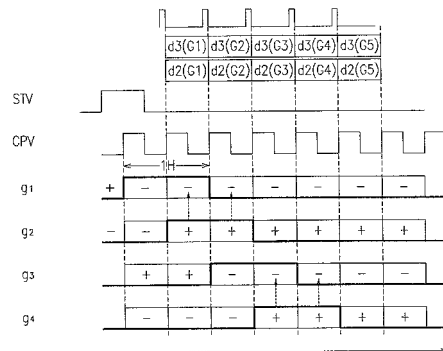
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】 (修正有)

【課題】 駆動回路チップの個数を減らして液晶表示装置の生産コストを節減すると共に、優れた画質の液晶表示装置を実現する。

【解決手段】 交互に配置された第1及び第2画素を各々含む複数の画素行と、前記画素に各々連結され第1及び第2信号を伝送する複数の第1及び第2信号線と、前記信号線と交差し隣接した一対の第1及び第2画素間に各々配置され、第1、第2画素に連結された複数の第3信号線と、を含む。第1及び第2画素は、各々第1及び第2信号に基づき第3信号線の電圧を充電する。同一画素行内の第1画素が第3信号線の電圧の充電を終了する前に第2画素が第3信号線の電圧を充電する第1充電時間、及び、同一の画素行内の第1画素が第3信号線の電圧の充電を終了した後に、第2画素が第3信号線の電圧を充電する第2充電時間において、第2画素に充電される第3信号線の電圧の極性が同一となる様に調整する。

【選択図】 図9A



【特許請求の範囲】**【請求項 1】**

交互に配置されている複数の第 1 画素及び第 2 画素を各々含む複数の画素行と、
前記第 1 画素に連結され第 1 信号を伝送する複数の第 1 信号線と、
前記第 2 画素に連結され第 2 信号を伝送する複数の第 2 信号線と、
前記第 1 信号線及び第 2 信号線と交差し、隣接した一对の前記第 1 画素及び第 2 画素の間にそれぞれ配置され、前記第 1 画素及び第 2 画素に連結されている複数の第 3 信号線と、
を含み、

前記第 1 画素及び第 2 画素は、それぞれ前記第 1 信号線及び第 2 信号線からの前記第 1 及び第 2 信号に基づいて、前記第 3 信号線の電圧を充電し、

前記第 1 画素は、同一の前記画素行内の前記第 2 画素のよりも前記第 3 信号線の電圧を先に充電し、

同一の前記画素行内の前記第 1 画素が前記第 3 信号線の電圧の充電を終了する前に前記第 2 画素が前記第 3 信号線の電圧を充電する時間を第 1 充電時間とし、

同一の前記画素行内の第 1 画素が前記第 3 信号線の電圧の充電を終了した後に、前記第 2 画素は前記第 3 信号線の電圧を充電する時間を第 2 充電時間とすると、

前記第 1 充電時間及び前記第 2 充電時間において前記第 2 画素に充電される前記第 3 信号線の電圧の極性は、同一であることを特徴とする、表示装置。

10

【請求項 2】

前記第 3 信号線それぞれの電圧の極性は、1 フレーム毎に反転することを特徴とする、請求項 1 に記載の表示装置。

20

【請求項 3】

隣接した前記第 3 信号線の電圧の極性は互いに逆であることを特徴とする、請求項 1 に記載の表示装置。

【請求項 4】

前記画素行の前記第 2 画素の第 1 充電時間は、該画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する時間と少なくとも一部が重畳していることを特徴とする、請求項 1 乃至請求項 3 のいずれか一項に記載の表示装置。

【請求項 5】

前記画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する時間のうち、直前画素行の前記第 2 画素における前記第 2 充電時間と重畳する時間を第 3 充電時間とし、

前記画素行の前記第 1 画素が、直前画素行の前記第 2 画素の前記第 2 充電時間が終了した後に前記第 3 信号線の電圧を充電する時間を前記第 4 充電時間とすると、

前記第 1 画素の前記第 3 充電時間及び前記第 4 充電時間において前記第 1 画素に充電される前記第 3 信号線の電圧の極性は、同一であることを特徴とする、請求項 4 に記載の表示装置。

30

【請求項 6】

前記画素行の前記第 2 画素の前記第 1 充電時間は、該画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する充電時間と等しいことを特徴とする、請求項 4 に記載の表示装置。

40

【請求項 7】

前記画素行の第 2 画素の前記第 1 充電時間は、該画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する時間と重畳しないことを特徴とする、請求項 1 乃至請求項 3 のいずれか一項に記載の表示装置。

【請求項 8】

前記画素行の第 2 画素の前記第 1 充電時間以前に、該画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する時間を第 5 充電時間とし、

前記画素行の前記第 2 画素の第 1 充電時間と第 2 充電時間との間に、該画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する時間を第 6 本充電時間とすると、

前記第 1 画素の前記第 5 充電時間及び前記第 6 充電時間における前記第 3 信号線の電圧

50

の極性は同一であることを特徴とする、請求項 7 に記載の表示装置。

【請求項 9】

交互に配置され複数の第 1 画素及び第 2 画素を各々含む複数の画素行と、
前記第 1 画素に連結され第 1 信号を伝送する複数の第 1 信号線と、
前記第 2 画素に連結され第 2 信号を伝送する複数の第 2 信号線と、
前記第 1 信号線と交差し、隣接した一对の前記第 1 画素及び第 2 画素の間にそれぞれ配置され、前記第 1 画素及び第 2 画素に連結されている複数の第 3 信号線と、を含み、
前記第 1 画素及び第 2 画素は、各々前記第 1 及び第 2 信号線からの信号に基づいて前記第 3 信号線からの電圧を充電し、

前記第 1 画素が前記第 3 信号線の電圧を充電する時間は、同一の画素行の前記第 2 画素が前記第 3 信号線からの電圧を充電する時間と少なくとも一部の時間が重畳しているか、または、前記第 1 画素が前記第 3 信号線の電圧を充電する時間は、他の画素行の前記第 1 画素又は第 2 画素が前記第 3 信号線からの電圧を充電する時間と少なくとも一部の時間が重畳していることを特徴とする、表示装置。

10

【請求項 10】

前記第 3 信号線それぞれの電圧の極性は、1 フレーム毎に反転することを特徴とする、請求項 9 に記載の表示装置。

【請求項 11】

隣接した前記第 3 信号線の電圧の極性は互い逆であることを特徴とする、請求項 9 に記載の表示装置。

20

【請求項 12】

前記画素行の第 2 画素が前記第 3 信号線の電圧を充電する時間は、該画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する時間と少なくとも一部の時間が重畳していることを特徴とする、請求項 9 乃至請求項 11 のいずれか一項に記載の表示装置。

【請求項 13】

前記画素行の前記第 1 画素は、該画素行の直前画素行における前記第 2 画素が前記第 3 信号線の電圧を充電する時間が終了する前に前記第 3 信号線の電圧の充電を開始し、前記直前画素行の第 2 画素が前記第 3 信号線の電圧を充電する時間が終了した後も電圧の充電を継続し、

前記各画素行の前記第 2 画素は、該画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する時間が終了する前に、前記第 3 信号線の電圧の充電を開始し、前記該画素行の第 1 画素が前記第 3 信号線の電圧を充電する時間が終了した後も電圧の充電を継続することを特徴とする、請求項 12 に記載の表示装置。

30

【請求項 14】

前記画素行の前記第 2 画素が前記第 3 信号線の電圧を充電する時間が開始されるタイミングは、該画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する時間が開始されるタイミング同じであって、

該画素行の前記第 2 画素が前記第 3 信号線の電圧を充電する時間は、該画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する時間よりも長いことを特徴とする、請求項 12 に記載の表示装置。

40

【請求項 15】

前記画素行の第 2 画素が前記第 3 信号線の電圧を充電する時間は、該画素行の直前画素行における前記第 2 画素が前記第 3 信号線の電圧を充電する時間と一部の時間が重畳していることを特徴とする、請求項 9 乃至請求項 11 のいずれか一項に記載の表示装置。

【請求項 16】

前記画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する時間は、該画素行の直前画素行における前記第 1 画素が前記第 3 信号線の電圧を充電する時間と一部の時間が重畳していることを特徴とする、請求項 15 に記載の表示装置。

【請求項 17】

前記画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する時間は、該画素行の前記

50

第 2 画素が前記第 3 信号線の電圧を充電する時間と重畳しないことを特徴とする、請求項 16 に記載の表示装置。

【請求項 18】

交互に配列されている複数の第 1 画素及び第 2 画素を各々有する画素行を含む液晶表示装置を駆動する方法であって、

前記第 1 画素に第 1 電圧を充電する第 1 電圧充電段階と、

前記第 1 電圧充電段階が終了する前に前記第 2 画素に第 2 電圧を充電する第 2 電圧充電段階と、

前記第 1 電圧充電段階が終了した後、前記第 2 電圧と同一極性を有する第 3 電圧を前記第 2 画素に充電する第 3 電圧充電段階と、

を含むことを特徴とする、表示装置の駆動方法。

10

【請求項 19】

前記第 2 電圧充電段階及び前記第 3 電圧充電段階を連続して行うことを特徴とする、請求項 18 に記載の表示装置の駆動方法。

【請求項 20】

前記第 1 電圧充電段階及び前記第 2 電圧充電段階を開始する前に、前記第 1 電圧と同一極性を有する第 4 電圧を前記第 1 画素に充電する第 4 電圧充電段階をさらに含むことを特徴とする、請求項 19 に記載の表示装置の駆動方法。

【請求項 21】

前記第 4 電圧充電段階及び前記第 1 電圧充電段階を連続して行うことを特徴とする、請求項 20 に記載の表示装置の駆動方法。

20

【請求項 22】

前記第 1 電圧充電段階及び前記第 2 電圧充電段階を同時に行うことを特徴とする、請求項 18 に記載の表示装置の駆動方法。

【請求項 23】

前記第 1 電圧充電段階及び前記第 2 電圧充電段階を開始する前に、前記第 1 電圧と同一極性を有する第 4 電圧を前記第 1 画素に充電する第 4 電圧充電段階をさらに含むことを特徴とする、請求項 22 に記載の表示装置の駆動方法。

【請求項 24】

前記第 4 電圧充電段階及び前記第 1 電圧充電段階を連続して行うことを特徴とする、請求項 23 に記載の表示装置の駆動方法。

30

【請求項 25】

前記第 2 電圧充電段階を、前記第 1 電圧充電段階を開始する前に終了することを特徴とする、請求項 18 に記載の表示装置の駆動方法。

【請求項 26】

前記第 2 電圧充電段階を開始する前に、前記第 1 電圧と同一極性を有する第 4 電圧を前記第 1 画素に充電する第 4 電圧充電段階をさらに含むことを特徴とする、請求項 25 に記載の表示装置の駆動方法。

【請求項 27】

前記第 4 電圧充電段階を、前記第 2 電圧充電段階を開始する前に終了することを特徴とする、請求項 26 に記載の表示装置の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその駆動方法に関する。

【背景技術】

【0002】

能動行列型 (activematrix、AM) 液晶表示装置 (LCD)、能動行列型有機発光表示装置 (organic light emitting display、OLED) などの能動型表示装置は、行列状に配列されておりスイッチング素子を含む複数の画素と、スイッチング素子に信号を伝達する

50

ート線及びデータ線などの複数の信号線とを含む。映像を表示するために、画素のスイッチング素子は、ゲート線からのゲート信号に応答してデータ線からのデータ信号を画素に選択的に伝達する。

【0003】

液晶表示装置の画素はデータ信号によって入射光の透過率を調節し、有機発光表示装置の画素はデータ信号によって発光量を調節する。

【発明の開示】

【発明が解決しようとする課題】

【0004】

このような表示装置はまた、ゲート信号を生成してゲート線に印加するゲート駆動部及びデータ線にデータ信号を印加するデータ駆動部を備える。ゲート駆動部及びデータ駆動部は、通常は複数の駆動集積回路チップからなるが、生産コストを削減するためにはチップ数をできる限り減らすことが重要である。特に、データ駆動回路チップはゲート駆動回路チップに比べて高価であるため、その数を減らす必要性は一層高くなる。

【0005】

そこで、本発明は、駆動回路チップの個数を減らして液晶表示装置の生産コストを節減すると共に、画質が優れた液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

前記課題を解決するために、本発明1は、交互に配置されている複数の第1画素及び第2画素を各々含む複数の画素行と、前記第1画素に連結され第1信号を伝送する複数の第1信号線と、前記第2画素に連結され第2信号を伝送する複数の第2信号線と、前記第1信号線及び第2信号線と交差し、隣接した一对の前記第1画素及び第2画素の間にそれぞれ配置され、前記第1画素及び第2画素に連結されている複数の第3信号線と、を含み、前記第1画素及び第2画素は、それぞれ前記第1信号線及び第2信号線からの前記第1及び第2信号に基づいて、前記第3信号線の電圧を充電し、前記第1画素は、同一の前記画素行内の前記第2画素のよりも前記第3信号線の電圧を先に充電し、同一の前記画素行内の前記第1画素が前記第3信号線の電圧の充電を終了する前に前記第2画素が前記第3信号線の電圧を充電する時間を第1充電時間とし、同一の前記画素行内の第1画素が前記第3信号線の電圧の充電を終了した後に、前記第2画素は前記第3信号線の電圧を充電する時間を第2充電時間とすると、前記第1充電時間及び前記第2充電時間において前記第2画素に充電される前記第3信号線の電圧の極性は、同一であることを特徴とする表示装置を提供する。

【0007】

これにより、データ駆動回路チップの数を減らすと共に画質の均一性を確保することができる。

発明2は、前記発明1において、前記第3信号線それぞれの電圧の極性は、1フレーム毎に反転することを特徴とする表示装置を提供する。

発明3は、前記発明1において、隣接した前記第3信号線の電圧の極性は互いに逆であることを特徴とする表示装置を提供する。

【0008】

発明4は、前記発明1～3のいずれか1つにおいて、前記画素行の前記第2画素の第1充電時間は、該画素行の前記第1画素が前記第3信号線の電圧を充電する時間と少なくとも一部が重畳していることを特徴とする表示装置を提供する。

発明5は、前記発明4において、前記画素行の前記第1画素が前記第3信号線の電圧を充電する時間のうち、直前画素行の前記第2画素における前記第2充電時間と重畳する時間を第3充電時間とし、前記画素行の前記第1画素が、直前画素行の前記第2画素の前記第2充電時間が終了した後に前記第3信号線の電圧を充電する時間を前記第4充電時間とすると、前記第1画素の前記第3充電時間及び前記第4充電時間において前記第1画素に充電される前記第3信号線の電圧の極性は、同一であることを特徴とする表示装置を提供

10

20

30

40

50

する。

【0009】

発明6は、前記発明4において、前記画素行の前記第2画素の前記第1充電時間は、該画素行の前記第1画素が前記第3信号線の電圧を充電する充電時間と等しいことを特徴とする表示装置を提供する。

発明7は、前記発明1～3のいずれか1つにおいて、前記画素行の第2画素の前記第1充電時間は、該画素行の前記第1画素が前記第3信号線の電圧を充電する時間と重畳しないことを特徴とする表示装置を提供する。

【0010】

発明8は、前記発明7において、前記画素行の第2画素の前記第1充電時間以前に、該画素行の前記第1画素が前記第3信号線の電圧を充電する時間を第5充電時間とし、前記画素行の前記第2画素の第1充電時間と第2充電時間との間に、該画素行の前記第1画素が前記第3信号線の電圧を充電する時間を第6本充電時間とすると、前記第1画素の前記第5充電時間及び前記第6充電時間における前記第3信号線の電圧の極性は同一であることを特徴とする表示装置を提供する。

10

【0011】

また、前記課題を解決するために、発明9は、交互に配置され複数の第1画素及び第2画素を各々含む複数の画素行と、前記第1画素に連結され第1信号を伝送する複数の第1信号線と、前記第2画素に連結され第2信号を伝送する複数の第2信号線と、前記第1信号線と交差し、隣接した一対の前記第1画素及び第2画素の間にそれぞれ配置され、前記第1画素及び第2画素に連結されている複数の第3信号線と、を含み、前記第1画素及び第2画素は、各々前記第1及び第2信号線からの信号に基づいて前記第3信号線からの電圧を充電し、前記第1画素が前記第3信号線の電圧を充電する時間は、同一の画素行の前記第2画素が前記第3信号線からの電圧を充電する時間と少なくとも一部の時間が重畳しているか、または、前記第1画素が前記第3信号線の電圧を充電する時間は、他の画素行の前記第1画素又は第2画素が前記第3信号線からの電圧を充電する時間と少なくとも一部の時間が重畳していることを特徴とする表示装置を提供する。

20

【0012】

これにより、データ駆動回路チップの数を減らすと共に画質の均一性を確保することができる。

30

発明10は、前記発明9において、前記第3信号線それぞれの電圧の極性は、1フレーム毎に反転することを特徴とする表示装置を提供する。

発明11は、発明9において、隣接した前記第3信号線の電圧の極性は互い逆であることを特徴とする表示装置を提供する。

【0013】

発明12は、前記発明9～11のいずれか1つにおいて、前記画素行の第2画素が前記第3信号線の電圧を充電する時間は、該画素行の前記第1画素が前記第3信号線の電圧を充電する時間と少なくとも一部の時間が重畳していることを特徴とする表示装置を提供する。

発明13は、前記発明12において、前記画素行の前記第1画素は、該画素行の直前画素行における前記第2画素が前記第3信号線の電圧を充電する時間が終了する前に前記第3信号線の電圧の充電を開始し、前記直前画素行の第2画素が前記第3信号線の電圧を充電する時間が終了した後も電圧の充電を継続し、前記各画素行の前記第2画素は、該画素行の前記第1画素が前記第3信号線の電圧を充電する時間が終了する前に、前記第3信号線の電圧の充電を開始し、前記該画素行の第1画素が前記第3信号線の電圧を充電する時間が終了した後も電圧の充電を継続することを特徴とする表示装置を提供する。

40

【0014】

発明14は、前記発明12において、前記画素行の前記第2画素が前記第3信号線の電圧を充電する時間が開始されるタイミングは、該画素行の前記第1画素が前記第3信号線の電圧を充電する時間が開始されるタイミング同じであって、該画素行の前記第2画素が

50

前記第 3 信号線の電圧を充電する時間は、該画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する時間よりも長いことを特徴とする表示装置を提供する。

【0015】

発明 15 は、前記発明 9 ~ 11 のいずれか 1 つにおいて、前記画素行の第 2 画素が前記第 3 信号線の電圧を充電する時間は、該画素行の直前画素行における前記第 2 画素が前記第 3 信号線の電圧を充電する時間と一部の時間が重畳していることを特徴とする表示装置を提供する。

発明 16 は、前記発明 15 において、前記画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する時間は、該画素行の直前画素行における前記第 1 画素が前記第 3 信号線の電圧を充電する時間と一部の時間が重畳していることを特徴とする表示装置を提供する。 10

【0016】

発明 17 は、前記発明 16 において、前記画素行の前記第 1 画素が前記第 3 信号線の電圧を充電する時間は、該画素行の前記第 2 画素が前記第 3 信号線の電圧を充電する時間と重畳しないことを特徴とする表示装置を提供する。

また、前記課題を解決するために、発明 18 は、交互に配列されている複数の第 1 画素及び第 2 画素を各々有する画素行を含む液晶表示装置を駆動する方法であって、前記第 1 画素に第 1 電圧を充電する第 1 電圧充電段階と、前記第 1 電圧充電段階が終了する前に前記第 2 画素に第 2 電圧を充電する第 2 電圧充電段階と、前記第 1 電圧充電段階が終了した後に前記第 2 電圧と同一極性を有する第 3 電圧を前記第 2 画素に充電する第 3 電圧充電段階と、を含むことを特徴とする、表示装置の駆動方法を提供する。 20

【0017】

これにより、データ駆動回路チップの数を減らすと共に画質の均一性を確保することができる。

発明 19 は、前記発明 18 において、前記第 2 電圧充電段階及び前記第 3 電圧充電段階を連続して行うことを特徴とする表示装置の駆動方法を提供する。

発明 20 は、前記発明 19 において、前記第 1 電圧充電段階及び前記第 2 電圧充電段階を開始する前に、前記第 1 電圧と同一極性を有する第 4 電圧を前記第 1 画素に充電する第 4 電圧充電段階をさらに含むことを特徴とする表示装置の駆動方法を提供する。

【0018】

発明 21 は、前記発明 20 において、前記第 4 電圧充電段階及び前記第 1 電圧充電段階を連続して行うことを特徴とする表示装置の駆動方法を提供する。 30

発明 22 は、前記発明 18 において、前記第 1 電圧充電段階及び前記第 2 電圧充電段階を同時に行うことを特徴とする表示装置の駆動方法を提供する。

発明 23 は、前記発明 22 において、前記第 1 電圧充電段階及び前記第 2 電圧充電段階を開始する前に、前記第 1 電圧と同一極性を有する第 4 電圧を前記第 1 画素に充電する第 4 電圧充電段階をさらに含むことを特徴とする表示装置の駆動方法を提供する。

【0019】

発明 24 は、前記発明 23 において、前記第 4 電圧充電段階及び前記第 1 電圧充電段階を連続して行うことを特徴とする表示装置の駆動方法を提供する。

発明 25 は、前記発明 18 において、前記第 2 電圧充電段階を、前記第 1 電圧充電段階を開始する前に終了することを特徴とする表示装置の駆動方法を提供する。 40

発明 26 は、前記発明 25 において、前記第 2 電圧充電段階を開始する前に、前記第 1 電圧と同一極性を有する第 4 電圧を前記第 1 画素に充電する第 4 電圧充電段階をさらに含むことを特徴とする表示装置の駆動方法を提供する。

【0020】

発明 27 は、前記発明 26 において、前記第 4 電圧充電段階を、前記第 2 電圧充電段階を開始する前に終了することを特徴とする表示装置の駆動方法を提供する。

【発明の効果】

【0021】

本発明に係る表示装置及び方法によれば、データ駆動回路チップの数を減らすと共に画質 50

の均一性を確保することができる。

【発明を実施するための最良の形態】

【0022】

以下より、添付した図面を参照して本発明の実施例に対し、本発明が属する技術分野における通常の知識を有する者が容易に実施することができるように詳細に説明する。しかし、本発明は、多様な形態で実現することができ、ここで説明する実施例に限定されない。

図面には、各種層及び領域を明確に表現するために厚さを拡大して示した。明細書全体を通じて類似部分については、同じ図面符号を付けた。層、膜、領域、基板及び板などの部分が他の部分の"上に"あるとする時、これは他の部分の"すぐ上に"ある場合のみだけでなく、その中間に他の部分がある場合も含む。逆に、ある部分が他の部分の"すぐ上に"あるとする時には、中間に他の部分がないことを意味する。

10

【0023】

<液晶表示装置>

以下より、本発明の実施例による液晶表示装置について詳細に説明する。

図1は、本発明に係る液晶表示装置のブロック図である。図2は、本発明に係る液晶表示装置の一つの画素に対する等価回路図である。

図1に示すように、本発明の液晶表示装置は、液晶表示板組立体300と、液晶表示板組立体300に連結されたゲート駆動部400及びデータ駆動部500と、データ駆動部500に連結された階調電圧生成部800と、これらを制御する信号制御部600とを含む。

20

【0024】

液晶表示板組立体300は、等価回路によれば、複数の表示信号線(G_1-G_{2n} 、 D_1-D_m)と、これに連結され行列状に配列された複数の画素(P_x)とを含む。

表示信号線(G_1-G_{2n} 、 D_1-D_m)は、ゲート信号(走査信号とも言う)を伝達する複数のゲート線(G_1-G_{2n})と、データ信号を伝達するデータ線(D_1-D_m)とを含む。ゲート線(G_1-G_{2n})は、行方向に延長され互いにほぼ平行であり、データ線(D_1-D_m)は、列方向に延長され互いにほぼ平行である。

【0025】

各画素(P_x)は、表示信号線(G_1-G_{2n} 、 D_1-D_m)に連結されたスイッチング素子(Q)と、スイッチング素子(Q)に連結された液晶キャパシタ(C_{LC})及びストレージキャパシタ(C_{ST})とを含む。ストレージキャパシタ(C_{ST})は必要に応じて省略することができる。

30

薄膜トランジスタなどのスイッチング素子(Q)は3端子素子の構成を有し、下部表示板100に設けられている。スイッチング素子(Q)の3端子素子のうち制御端子及び入力端子は各々ゲート線(G_1-G_{2n})及びデータ線(D_1-D_m)にそれぞれ連結されており、出力端子は液晶キャパシタ(C_{LC})及びストレージキャパシタ(C_{ST})に連結されている。

【0026】

液晶キャパシタ(C_{LC})は、下部表示板100の画素電極190及び上部表示板200の共通電極270を二つの端子とし、二つの電極190、270間の液晶層3は誘電体として機能する。画素電極190はスイッチング素子(Q)に接続されている。共通電極270は上部表示板200の全面に形成されており共通電圧(V_{com})が印加される。図2とは異なって、共通電極270が下部表示板100に設けられてもよく、その際には、二つの電極190、270のうちの少なくとも一つが線形または棒形に形成される。

40

【0027】

液晶キャパシタ(C_{LC})の補助的な役割をするストレージキャパシタ(C_{ST})は、下部表示板100に設けられた別途の信号線(図示せず)及び画素電極190が絶縁体を介在することにより形成される。また、該別途の信号線には、共通電圧(V_{com})などの定められた電圧が印加される。また、ストレージキャパシタ(C_{ST})は、画素電極190が絶縁体を介在してすぐ上の前段ゲート線と重畳して形成されることもできる。

50

【0028】

一方、カラー表示を行うために、各画素（PX）が原色のうちのいずれか一つを固有に表示したり（空間分割）、又は各画素（PX）が時間によって交互に原色を表示し（時間分割）、これら原色の空間的及び時間的な作用により所望の色相が認識できるようにする。図2では、空間分割の一例として、各画素（PX）が画素電極190に対応する領域に原色のうちの一つを表示するカラーフィルタ230を備えている。一方、図2とは異なって、カラーフィルタ230は、下部表示板100の画素電極190の上または下に形成することもできる。

【0029】

カラーフィルタ230の色相は、赤色、緑色、青色等の原色のうちのいずれか一つである。本発明では、画素（PX）が示す色相を、赤色、緑色、及び青色画素と称する。

液晶表示板組立体300の二つの表示板100、200のうちの少なくとも一つの外側面には、光を偏光する偏光子（図示せず）が付着されている。また、偏光子と表示板100、200との間には、液晶の屈折率異方性を補償する少なくとも一枚の補償板（図示せず）が介在することができる。

【0030】

<画素及び信号線の空間的配置>

以下より、本発明の一実施例によるゲート線、データ線、及び画素の配置に関して、図3を参照して詳細に説明する。

図3は、本発明に係る液晶表示装置の画素及び信号線の空間的な配列を示す図である。

図3に示すように、各対のゲート線（ G_{2i-1} 、 G_{2i} ）（ $i=1, 2, \dots, n$ ）は、一行の画素電極190の上下に配置され薄膜トランジスタ（Q）を通じてこれに連結されており、データ線（ D_j ）（ $j=1, 2, 3, \dots$ ）は、二列の画素電極190毎に一本ずつ配置され、左右の画素電極190とは薄膜トランジスタ（Q）を通じて連結されている。

【0031】

言い換えると、一行の画素電極190は、隣接したデータ線（ D_1-D_m ）に連結されており、隣接した一对のゲート線（ G_{2i-1} 、 G_{2i} ）と交互に連結されている。一列の画素電極190は、隣接したデータ線（ D_j ）に連結されており、隣接した二つのゲート線（ G_{2i-1} 、 G_{2i} ）のうちの同じ方のゲート線に連結されている。例えば、一つのデータ線（ D_1 、 D_2 、 D_3 、 \dots ）に連結されデータ線（ D_1 、 D_2 、 D_3 、 \dots ）を中心に左右に位置した二つの画素電極190において、データ線（ D_1 、 D_2 、 D_3 、 \dots ）の左側に位置した画素電極190は、上側のゲート線（ G_1 、 G_3 、 G_5 、 \dots ）と連結されており、データ線（ D_1 、 D_2 、 D_3 、 \dots ）の右側に位置した画素電極190は、下側のゲート線（ G_2 、 G_4 、 G_6 、 \dots ）と連結されている。要するに、図3の各画素行においては、奇数番目画素、即ち $2k-1$ 番目画素（ $k=1, 2, \dots, m/2$ ）は、 $2i-1$ 番目ゲート線（ G_{2i-1} ）及び k 番目データ線（ D_k ）に連結されており、奇数番目画素、即ち $2k$ 番目画素は、 $2i$ 番目ゲート線（ G_{2i} ）及び k 番目データ線（ D_k ）に連結されている。

【0032】

このような配置により、データ線（ D_1 、 D_2 、 D_3 、 \dots ）の数を画素列数の半分に減らすことができる。

（下部表示板の構造）

次に、この液晶表示板組立体300の下部表示板100の構造について、図4乃至図6及び図2を参照して詳細に説明する。

【0033】

図4は、本発明に係る薄膜トランジスタ表示板の配置図である。図5及び図6は、各々図4に示す薄膜トランジスタ表示板のV-V'線及びVI-VI'線による断面図である。

透明なガラスなどの絶縁基板110上に、複数の対のゲート線121a、121b及び複数の維持電極線131が形成されている。

ゲート線121a、121bは互いに分離され横方向に延長しており、ゲート信号を伝達する。ゲート線121a、121bの対それぞれは上下に突出したゲート電極124を含む

10

20

30

40

50

。各ゲート線 1 2 1 a、1 2 1 b はまた、他の層または駆動回路との連結のために面積の広い端部 1 2 9 を含む。ゲート駆動回路が表示板上に集積される場合は、ゲート線 1 2 1 a、1 2 1 b が延長してゲート駆動回路と連結されることもできる。

【 0 0 3 4 】

維持電極線 1 3 1 は、横方向に延長しており、2 対のゲート線 1 2 1 a、1 2 1 b の間に位置している。2 対のゲート線 1 2 1 a、1 2 1 b のそれぞれの対と維持電極線 1 3 1 との間の距離はほぼ同一である。各維持電極線 1 3 1 は縦方向に延長した複数の対の維持電極 1 3 3 を含む。維持電極線 1 3 1 には、上部表示板 2 0 0 の共通電極 2 7 0 に印加される共通電圧などの所定の電圧が印加される。それぞれの維持電極線 1 3 1 は横方向に延長した一対の幹線を含むことができ、その他にも多様な形態で作られることができる。

10

【 0 0 3 5 】

ゲート線 1 2 1 a、1 2 1 b 及び維持電極線 1 3 1 は、アルミニウム (Al) 及びアルミニウム合金などのアルミニウム系の金属、銀 (Ag) 及び銀合金などの銀系の金属、銅 (Cu) 及び銅合金などの銅系の金属、モリブデン (Mo) 及びモリブデン合金などのモリブデン系の金属、クロム (Cr)、チタニウム (Ti)、タンタル (Ta) などで構成されるのが好ましい。また、ゲート線 1 2 1 a、1 2 1 b 及び維持電極線 1 3 1 は、物理的性質が異なる二つの導電膜 (図示せず) を含む多重膜構造を有することができる。多重膜構造の場合、多重膜のうちの一つの導電膜は、ゲート線 1 2 1 及び維持電極線 1 3 1 の信号遅延及び電圧降下を減らすことができるように、例えばアルミニウム系金属、銀系金属、銅系金属などの低い比抵抗を有する物質で形成される。また、これとは異なって、多重膜構造の他の導電膜は上記導電膜とは異なる物質で形成される。例えば、モリブデン系金属、クロム、チタニウム、タンタルなどの ITO (indium tin oxide) 及び IZO (indium zinc oxide) との接触特性に優れた物質で形成される。このような組み合わせの例は、クロム下部膜及びアルミニウム上部膜、アルミニウム下部膜及びモリブデン上部膜等が挙げられる。しかし、ゲート線 1 2 1 及び維持電極線 1 3 1 は多様な金属と導電体で作られることができる。

20

【 0 0 3 6 】

ゲート線 1 2 1 及び維持電極線 1 3 1 の側面は基板 1 1 0 の表面に対して傾斜しており、その傾斜角は約 $30^\circ \sim 80^\circ$ である。

ゲート線 1 2 1 a、1 2 1 b 及び維持電極線 1 3 1 の上には、窒化ケイ素 (SiN_x) などからなるゲート絶縁膜 1 4 0 が形成されている。

30

ゲート絶縁膜 1 4 0 上には、水素化非晶質シリコンや多結晶シリコンなどからなる複数の線状半導体 1 5 1 が形成されている。線状半導体 1 5 1 は主に縦方向に延長しており、ここから複数の突出部 1 5 4 がゲート電極 1 2 4 に向けて延長している。

【 0 0 3 7 】

半導体 1 5 1 の上部には、シリサイドまたは n 型不純物が高濃度にドーピングされている n+ 水素化非晶質シリコンなどの物質からなる複数の線状及び島状抵抗性接触部材 1 6 1、1 6 5 が形成されている。線状接触部材 1 6 1 は複数の突出部 1 6 3 を有し、該突出部 1 6 3 と島状接触部材 1 6 5 とが対をなして半導体 1 5 1 の突出部 1 5 4 上に位置する。

半導体 1 5 4、1 5 6 と抵抗性接触部材 1 6 3、1 6 5 の側面も基板 1 1 0 の表面に対して傾斜しており、傾斜角は約 $30^\circ \sim 80^\circ$ である。

40

【 0 0 3 8 】

抵抗接触部材 1 6 1、1 6 5 上には、各々複数のデータ線 1 7 1 及びこれと分離されている複数のドレイン電極 1 7 5 が形成されている。

データ線 1 7 1 は、縦方向に延長しておりデータ電圧を伝達する。データ線 1 7 1 は、ゲート線 1 2 1 a、1 2 1 b 及び維持電極線 1 3 1 と交差して隣接した維持電極 1 3 3 の対の間を通過する。各データ線 1 7 1 は、他の層または外部装置との接続のために幅が拡張されている端部 1 7 9 と、ドレイン電極 1 7 5 に向けて延びた複数のソース電極 1 7 3 とを含む。ソース電極 1 7 3 及びドレイン電極 1 7 5 は、ゲート電極 1 2 4 に対して互いに反対側に位置している。ゲート電極 1 2 4、ソース電極 1 7 3 及びドレイン電極 1 7 5 は、半導体 1 5 1 の突出部 1 5 4 と共に薄膜トランジスタ (TFT) をなし、薄膜トランジ

50

スタのチャンネルは、ソース電極 173 とドレイン電極 175 との間の突出部 154 に形成される。

【0039】

データ線 171 及びドレイン電極 175 は、クロム、モリブデン系の金属、タンタル及びチタニウムなどの耐火性金属からなることが好ましい。また、データ線 171 及びドレイン電極 175 は、耐火性金属等からなる下部膜（図示せず）とその上に位置した低抵抗物質上部膜（図示せず）と含む多層膜構造を有することができる。多層膜構造の例としては、クロム下部膜及びアルミニウム上部膜や、モリブデン下部膜及びアルミニウム上部膜の二重膜、また、モリブデン膜-アルミニウム膜-モリブデン膜の三重膜が挙げられる。

【0040】

データ線 171 及びドレイン電極 175 は、ゲート線 121 及び維持電極線 131 と同様に、その側面は基板 110 の表面に対して約 30°～80°の角度で傾斜している。

抵抗性接触部材 161、165 は、その下部の半導体 151 とその上部のデータ線 171 及びドレイン電極 175 との間にだけ存在し、接触抵抗を低くする役割をする。線状半導体 151 は、データ線 171、ドレイン電極 175 及びその下部の抵抗性接触部材 161、165 とほぼ同じ平面形状となっている。しかし、線状半導体 151 の突出部 154 は、ソース電極 173 とドレイン電極 175 との間などデータ線 171 及びドレイン電極 175 で覆われず露出された部分を有している。また、これとは異なり、突出部 154 を残して他の部分は全て除去できる。

【0041】

データ線 171、ドレイン電極 175 及び露出された半導体 151 部分の上には、保護膜 180 が形成されている。保護膜 180 は、窒化ケイ素または酸化ケイ素を含む無機物、平坦化特性が優れており感光性を有する有機物、またはプラズマ化学気相蒸着（plasma enhanced chemical vapor deposition、PECVD）で形成される a-Si:C:O、a-Si:O:F などの低誘電率絶縁物質等により形成される。しかし、保護膜 180 は有機膜の優れた特性を生かしながらも露出された半導体 154 部分を保護するために、下部無機膜及び上部有機膜の二重膜構造を有することができる。

【0042】

保護膜 180 には、データ線 171 の端部及びドレイン電極 175 をそれぞれ露出する複数の接触孔 182、185 が形成されている。また、保護膜 180 及びゲート絶縁膜 140 には、ゲート線 121 の端部を露出する複数の接触孔 181 が形成されている。

保護膜 180 上には、複数の画素電極 190 及び複数の接触補助部材 81、82 が形成されている。画素電極 190 及び接触補助部材 81、82 は、ITO、IZO などの透明導電体や、銀、アルミニウムなどの反射性金属により形成される。

【0043】

画素電極 190 は、接触孔 185 を通じてドレイン電極 175 と物理的・電氣的に連結されているので、ドレイン電極 175 からデータ電圧が印加される。データ電圧が印加された画素電極 190 は、共通電圧が印加される共通電極 270 と共に電場を生成することによって、二つの電極 190、270 間の液晶層 3 の液晶分子の配向を決定する。

また、画素電極 190 及び共通電極 270 は液晶キャパシタ (C_{LC}) を形成する。また、ストレージキャパシタ (C_{ST}) は、薄膜トランジスタがオフした後であっても印加された電圧を維持し、電圧維持能力を強化するために、液晶キャパシタ (C_{LC}) と並列に連結されている。そして、ストレージキャパシタ (C_{ST}) は、画素電極 190 及びこれと隣接する維持電極線 131 の重畳等により形成される。

【0044】

画素電極 190 の縦辺は、維持電極 133 上に位置する。これにより、データ線 171 と画素電極 190 との間の干渉及び維持電極 133 と画素電極 190 との間の干渉を減らす。

接触補助部材 81、82 はそれぞれ接触孔 181、182 を通じてゲート線 121 の端部 129 及びデータ線 171 の端部 179 と各々連結されてこれらを覆っている。接触補

10

20

30

40

50

助部材 81、82 はゲート線 121 及びデータ線 171 の各端部 129、179 と外部装置との接着性を補完し、これらを保護する。

【0045】

画素電極 190 及び保護膜 180 上には、液晶層 3 の液晶分子を初期配向することができる配向膜（図示せず）が塗布されている。

再び図 1 を参照すると、階調電圧生成部 800 は画素の透過率に係る二組の複数階調電圧を生成する。二組の複数階調電圧のうちの一組は共通電圧（Vcom）に対して正の値を有し、もう一組は負の値を有している。

【0046】

ゲート駆動部 400 は、液晶表示板組立体 300 のゲート線（ G_1 - G_{2n} ）に連結されており、外部からのゲートオン電圧（Von）及びゲートオフ電圧（Voff）の組み合わせからなるゲート信号をゲート線（ G_1 - G_{2n} ）に印加する。

データ駆動部 500 は、液晶表示板組立体 300 のデータ線（ D_1 - D_m ）に連結されており、階調電圧生成部 800 からの階調電圧を選択してデータ電圧として画素に印加する。

【0047】

ゲート駆動部 400 またはデータ駆動部 500 は、少なくとも一つの駆動集積回路チップの形態で液晶表示板組立体 300 上に直接装着されることもでき、可撓性印刷回路膜（図示せず）上に装着されて TCP（tape carrier package）の形態で液晶表示板組立体 300 に付着されることもできる。また、これとは異なり、ゲート駆動部 400 またはデータ駆動部 500 は表示信号線（ G_{1a} - G_{nb} 、 D_1 - D_m ）と薄膜トランジスタスイッチング素子（Q）などと共に、液晶表示板組立体 300 に集積されることもできる。信号制御部 600 は、ゲート駆動部 400 及びデータ駆動部 500 の動作を制御する。

【0048】

< 液晶表示装置の動作 >

次に、このような液晶表示装置の動作について詳細に説明する。

信号制御部 600 は、外部のグラフィック制御部（図示せず）から入力映像信号（R、G、B）及び該表示を制御する入力制御信号が印加される。ここで、入力制御信号は、垂直同期信号（Vsync）、水平同期信号（Hsync）、メインクロック（MCLK）、データイネーブル信号（DE）などを含む。信号制御部 600 は入力映像信号（R、G、B）及び入力制御信号に基づいて、映像信号（R、G、B）を液晶表示板組立体 300 の動作条件に合わせて適 30
合に処理し、ゲート制御信号（CONT1）及びデータ制御信号（CONT2）を生成した後、ゲート制御信号（CONT1）をゲート駆動部 400 に送信し、データ制御信号（CONT2）及び処理した映像信号（DAT）をデータ駆動部 500 に送信する。ここで、信号制御部 600 の映像信号（R、G、B）の処理は、図 3 に示した液晶表示板組立体 300 の画素配列に応じて映像データ（R、G、B）を再配列する動作を含む。

【0049】

ゲート制御信号（CONT1）は、ゲートオン電圧（Von）の出力開始を指示する走査開始信号（STV）及びゲートオン電圧（Von）の出力タイミングを制御する少なくとも一つのクロック信号（CPV）を含む。また、ゲート制御信号（CONT1）は、ゲートオン電圧（Von）のデューティを決定する出力イネーブル信号（OE）などをさらに含むことができる。 40

データ制御信号（CONT2）は、一群の映像データ（DAT）の伝送開始を知らせる水平同期開始信号（STH）、データ線（ D_1 - D_m ）に該当データ電圧の印加を指示するロード信号（LOAD）、及びデータクロック信号（HCLK）などを含む。また、データ制御信号（CONT2）は、共通電圧（Vcom）に対するデータ電圧の極性（以下、共通電圧に対するデータ電圧の極性を略して“データ電圧の極性”と言う）を反転させる反転信号（RVS）をさらに含むことができる。

【0050】

データ駆動部 500 は、信号制御部 600 からのデータ制御信号（CONT2）に基づいて一行の画素のうち半分に対する映像データ（DAT）群を順に受信し、階調電圧生成部 800 からの階調電圧のうち各映像データ（DAT）に対応する階調電圧を選択することによっ 50

て、映像データ (DAT) を該当データ電圧に変換した後、これを該当するデータ線 (D_1 - D_m) に印加する。

【0051】

ゲート駆動部 400 は、信号制御部 600 からのゲート制御信号 (CONT1) に基づいてゲートオン電圧 (V_{on}) をゲート線 (G_1 - G_{2n}) に順次に印加し、前記ゲート線 (G_1 - G_{2n}) に接続されたスイッチング素子 (Q) をオンさせる。これにより、データ線 (D_1 - D_m) に印加されたデータ電圧は、オンしたスイッチング素子 (Q) を通じて該当画素に印加される。

【0052】

画素に印加されたデータ電圧と共通電圧 (V_{com}) との電圧差は液晶キャパシタ (C_{LC}) の充電電圧、即ち画素電圧として表れる。液晶分子は、画素電圧の大きさに応じてその配列が異なり、これによって液晶層 3 を通過する光の偏光が変化する。このような偏光の変化は、表示板 100、200 に付着された偏光子によって光透過率の変化として表れる。

10

【0053】

1/2 水平周期 (または 1/2 H) [H: 水平同期信号 (Hsync) 及びデータイネーブル信号 (DE) の一周期] を単位にして上述した過程を繰り返し、1 フレーム期間の間に全てのゲート線 (G_1 - G_{2n}) に対し順次にゲートオン電圧 (V_{on}) を印加して、全ての画素にデータ電圧を印加する。1 フレームが終了すると次のフレームが開始され、各画素に印加されるデータ電圧の極性が直前フレームでの極性と逆になるように、データ駆動部 500 に印加される反転信号 (RVS) の状態が制御される (フレーム反転)。この時、1 フレーム期間内でも反転信号 (RVS) の特性によって一つのデータ線を通じて流れるデータ電圧の極性が変化したり (例: 行反転、ドット反転)、隣接データ線を通じて同時に流れるデータ電圧の極性が互いに異なる場合がある (例: 列反転、ドット反転)。

20

【0054】

< 列反転 >

次に、本発明に係る列反転について、図 7 を参照して詳細に説明する。図 7 は、図 3 に示した液晶表示装置の列反転時の極性を示すものである。

まず、画素の配置において、RP、GP、BP で示される赤色、緑色及び青色画素が、複数の画素行と複数の画素列からなる行列状に配列されている。各画素行は、順に配列された赤色、緑色及び青色画素 (RP、GP、BP) を含み、各画素列は三色の画素のうち一色の画素のみを含む。これをストライプ配列と言う。

30

【0055】

図 7 に示すように、データ駆動部 500 で行う反転が列反転である場合、一つのデータ線に連結された画素の画素電圧の極性は全て同一であり、隣接したデータ線に連結された画素の画素電圧の極性は互いに逆である。

次に、図 7 に示す列反転における各画素に電圧を印加する種々の方法について、図 8 A 乃至図 11 B を参照して詳細に説明する。

【0056】

図 8 A、図 9 A、図 10 A 及び図 11 B は、本発明の実施例による液晶表示装置の信号波形を時間によって示した図である。図 8 B、図 9 B、図 10 B 及び図 11 B は、各々図 8 A、図 9 A、図 10 A 及び図 11 A に示した液晶表示装置において、一行の画素に充電される画素電圧の極性を時間の関数で示した図である。

40

図 8 A 乃至図 11 B に係る g_j ($j=1, 2, \dots$) は、 j 番目ゲート線 (G_j) に印加されるゲート信号を示している。図 8 A 乃至図 11 B に係る d_2 及び d_3 は、各々図 7 で第 2、第 3 のデータ線 (D_2 、 D_3) に印加されるデータ電圧を示す。図 8 A、図 9 A、図 10 A 及び図 11 A で、ゲート信号 (g_1 、 g_3 、 \dots) に表示された極性は、上部ゲート線 (奇数番目ゲート線 (G_{2i-1})) 及び第 3 のデータ線 (D_3) に連結されている画素の極性を示したものであり、ゲート信号 (g_2 、 g_4 、 \dots) に表示された極性は、下部ゲート線 (偶数番目ゲート線 (G_{2i})) 及び第 2 のデータ線 (D_2) に連結されている画素の極性を示したもので

50

ある。

【0057】

図8A及び図8Bに示す実施例では、各ゲート線(G_1-G_{2n})にゲートオン電圧(V_{on})を印加する時間は $1/2 H$ 、つまりゲートクロック信号(CPV)の一周期である。

図8Bによれば、上部ゲート線(G_{2i-1})及び下部ゲート線(G_{2i})にゲートオン電圧(V_{on})が印加されない初期状態($t=0$)では、同じ画素行内の画素は、2つ画素毎に画素電圧の極性が反転している。

【0058】

次に、 $t=1/2 H$ が経過すると、上部ゲート線(G_{2i-1})にはゲートオン電圧(V_{on})が印加される。すると、上部ゲート線(G_{2i-1})に連結されている画素にはデータ電圧が印加されるため、これによってデータ電圧が印加された画素電圧の極性が変化する。例えば、データ線D3に接続されている画素に注目すると、 $t=0$ ではプラスの極性であったが、 $t=1/2 H$ が経過するとマイナスの極性と変化している。この場合、画素間にデータ線がなく直接隣接している二つの画素は同一の極性となる。また、2つの画素の電圧差により生成された寄生容量により、上部ゲート線(G_{2i-1})に連結されている画素は影響を受けて最終的な画素電圧が決定される。

10

【0059】

次に、 $t=1 H$ の時点では、上部ゲート線(G_{2i-1})にはゲートオフ電圧(V_{off})が印加され、下部ゲート線(G_{2i})にはゲートオン電圧(V_{on})が印加される。すると、下部ゲート線(G_{2i})に連結されている画素の画素電圧の極性も変化する。例えば、データ線D2に接続されている画素に注目すると、プラスの極性からマイナスの極性に変化している。ここで、画素間にデータ線がなく直接隣接している二つの画素は互いに逆の極性を有するようになる。そして、二つの画素間の寄生容量によって上部ゲート線(G_{2i-1})に連結されている画素は影響を受けて画素電圧が変化する。

20

【0060】

一方、同じ色相を示す画素においても、上部ゲート線(G_{2i-1})に連結されている画素や、下部ゲート線(G_{2i})に連結されている画素がある。例えば、図8Bで、第1の緑画素列の緑色画素(GP1)は下部ゲート線(G_{2i})に連結されており、第2の緑画素列の緑色画素(GP2)は上部ゲート線(G_{2i-1})に連結されている。また、下部ゲート線(G_{2i})に連結された画素に電圧を充電する時には、上部ゲート線(G_{2i-1})に連結された画素は寄生容量に影響され画素電圧が変化する。一方、下部ゲート線(G_{2i})に連結された画素はこのようなことはない。従って、上部ゲート線(G_{2i-1})に連結された画素及び下部ゲート線(G_{2i})に連結された画素に同一の電圧を印加しても、実際の画素電圧では電圧差が生じる。

30

【0061】

図9A及び図9Bに示される実施例では、各ゲート線(G_1-G_{2n})にゲートオン電圧(V_{on})を印加する時間が $1 H$ であり、隣接した二つのゲート線(G_1-G_{2n})それぞれにゲートオン電圧(V_{on})を印加する時間は、 $1/2 H$ 期間重畳している。具体的には、各ゲート線(G_1-G_{2n})に連結された画素に印加する目標データ電圧は、ゲートオン電圧(V_{on})を印加する $1 H$ のうちの後半の $1/2 H$ の間に印加される。

40

【0062】

図9Bによれば、 $t=1/2 H$ の時点では、上部ゲート線(G_{2i-1})にゲートオン電圧(V_{on})が印加されると、上部ゲート線(G_{2i-1})に接続されている画素には、直前ゲート線(G_{2i-2})に連結されている画素に印加されたデータ電圧が印加される。これによって上部ゲート線(G_{2i-1})に接続された画素電圧の極性は変化する。例えば、 $t=0$ では上部ゲート線(G_{2i-1})に接続された画素電圧の極性はマイナスであったが、 $t=1/2 H$ ではプラスに変化している。

【0063】

$t=1 H$ の時点では、上部ゲート線(G_{2i-1})には引き続きゲートオン電圧(V_{on})が印加され、下部ゲート線(G_{2i})にはゲートオン電圧(V_{on})が印加される。この時、上部ゲ

50

ト線 (G_{2i-1}) に連結されている画素に印加された目標データ電圧が、上部及び下部ゲート線 (G_{2i-1} 、 G_{2i}) に連結されている画素全てに印加される。上部ゲート線 (G_{2i-1}) に連結されている画素には、既に同一な極性の電圧が充電されているため画素電圧の極性は変化しないが、下部ゲート線 (G_{2i}) に連結されている画素の画素電圧の極性は変化する。例えば、 $t=1/2 H$ では下部ゲート線 (G_{2i}) に連結されている画素の画素電圧の極性はマイナスであったが、 $t=1 H$ ではプラスに変化している。ここで、データ線が介在せず隣接する二つの画素は互いに逆の極性を有するようになり、二つの画素間の寄生容量によって上部ゲート線 (G_{2i-1}) に連結されている画素が影響を受け、最終の画素電圧が決定される。

【0064】

10

次に、 $t=3/2 H$ の時点では、上部ゲート線 (G_{2i-1}) にはゲートオフ電圧 (V_{off}) が印加され、下部ゲート線 (G_{2i}) にはゲートオン電圧 (V_{on}) が印加される。すると、下部ゲート線 (G_{2i}) に連結されている画素の目標データ電圧がデータ線 (D_1-D_m) から印加され、 $t=1 H$ において充電された下部ゲート線 (G_{2i}) に連結されている画素の画素電圧の極性はそのまま維持される。この場合でも、データが介在せずに隣接する二つの画素は互いに逆の極性を有しており、二つの画素間の寄生容量によって上部ゲート線 (G_{2i-1}) に連結されている画素の画素電圧は影響を受けるが、画素の極性の変化がないため上部ゲート線 (G_{2i-1}) に連結されている画素の画素電圧の変化量は極めて少ない。

【0065】

20

図10A及び図10Bに示す実施例では、各ゲート線 (G_1-G_{2n}) に $1/2 H$ の間隔毎にゲートオン電圧 (V_{on}) 及びゲートオフ電圧 (V_{off}) を印加する。各ゲート線 (G_1-G_{2n}) に連結された画素に印加する目標データ電圧は、 $t=3/2 H \sim 2 H$ の $1/2 H$ 間に印加される。

図10Bによれば、 $t=1/2 H$ では、上部ゲート線 (G_{2i-1}) にはゲートオン電圧 (V_{on}) が印加される。すると、上部ゲート線 (G_{2i-1}) に連結されている画素は、該当ゲート線 (G_{2i-1}) の前のゲート線 (G_{2i-3}) に連結された画素に印加されたデータ電圧により充電され、画素電圧の極性が変化する。

【0066】

30

$t=1 H$ では、上部ゲート線 (G_{2i-1}) にはゲートオフ電圧 (V_{off}) が印加され、下部ゲート線 (G_{2i}) にはゲートオン電圧 (V_{on}) が印加される。すると、下部ゲート線 (G_{2i}) に連結されている画素は、該当ゲート線 (G_{2i}) の前のゲート線 (G_{2i-2}) に連結された画素に印加されたデータ電圧により充電され、画素電圧の極性が変化する。

$t=3/2 H$ では、上部ゲート線 (G_{2i-1}) には再びゲートオン電圧 (V_{on}) が印加され、下部ゲート線 (G_{2i}) にはゲートオフ電圧 (V_{off}) が印加される。すると、上部ゲート線 (G_{2i-1}) に連結されている画素に印加する目標データ電圧が上部ゲート線 (G_{2i-1}) に連結されている画素に印加される。しかし、上部ゲート線 (G_{2i-1}) に連結されている画素には、既に同一の極性の電圧が充電されているため、画素電圧の極性は変化しない。この時、隣接する二つの画素は互いに逆の極性であり、二つの画素間に生じた寄生容量によって上部ゲート線 (G_{2i-1}) に連結されている画素の電圧が影響をうけて、この画素の最終的な画素電圧が決定される。

40

【0067】

次に、 $t=2 H$ では、上部ゲート線 (G_{2i-1}) にはゲートオフ電圧 (V_{off}) が印加され、下部ゲート線 (G_{2i}) にはゲートオン電圧 (V_{on}) が印加される。すると、下部ゲート線 (G_{2i}) には、下部ゲート線 (G_{2i}) に連結されている画素の目標データ電圧がデータ線 (D_1-D_m) に印加され、下部ゲート線 (G_{2i}) に連結されており先ほど充電された画素の画素電圧の極性はそのまま維持される。この場合であっても、同じデータ線で囲まれた領域内で隣接する二つの画素は依然として逆の極性を保つ。そして、二つの画素間の寄生容量の影響により、上部ゲート線 (G_{2i-1}) に連結されている画素の画素電圧はほとんど変化することなく保たれる。

【0068】

50

図 1 1 A 及び図 1 1 B に示す実施例では、上部ゲート線 ($G_1, G_3, \dots, G_{2i-1}, \dots$) にゲートオン電圧 (V_{on}) を印加する時間は $1/2 H$ であり、下部ゲート線 ($G_2, G_4, \dots, G_{2i}, \dots$) にゲートオン電圧 (V_{on}) を印加する時間は $1 H$ である。一つの画素行を介在して隣接した一对の上部及び下部ゲート線 (G_{2i-1}, G_{2i}) にゲートオン電圧 (V_{on}) を印加する時間は $1/2 H$ の間重畳する。この時、下部ゲート線 ($G_2, G_4, \dots, G_{2i}, \dots$) 各々に連結された画素に印加する目標データ電圧は $1 H$ のうち後半の $1/2 H$ の間に印加される。

【0069】

図 1 1 B によれば、 $t=1/2 H$ では、上部及び下部ゲート線 (G_{2i-1}, G_{2i}) にはゲートオン電圧 (V_{on}) が印加される。すると、上部及び下部ゲート線 (G_{2i-1}, G_{2i}) に連結されている画素には、同じデータ電圧が印加され、これによって上部及び下部ゲート線 (G_{2i-1}, G_{2i}) に連結されている画素電圧の極性が共に変化する。例えば、データ線 D 2 に接続された画素はマイナスからプラスの極性の变化し、データ線 D 3 に接続された画素はプラスからマイナスの極性に变化している。この時、データ線が介在せず隣接する二つの画素は互いに逆の極性を有しているため、二つの画素間に発生した寄生容量によって上部ゲート線 (G_{2i-1}) に連結されている画素の電圧は影響を受け、上部ゲート線 (G_{2i-1}) の最終的な画素電圧が決定される。

10

【0070】

$t=1 H$ では、上部ゲート線 (G_{2i-1}) にはゲートオフ電圧 (V_{off}) が印加され、下部ゲート線 (G_{2i}) には引き続きゲートオン電圧 (V_{on}) が印加され、下部ゲート線 (G_{2i}) に連結されている画素には目標データ電圧が印加される。下部ゲート線 (G_{2i}) に連結されている画素には、既に同一の極性の電圧が充電されているため、画素電圧の極性は変化しない。従って、隣接する二つの画素は依然として逆の極性を有した状態を保つ。二つの画素間の寄生容量により、上部ゲート線 (G_{2i-1}) に連結されている画素の画素電圧はほとんど変化することなくほぼ一定である。

20

【0071】

このような駆動方法により、データ駆動回路の数を減らすと共に、画質の均一性を確保することができる。

以上、本発明の好適な実施例を参照して説明したが、当該技術分野の熟練した当業者は、特許請求の範囲に記載された本発明の思想及び領域から逸脱しない範囲内で本発明を多様に修正及び変更できることは理解することができる。

30

【図面の簡単な説明】

【0072】

【図 1】本発明の一実施例による液晶表示装置のブロック図である。

【図 2】本発明の一実施例による液晶表示装置の 1 画素に対する等価回路図である。

【図 3】本発明の実施例による薄膜トランジスタ表示板の概略図である。

【図 4】本発明の一実施例による薄膜トランジスタ表示板の配置図である。

【図 5】図 4 に示す薄膜トランジスタ表示板の $V-V'$ 線による断面図である。

【図 6】図 4 に示す薄膜トランジスタ表示板の $VI-VI'$ 線による断面図である。

【図 7】図 3 に示す液晶表示装置の列反転時の極性を示すものである。

【図 8 A】本発明の実施例による液晶表示装置の信号波形を時間によって示すものである

40

。

【図 8 B】図 8 A に示す液晶表示装置において、一行の画素に充電される画素電圧の極性を時間の関数で示すものである。

【図 9 A】本発明の実施例による液晶表示装置の信号波形を時間によって示すものである

。

【図 9 B】図 9 A に示す液晶表示装置において、一行の画素に充電される画素電圧の極性を時間の関数で示すものである。

【図 10 A】本発明の実施例による液晶表示装置の信号波形を時間によって示すものである。

【図 10 B】図 10 A に示す液晶表示装置において、一行の画素に充電される画素電圧の

50

極性を時間の関数で示すものである。

【図 1 1 A】本発明の実施例による液晶表示装置の信号波形を時間によって示すものである。

【図 1 1 B】図 1 1 A に示す液晶表示装置において、一行の画素に充電される画素電圧の極性を時間の関数で示すものである。

【符号の説明】

【0073】

3 液晶層

8 1, 8 2 接触補助部材

1 0 0、2 0 0 表示板

10

1 1 0 絶縁基板

1 2 1 a、1 2 1 b、1 2 9 ゲート線

1 2 4 ゲート電極

1 3 1 維持電極線

1 3 3 維持電極

1 4 0 ゲート絶縁膜

1 5 1、1 5 4 半導体

1 6 1、1 6 3、1 6 5 抵抗性接触部材

1 7 1、1 7 9 データ線

1 7 3 ソース電極

20

1 7 5 ドレイン電極

1 8 0 保護膜

1 8 1、1 8 2、1 8 5 接触孔

1 9 0 画素電極

2 3 0 カラーフィルタ

2 7 0 共通電極

3 0 0 液晶表示板組立体

4 0 0 ゲート駆動部

5 0 0 データ駆動部

6 0 0 信号制御部

30

8 0 0 階調電圧生成部

C_{LC} 液晶キャパシタ

C_{ST} ストレージキャパシタ

CONT1,CONT2 制御信号

CPV ゲートクロック信号

DE データイネーブル信号

$D_1 - D_m$ データ線

$d_2、d_3$ データ電圧

G1-G2 n ゲート線

g_j ($j = 1, 2, 3 \dots$) ゲート信号

40

Hsync 水平同期信号

Vsync 垂直同期信号

PX 画素

Q スイッチング素子

R,G,B 入力映像信号

RP,GP,BP 画素

DAT 出力映像信号

STV 走査開始信号

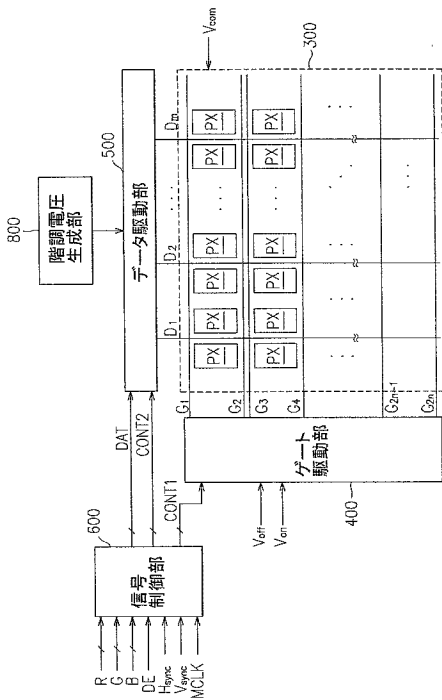
Vcom 共通電圧

Von ゲートオン電圧

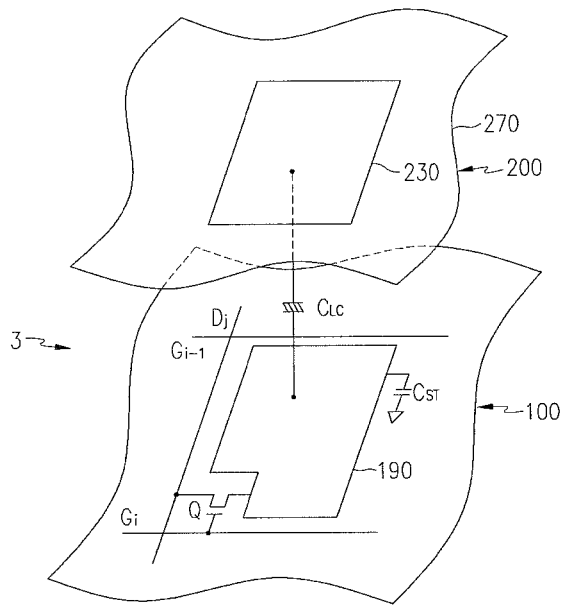
50

Voff ゲートオフ電圧

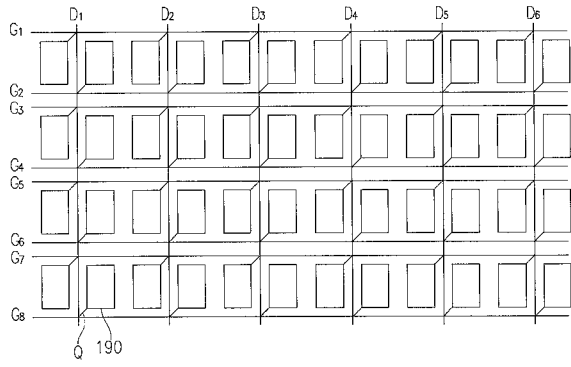
【 図 1 】



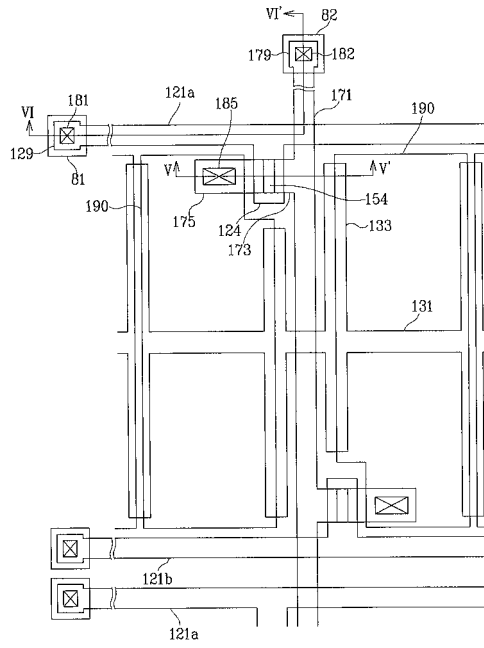
【 図 2 】



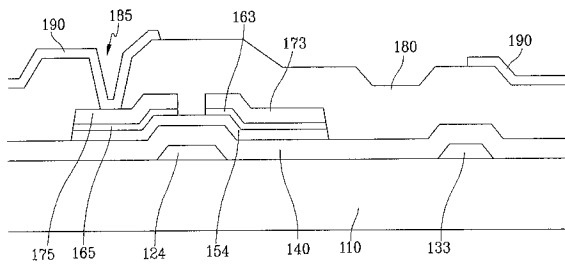
【 図 3 】



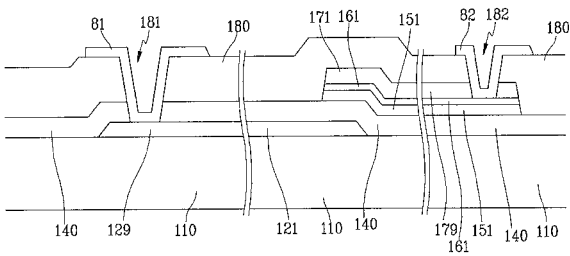
【 図 4 】



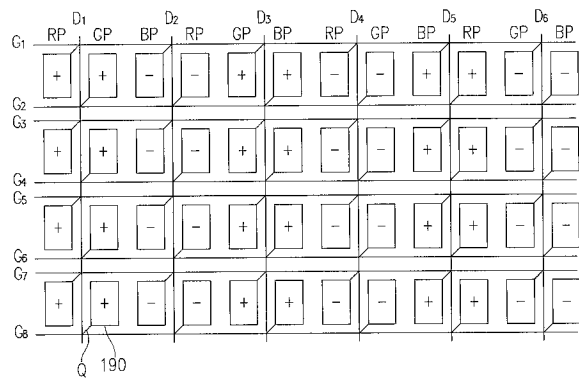
【 図 5 】



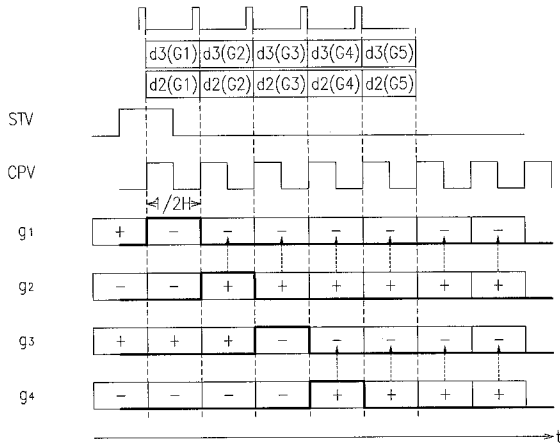
【 図 6 】



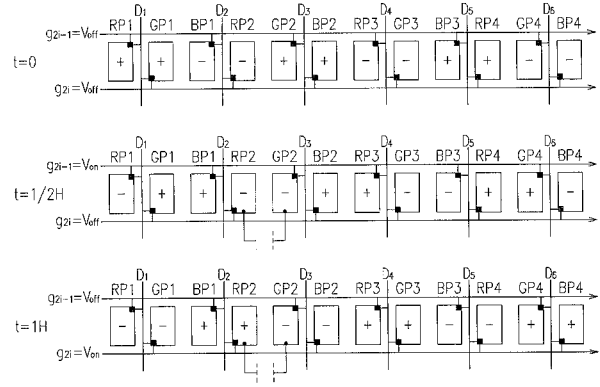
【 図 7 】



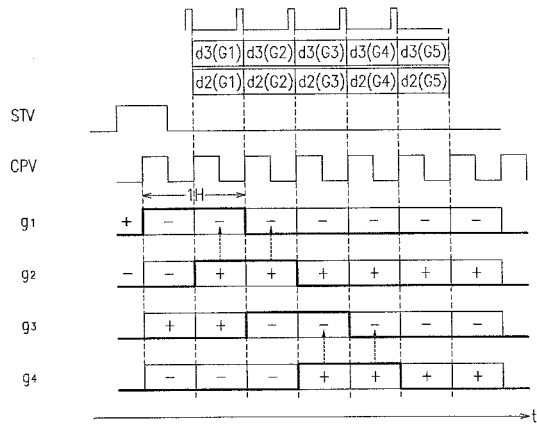
【 図 8 A 】



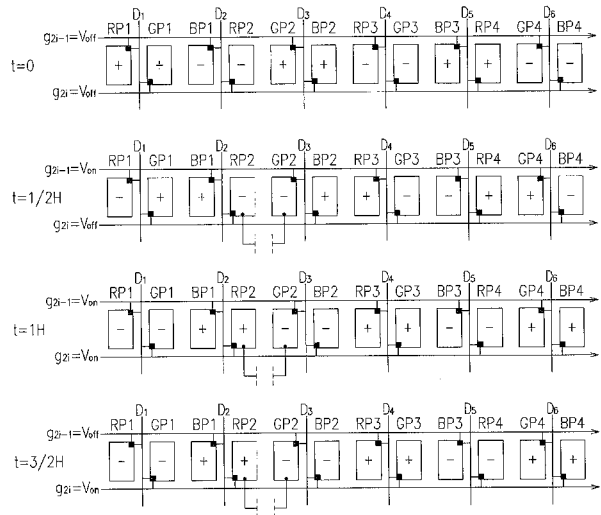
【 図 8 B 】



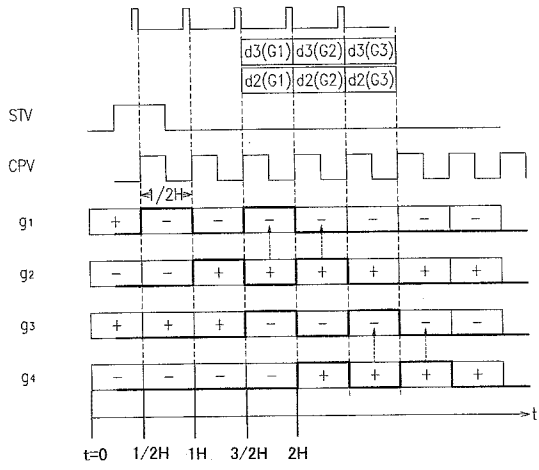
【 図 9 A 】



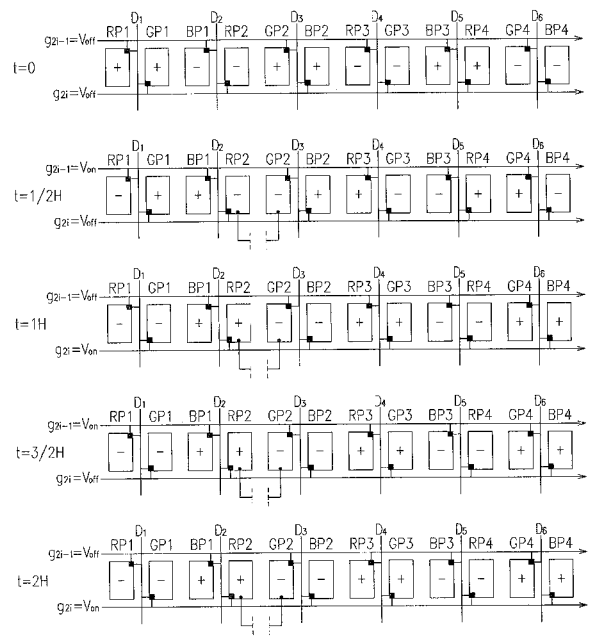
【 図 9 B 】



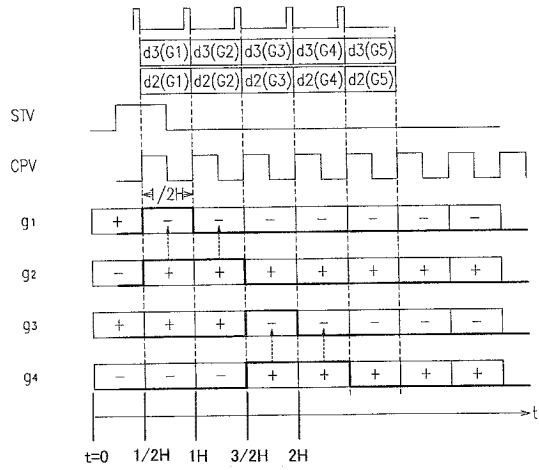
【 図 1 0 A 】



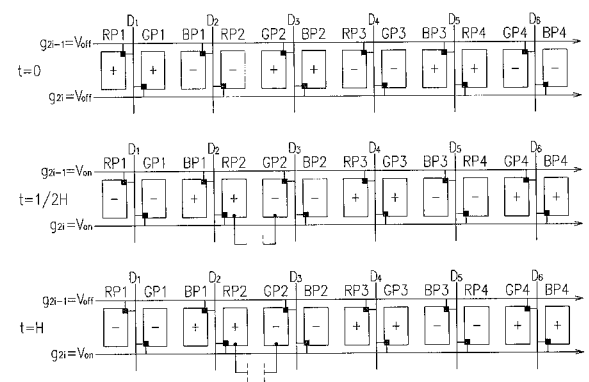
【 図 1 0 B 】



【 図 1 1 A 】



【 図 1 1 B 】



フロントページの続き

(72)発明者 文 勝 煥

大韓民国京畿道龍仁市水枝邑上 ヒョン 里現代アイパーク 6次アパート 205棟 1504号(マンヒョンマウル)

Fターム(参考) 2H093 NA18 NC12 NC34 NC35 ND42 ND49 ND50
5C006 AC28 AF42 AF43 AF44 AF71 BB14 BB16 BB21 BC03 BC11
BC23 FA16 FA41 FA43 FA52
5C080 AA10 BB06 DD22 DD27 FF11 JJ02 JJ04 JJ06

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2005309437A	公开(公告)日	2005-11-04
申请号	JP2005120862	申请日	2005-04-19
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	文勝煥		
发明人	文勝煥		
IPC分类号	G02F1/133 G02F1/1362 G09G3/20 G09G3/36		
CPC分类号	G09G3/3648 G02F1/136213 G09G3/3607 G09G3/3614 G09G2300/0426 G09G2310/0205 G09G2310/0251		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.A G09G3/20.621.B G09G3/20.621.E		
F-TERM分类号	2H093/NA18 2H093/NC12 2H093/NC34 2H093/NC35 2H093/ND42 2H093/ND49 2H093/ND50 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF71 5C006/BB14 5C006/BB16 5C006/BB21 5C006/BC03 5C006/BC11 5C006/BC23 5C006/FA16 5C006/FA41 5C006/FA43 5C006/FA52 5C080/AA10 5C080/BB06 5C080/DD22 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZB46 2H193/ZF36		
优先权	1020040026752 2004-04-19 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少驱动电路芯片的数量以降低液晶显示装置的生产成本，并实现具有优异图像质量的液晶显示装置。多个像素行，每个像素行包括交替布置的第一和第二像素，以及分别连接到像素并传输第一和第二信号的多条第一和第二信号线，多条第三信号线，每条第三信号线设置在与信号线相交并邻接的一对第一和第二像素之间，并连接到第一和第二像素。第一像素和第二像素分别基于第一信号和第二信号对第三信号线的电压充电。第二像素在同一像素行中的第一像素完成对第三信号线的电压充电之前，第二像素对第三信号线的电压进行充电的第一充电时间为 在第三信号线的电压的充电完成之后，在第二像素对第三信号线的电压充电的第二充电时间期间，被充电到第二像素的第三信号线的电压的极性相同。进行调整 [选择图]图9A

