

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-300579

(P2005-300579A)

(43) 公開日 平成17年10月27日(2005.10.27)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G02F 1/1343	G02F 1/1343	2H092
G02F 1/1368	G02F 1/1368	5C006
G09F 9/30	G09F 9/30 341	5C080
G09G 3/20	G09G 3/20 641G	5C094
G09G 3/36	G09G 3/20 680G	
審査請求 未請求 請求項の数 6 O L (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2004-111914 (P2004-111914)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成16年4月6日(2004.4.6)	(74) 代理人	100086298 弁理士 船橋 國則
		(72) 発明者	山上 裕之 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	寺西 康幸 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	仲島 義晴 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		最終頁に続く	

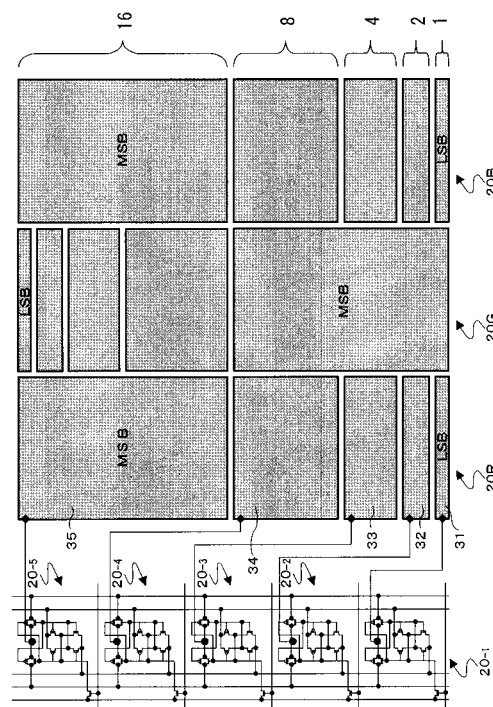
(54) 【発明の名称】 表示装置および表示装置におけるレイアウト方法

(57) 【要約】

【課題】面積階調法により階調を表現するアクティブマトリクス型液晶表示装置において、サブ画素電極の重心の偏りを改善するために単位画素の画素電極をより多くのサブ画素電極に分割したり、サブ画素電極の複雑なレイアウトしたりする構成を採ると、配線数が増加するためレイアウトの複雑さが増し、また画素の開口面積率が低下する。

【解決手段】面積階調法により階調を表現するアクティブマトリクス型液晶表示装置において、複数のサブ画素電極31~35のレイアウトを、例えば水平方向において1単位画素ごとに上下反転させ、複数のサブ画素電極31~35を水平方向において隣接する単位画素間で異なるようにレイアウトすることで、隣接する単位画素間で複数のサブ画素電極31~35を不規則なレイアウトにする。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

画素電極が面積重み付けされた複数のサブ画素電極に分割されてなる単位画素が行列状に 2 次元配置されてなる表示装置であって、

前記単位画素における前記複数のサブ画素電極のレイアウトが、水平方向および垂直方向の少なくとも一方において隣接する単位画素間で異なる

ことを特徴とする表示装置。

【請求項 2】

前記複数のサブ画素電極の形状が前記単位画素の各々で同じであり、

前記複数のサブ画素電極のレイアウトが水平方向および垂直方向の少なくとも一方において 1 単位画素ごとに上下もしくは左右で反転している

ことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記複数のサブ画素電極の形状が前記単位画素の各々で同じであり、

前記複数のサブ画素電極のレイアウトが水平方向および垂直方向の少なくとも一方において 1 単位画素ごとに 90 度もしくは 180 度回転している

ことを特徴とする請求項 1 記載の表示装置。

【請求項 4】

画素電極が面積重み付けされた複数のサブ画素電極に分割されてなる単位画素が行列状に 2 次元配置されてなる表示装置におけるレイアウト方法であって、

前記単位画素における前記複数のサブ画素電極を、水平方向および垂直方向の少なくとも一方において隣接する単位画素間で異なるようにレイアウトする

ことを特徴とする表示装置におけるレイアウト方法。

【請求項 5】

前記複数のサブ画素電極の形状が前記単位画素の各々で同じであり、

前記複数のサブ画素電極を水平方向および垂直方向の少なくとも一方において 1 単位画素ごとに上下もしくは左右で反転させてレイアウトする

ことを特徴とする請求項 4 記載の表示装置におけるレイアウト方法。

【請求項 6】

前記複数のサブ画素電極の形状が前記単位画素の各々で同じであり、

前記複数のサブ画素電極を水平方向および垂直方向の少なくとも一方において 1 単位画素ごとに 90 度もしくは 180 度回転させてレイアウトする

ことを特徴とする請求項 4 記載の表示装置におけるレイアウト方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置および表示装置におけるレイアウト方法に関し、特に面積階調法により階調を表現する表示装置および当該表示装置における単位画素のレイアウト方法に関する。

【背景技術】**【0002】**

電気光学素子を含む単位画素が行列状に多数配置されてなる表示装置、例えば電気光学素子として液晶セルを用いてなる液晶表示装置において、システム全体の低コスト化、低消費電力化および良品率向上を目的として為された駆動法として面積階調法が知られている。この面積階調法は、単位画素の表示領域となる画素電極を面積重み付けされた複数のサブ画素電極に分割し、これらサブ画素電極の面積の組み合わせによって階調表示を行うというものである（例えば、特許文献 1 参照）。

【0003】

複数のサブ画素電極の形状およびレイアウトの一例を図 10 および図 11 に示す。このようなサブ画素電極の形状およびレイアウトを持つ単位画素が、複数のサブ画素電極のレ

10

20

30

40

50

アウトが単位画素間で同じになるように規則正しく行列状に配置される。ところが、図 10 および図 11 から明らかなように、単位画素の中心に対して最上位 (MSB) ビットのサブ画素電極の重心に偏りがあるため、表示データによっては垂直方向、水平方向あるいは斜め方向の偽輪郭や縞模様が生じる確率が高く、またその影響も大きい。このため、従来は、図 12 あるいは図 13 に示すように、単位画素の画素電極をより多くのサブ画素電極に分割したり、サブ画素電極の複雑なレイアウトしたりする構成を採ることで、サブ画素電極の重心の偏りをミクロ的な視点において改善するようにしていた (例えば、特許文献 2 参照)。

【0004】

【特許文献 1】特開平 10 - 68931 号公報

10

【特許文献 2】特開 2002 - 333870 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上述した従来技術では、サブ画素電極の数が増える分だけ配線数が増加するためレイアウトの複雑さが増し、またサブ画素電極の数が増える分だけ区切る部分が多くなり、当該区切る部分が多ければ多い程、分割する際のエッチング処理で削れる部分が多くなるために、画素の開口面積率が低下するなどの課題がある。さらに、マクロ的な視点に戻したときに生じる垂直方向、水平方向あるいは斜め方向の偽輪郭や縞模様の影響は小さくなるものの、上下左右の単位画素間で最上位ビットのサブ画素電極が常に隣接するため、垂直方向、水平方向あるいは斜め方向の偽輪郭や縞模様の出現頻度が高くなるという課題がある。

20

【0006】

本発明は、上記課題に鑑みてなされたものであって、その目的とするところは、単位画素の開口面積率の低下を抑えつつ、垂直方向、水平方向あるいは斜め方向の偽輪郭や縞模様の影響および出現確率を低減可能な表示装置および表示装置におけるレイアウト方法を提供することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明では、画素電極が面積重み付けされた複数のサブ画素電極に分割されてなる単位画素が行列状に 2 次元配置されてなり、面積階調法により階調を表現する表示装置において、前記単位画素における前記複数のサブ画素電極を、水平方向および垂直方向の少なくとも一方において隣接する単位画素間で異なるようにレイアウトする構成を採る。

30

【0008】

上記構成の表示装置において、複数のサブ画素電極を水平方向、垂直方向または水平・垂直両方向において隣接する単位画素間で異なるようにレイアウトすることで、隣接する単位画素間で複数のサブ画素電極が不規則なレイアウトになるため、単位画素の画素電極をより多くのサブ画素電極に分割したり、サブ画素電極の複雑なレイアウトしたりする構成を採らなくても、表示データによって垂直方向、水平方向あるいは斜め方向の偽輪郭や縞模様の影響および出現確率を低減できる。

40

【発明の効果】

【0009】

本発明によれば、単位画素の画素電極をより多くのサブ画素電極に分割したり、サブ画素電極の複雑なレイアウトしたりする構成を採らなくて済むため、単位画素の開口面積率の低下を抑えつつ、垂直方向、水平方向あるいは斜め方向の偽輪郭や縞模様の影響および出現確率を低減できる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

50

【 0 0 1 1 】

図 1 は、本発明が適用される表示装置の構成の概略を示すシステムブロック図である。ここでは、一例として、画素の電気光学素子として液晶セルを用いたアクティブマトリクス型液晶表示装置を例に挙げて説明するものとする。

【 0 0 1 2 】

図 1 から明らかなように、本実施形態に係るアクティブマトリクス型液晶表示装置は、画素アレイ部 1 1、インターフェース (I / F) 1 2、タイミングジェネレータ (T G) 1 3、垂直駆動回路 1 4 および水平駆動回路 1 5 を有し、画素アレイ部 1 1 の駆動回路であるインターフェース 1 2、タイミングジェネレータ 1 3、垂直駆動回路 1 4 および水平駆動回路 1 5 が画素アレイ部 1 1 と同一の基板上に一体的に設けられた駆動回路一体型の構成となっている。

10

【 0 0 1 3 】

画素アレイ部 1 1 は、電気光学素子である液晶セルを含む画素 2 0 が、透明絶縁基板、例えば第 1 のガラス基板 (図示せず) 上に行列状に 2 次元配置され、この画素 2 0 の m 行 n 列の配列に対して行ごとに走査線 1 6 - 1 ~ 1 6 - m が配線され、列ごとに信号線 1 7 - 1 ~ 1 7 - n が配線された構成となっている。第 1 のガラス基板は、第 2 のガラス基板と所定の間隙を持って対向配置され、当該第 2 のガラス基板との間に液晶材料が封止されることによって表示パネル 1 8 を構成している。

【 0 0 1 4 】

表示パネル 1 8 には、外部からマスタークロック m c k、水平同期信号 H s y n c および垂直同期信号 V s y n c が入力され、インターフェース 1 2 に与えられる。インターフェース 1 2 は、外部電源の電圧振幅のマスタークロック m c k、水平同期信号 H s y n c および垂直同期信号 V s y n c を、液晶の駆動に必要な内部電源の電圧振幅にレベル変換 (昇圧) し、マスタークロック M C K、水平同期信号 H D および垂直同期信号 V D としてタイミングジェネレータ 1 3 に与える。

20

【 0 0 1 5 】

タイミングジェネレータ 1 3 は、マスタークロック M C K、水平同期信号 H D および垂直同期信号 V D に基づいて、垂直スタートパルス V S T および垂直クロックパルス V C K を生成して水平駆動回路 1 4 に与えるとともに、水平スタートパルス H S T および水平クロックパルス H C K を生成して水平駆動回路 1 5 に与え、さらに液晶セルの対向電極に対して各画素共通に与えるコモン電位 (対向電極電位) V C O M、当該コモン電位 V C O M と同相の制御パルス F R P および逆相の制御パルス X F R P を生成して画素アレイ部 1 1 に与える。

30

【 0 0 1 6 】

垂直駆動回路 1 4 は、画素アレイ部 1 1 の例えば右側に配置されている。なお、ここでは、画素アレイ部 1 1 の右側に垂直駆動回路 1 4 を配置する構成を例に挙げて示したが、画素アレイ部 1 1 の左側に、あるいは画素アレイ部 1 1 の左右両側に垂直駆動回路 1 4 を配置する構成を採ることも可能である。垂直駆動回路 1 4 は、シフトレジスタやバッファ回路等によって構成され、垂直スタートパルス V S T が与えられることで、垂直クロックパルス V C K に同期して垂直走査パルス V 1 ~ V m を順に出力し、画素アレイ部 1 1 の走査線 1 6 - 1 ~ 1 6 - m に与えることによって画素 2 0 を行単位で順次選択する。

40

【 0 0 1 7 】

水平駆動回路 1 5 には、例えば 6 ビットの R (赤)、G (緑)、B (青) のデジタル映像データが与えられる。水平駆動回路 1 5 は、垂直駆動回路 1 4 による垂直走査によって選択された行の各画素 2 0 に対して、画素ごとに、もしくは複数画素ごとに、あるいは全画素一斉に、信号線 1 7 - 1 ~ 1 7 - n を介して表示データを書き込む。

【 0 0 1 8 】

[画素回路]

図 2 は、画素 2 0 ごとに設けられる画素回路の構成の一例を示すブロック図である。図 2 から明らかなように、画素回路は、3 つのスイッチ素子 2 1 ~ 2 3、ラッチ部 2 4 およ

50

び液晶セル 25 を有する S R A M 機能付きの画素構成となっている。図 3 は、画素回路の動作説明に供するタイミングチャートである。

【 0 0 1 9 】

スイッチ素子 21 は、信号線 17 (17 - 1 ~ 17 - n) に一端が接続されており、垂直駆動回路 14 から垂直走査パルス $V (V_1 \sim V_m)$ が与えられることによってオン (閉) 状態となり、信号線 17 (17 - 1 ~ 17 - n) を介して供給される表示データ S I G を取り込む。ラッチ部 24 は、互いに逆向きに並列接続されたインバータ 241 , 242 によって構成されており、スイッチ素子 21 によって取り込まれた表示データ S I G に応じた電位を保持 (ラッチ) する。

【 0 0 2 0 】

スイッチ素子 22 , 23 は、ラッチ部 24 の保持電位の極性に応じていずれか一方がオン状態となり、対向電極にコモン電位 V C O M が印加されている液晶セル 25 に対して、当該コモン電位 V C O M と同相の制御パルス F R P または逆相の制御パルス X F R P を画素電極に与える。図 3 から明らかなように、ラッチ部 24 の保持電位が負側極性のときには、液晶セル 25 の画素電位がコモン電位 V C O M と同相になるため黒表示となり、ラッチ部 24 の保持電位が正側極性のときには、液晶セル 25 の画素電位がコモン電位 V C O M と逆相になるため白表示となる。

【 0 0 2 1 】

図 4 は、画素回路の具体的な回路例を示す回路図であり、図中、図 2 と対応する部分には同一符号を付して示している。

【 0 0 2 2 】

図 4 において、スイッチ素子 21 は、ソース/ドレインが信号線 17 (17 - 1 ~ 17 - n) に、ゲートが走査線 16 (16 - 1 ~ 16 - m) にそれぞれ接続された例えば N c h M O S トランジスタ Q n 10 である。スイッチ素子 22 は、N c h M O S トランジスタ Q n 11 および P c h M O S トランジスタ Q p 11 が互いに並列に接続されてなるトランスファスイッチである。スイッチ素子 23 は、N c h M O S トランジスタ Q n 12 および P c h M O S トランジスタ Q p 12 が互いに並列に接続されてなるトランスファスイッチである。

【 0 0 2 3 】

インバータ 241 は、N c h M O S トランジスタ Q n 13 および P c h M O S トランジスタ Q p 13 のゲート同士およびドレイン同士が共通に接続されてなる C M O S インバータである。インバータ 242 は、N c h M O S トランジスタ Q n 14 および P c h M O S トランジスタ Q p 14 のゲート同士およびドレイン同士が共通に接続されてなる C M O S インバータである。

【 0 0 2 4 】

上記の回路構成を基本とする画素回路を有する画素 20 が、水平方向および垂直方向に転回されて行列状に配置されることになる。この画素 20 の行列状配列に対して、行ごとの走査線 16 (16 - 1 ~ 16 - m) および列ごとの信号線 17 (17 - 1 ~ 17 - n) に加えて、制御パルス F R P , X F R P を伝送する制御線 25 , 26 および正側電源 V D D および負側電源 V S S の電源線 27 , 28 が列ごとに配線される。

【 0 0 2 5 】

上述したように、表示データに応じた電位を保持するラッチ部 24 を有する S R A M 機能付き画素 (画素メモリ) 20 が行列状に多数配置されてなる本実施形態に係るアクティブマトリクス型液晶表示装置では、画素メモリの多ビットカラー化を実現するために、画素 20 の表示領域となる画素電極を面積重み付けされた複数のサブ画素電極に分割する面積階調法を用いて、ラッチ部 24 の保持電位によって選択された画素電位を面積重み付けされたサブ画素電極 (反射型では反射板に相当、透過型では透過窓に相当) に通電し、重み付けされた面積の組み合わせによって階調を表現するようにする。

【 0 0 2 6 】

この面積階調法を用いた本実施形態に係るアクティブマトリクス型液晶表示装置では、

10

20

30

40

50

面積重み付けされて分割された複数のサブ画素電極は、当然のことながら、表示する階調に対応して適宜選択的に駆動されることになる。したがって、複数のサブ画素電極の各々に対して、図2および図4に示した構成の画素回路が別々に設けられることになる。

【0027】

かかる構成のアクティブマトリクス型液晶表示装置において、本発明では、単位画素20の表示領域を画定する複数のサブ画素電極を、水平方向（図1の左右方向）および垂直方向（図1の上下方向）の少なくとも一方において隣接する単位画素間で異なるようにレイアウトすることを特徴としている。以下、サブ画素電極のレイアウトの実施例について説明する。

【0028】

なお、複数のサブ画素電極の形状については、基本的に、単位画素20の各々で同じ形状であるものとする。また、本実施形態に係るアクティブマトリクス型液晶表示装置は、先述したようにカラー対応であるために、水平方向において隣り合う3画素が3原色R、G、B（順番は任意）にそれぞれ対応しているものとする（以下、これら3画素を画素20R、20G、20Bと記す）。そして、これら3画素（単位画素）20R、20G、20Bが単位となって1ピクセルを構成し、画素20R、20G、20Bの各々がサブピクセルとなる。

【0029】

（実施例1）

図5は、実施例1に係るサブ画素電極のレイアウトを示す平面パターン図である。ここでは、1ピクセル、即ち互いに隣り合う3画素20R、20G、20Bのみを図示している。この1ピクセルが水平方向および垂直方向に展開されて画素アレイ部11を形成することになる。

【0030】

図5において、画素20R、20G、20Bは、画素電極が例えば5つのサブ画素電極31～35（ここでは、図面の簡略化のために、画素20Rにのみ符号を付している）に分割されている。サブ画素電極31～35は、画素幅と同じ幅の長方形の形状を持ち、デジタル表示データに対応した面積比に設定されている。具体的には、サブ画素電極31の面積：サブ画素電極32の面積：サブ画素電極33の面積：サブ画素電極34の面積：サブ画素電極35の面積＝1：2：4：8：16に設定されている。

【0031】

画素20Rは、図の一番下に最下位ビット（LSB）のサブ画素電極31が位置し、図の一番上に最上位ビット（MSB）のサブ画素電極35が位置するように、下位ビットから順にレイアウトされている。一画素飛ばした画素20Bについても、画素20Rと同じレイアウトとなっている。これに対し、画素20R、20B間に位置する画素20Gは、図の一番下に最上位ビット35のサブ画素電極が位置し、図の一番上に最下位ビットのサブ画素電極31が位置するように、上位ビットから順にレイアウトされている。

【0032】

そして、これら3画素20R、20G、20Bを1ピクセルとして水平方向および垂直方向に展開されることになる。これにより、行列状の画素配列において、サブ画素電極31～35のレイアウトが、水平方向（図の左右方向）において1単位画素（画素20R、20G、20B個々）ごとに上下で反転することになる。3画素20R、20G、20Bの各サブ画素電極については、先述したように、図2および図4に示した構成の画素回路により、デジタル表示データに応じて適宜駆動されることになる。具体的には、例えば画素20Rのサブ画素電極31～35の各々は、画素回路20-1～20-5からデジタル表示データに応じた画素電位が与えられることになる。

【0033】

このように、面積階調法により階調を表現するアクティブマトリクス型液晶表示装置において、複数のサブ画素電極31～35のレイアウトを水平方向において1単位画素ごとに上下反転させ、複数のサブ画素電極31～35を水平方向において隣接する単位画素間

10

20

30

40

50

で異なるようにレイアウトすることにより、隣接する単位画素間で複数のサブ画素電極 31 ~ 35 が不規則なレイアウトになるため、表示データによって垂直方向、水平方向あるいは斜め方向の偽輪郭や縞模様の影響および出現確率を低減できる。すなわち、単位画素の画素電極をより多くのサブ画素電極に分割したり、サブ画素電極の複雑なレイアウトしたりする構成を採らなくて済むため、単位画素の開口面積率の低下を抑えつつ、所期の目的を達成することができる。

【0034】

なお、本実施例 1 では、サブ画素電極 31 ~ 35 のレイアウトを、水平方向において 1 単位画素ごとに上下反転させるとしたが、垂直方向（図の上下方向）において 1 単位画素ごとに上下反転させるようにしても良いし、また水平・垂直の両方向において 1 単位画素ごとに上下反転させるようにしても良い。また、単位画素の画素電極をサブ画素電極に分割する数は 5 に限られるものではなく、当該分割数は任意に設定可能である。

10

【0035】

また、本実施例 1 では、単位画素の画素電極を上下方向において複数のサブ画素電極に分割し、これら複数のサブ画素電極のレイアウトを 1 単位画素ごとに上下で反転させるとしたが、単位画素の画素電極を左右方向において複数のサブ画素電極に分割し、これら複数のサブ画素電極のレイアウトを 1 単位画素ごとに左右で反転させる構成を採ることも可能である。

【0036】

（実施例 2）

図 6 は、実施例 2 に係るサブ画素電極のレイアウトを示す平面パターン図である。ここでは、上下 2 ピクセル分、即ち 6 画素分のサブ画素電極のレイアウトを図示している。これら 2 ピクセルが水平方向および垂直方向に展開されて画素アレイ部 11 を形成することになる。なお、図 6 では、図面の簡略化のために、単位画素の各サブ画素電極に対して、デジタル表示データに応じた画素電位を与える画素回路については図示を省略し、サブ画素電極のレイアウトのみを図示している。

20

【0037】

図 6 において、画素 20R, 20G, 20B は、画素電極が例えば 5 つのサブ画素電極 41 ~ 45（ここでは、図面の簡略化のために、画素 20R にのみ符号を付している）に分割されている。サブ画素電極 41 ~ 45 は、一部の画素電極が画素幅と異なる幅の長方形の形状を持ち、デジタル表示データに対応した面積比に設定されている。具体的には、サブ画素電極 41 の面積：サブ画素電極 42 の面積：サブ画素電極 43 の面積：サブ画素電極 44 の面積：サブ画素電極 45 の面積 = 1 : 2 : 4 : 8 : 16 に設定されている。

30

【0038】

画素 20R は、例えば、上位 3 ビットのサブ画素電極 43, 44, 45 が、図の下から順にレイアウトされている。ここで、上位 2 ビットのサブ画素電極 44, 45 は、画素の一辺側における互いに隣接する部分に矩形状の切り欠き部を持っている。そして、サブ画素電極 44, 45 の各切り欠き部の領域に下位 2 ビットのサブ画素電極 41, 42 が配置されている。一画素飛ばした画素 20B についても、画素 20R と同じレイアウトとなっている。これに対し、画素 20R, 20B 間に位置する画素 20G は、画素 20R のサブ画素電極 41 ~ 45 のレイアウトを、180 度回転させたレイアウトとなっている。

40

【0039】

そして、これら 3 画素 20R, 20G, 20B を 1 ピクセルとして水平方向および垂直方向に展開されることになる。これにより、行列状の画素配列において、サブ画素電極 41 ~ 45 のレイアウトが、水平方向において 1 単位画素（画素 20R, 20G, 20B 個々）ごとに 180 度回転することになる。

【0040】

このように、面積階調法により階調を表現するアクティブマトリクス型液晶表示装置において、複数のサブ画素電極 41 ~ 45 のレイアウトを水平方向において 1 単位画素ごとに 180 度回転反転させ、複数のサブ画素電極 41 ~ 45 を水平方向において隣接する単

50

位画素間で異なるようにレイアウトすることにより、隣接する単位画素間で複数のサブ画素電極 4 1 ~ 4 5 が不規則なレイアウトになるため、表示データによって垂直方向、水平方向あるいは斜め方向の偽輪郭や縞模様の影響および出現確率を低減できる。すなわち、単位画素の画素電極をより多くのサブ画素電極に分割したり、サブ画素電極の複雑なレイアウトしたりする構成を採らなくて済むため、単位画素の開口面積率の低下を抑えつつ、所期の目的を達成することができる。

【0041】

なお、本実施例 2 では、サブ画素電極 4 1 ~ 4 5 のレイアウトを、水平方向において 1 単位画素ごとに 180 度回転させるとしたが、垂直方向において 1 単位画素ごとに 180 度回転させるようにしても良いし、また水平・垂直の両方向において 1 単位画素ごとに 180 度回転させるようにしても良い。また、単位画素の画素電極をサブ画素電極に分割する数は 5 に限られるものではなく、当該分割数は任意に設定である。

10

【0042】

また、サブ画素電極 4 1 ~ 4 5 のレイアウトを、水平方向において 1 単位画素ごとに 180 度回転させる構成に加えて、図 7 に示すように、垂直方向において 1 単位画素ごとに上下反転させる構成を採ることも可能である。なお、垂直方向において 1 単位画素ごとに 180 度回転させる構成を採る場合には、水平方向において 1 単位画素ごとに上下反転させるように構成すれば良い。

【0043】

さらに、本実施例 2 では、サブ画素電極 4 1 ~ 4 5 のレイアウトを、水平方向および垂直方向の少なくとも一方において 1 単位画素ごとに 180 度回転させる構成としたが、回転角度は 180 度に限られるものではなく、90 度や 270 度など、任意の回転角度に設定することが可能である。

20

【0044】

(実施例 3)

図 8 は、実施例 3 に係るサブ画素電極のレイアウトを示す平面パターン図である。本実施例 3 に係るサブ画素電極の形状は、実施例 2 に係るサブ画素電極の形状と同じである。ここでも、上下 2 ピクセル、6 画素分のサブ画素電極のレイアウトを図示している。これら 2 ピクセルが水平方向および垂直方向に展開されて画素アレイ部 1 1 を形成することになる。

30

【0045】

実施例 2 では、サブ画素電極 4 1 ~ 4 5 のレイアウトを、水平方向および垂直方向の少なくとも一方において 1 単位画素ごとに任意の角度だけ回転させる構成を採っているのに対して、本実施例 3 では、実施例 1 の場合と同様に、サブ画素電極 4 1 ~ 4 5 のレイアウトを、水平方向において 1 単位画素ごとに上下反転させる構成を採っている。

【0046】

このように、面積階調法により階調を表現するアクティブマトリクス型液晶表示装置において、複数のサブ画素電極 4 1 ~ 4 5 のレイアウトを水平方向において 1 単位画素ごとに上下反転させ、複数のサブ画素電極 4 1 ~ 4 5 を水平方向において隣接する単位画素間で異なるようにレイアウトすることにより、隣接する単位画素間で複数のサブ画素電極 4 1 ~ 4 5 が不規則なレイアウトになるため、表示データによって垂直方向、水平方向あるいは斜め方向の偽輪郭や縞模様の影響および出現確率を低減できる。すなわち、単位画素の画素電極をより多くのサブ画素電極に分割したり、サブ画素電極の複雑なレイアウトしたりする構成を採らなくて済むため、単位画素の開口面積率の低下を抑えつつ、所期の目的を達成することができる。

40

【0047】

本実施例 3 では、サブ画素電極 4 1 ~ 4 5 のレイアウトを、水平方向において 1 単位画素ごとに上下反転させるとしたが、図 9 に示すように、水平・垂直の両方向において 1 単位画素ごとに上下反転させるようにしても良いし、また垂直方向においてのみ 1 単位画素ごとに上下反転させるようにしても良い。

50

【 0 0 4 8 】

なお、上記実施形態では、S R A M機能付き画素が行列状に2次元配置されてなるアクティブマトリクス型液晶表示装置に適用した場合を例に挙げて説明したが、その他のメモリ機能（例えば、D R A M）機能付き画素が行列状に2次元配置されてなるアクティブマトリクス型液晶表示装置、さらには画素の電気光学素子として液晶セルを用いた液晶表示装置に限らず、画素の電気光学素子として有機E L (electro luminescence) 素子を用いた有機E L表示装置など、面積階調法により階調を表現する表示装置全般に対して適用可能である。

【 図面の簡単な説明 】

【 0 0 4 9 】

【 図 1 】本発明が適用されるアクティブマトリクス型液晶表示装置の構成の概略を示すシステムブロック図である。

【 図 2 】画素ごとに設けられる画素回路の構成の一例を示すブロック図である。

【 図 3 】画素回路の動作説明に供するタイミングチャートである。

【 図 4 】画素回路の具体的な回路例を示す回路図である。

【 図 5 】実施例1に係るサブ画素電極のレイアウトを示す平面パターン図である。

【 図 6 】実施例2に係るサブ画素電極のレイアウトを示す平面パターン図である。

【 図 7 】実施例2の変形例に係るサブ画素電極のレイアウトを示す平面パターン図である。

【 図 8 】実施例3に係るサブ画素電極のレイアウトを示す平面パターン図である。

【 図 9 】実施例3の変形例に係るサブ画素電極のレイアウトを示す平面パターン図である。

【 図 1 0 】従来例1に係る複数のサブ画素電極の形状およびレイアウトを示す平面パターン図である。

【 図 1 1 】従来例2に係る複数のサブ画素電極の形状およびレイアウトを示す平面パターン図である。

【 図 1 2 】従来例3に係る複数のサブ画素電極の形状およびレイアウトを示す平面パターン図である。

【 図 1 3 】従来例4に係る複数のサブ画素電極の形状およびレイアウトを示す平面パターン図である。

【 符号の説明 】

【 0 0 5 0 】

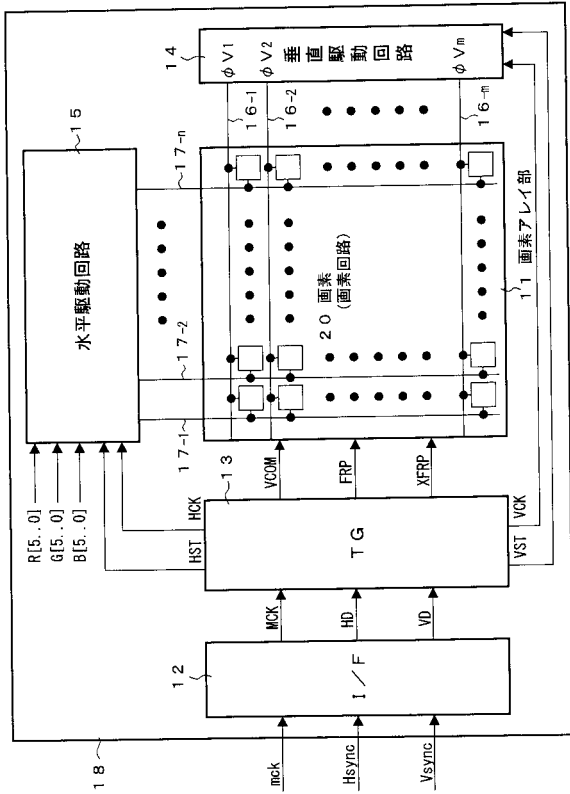
1 1 ... 画素アレイ部、1 2 ... インターフェース (I / F)、1 3 ... タイミングジェネレータ (T G)、1 4 ... 垂直駆動回路、1 5 ... 水平駆動回路、1 6 (1 6 - 1 ~ 1 6 - m) ... 走査線、1 7 (1 7 - 1 ~ 1 7 - n) ... 信号線、1 8 ... 表示パネル、2 0 , 2 0 R , 2 0 G , 2 0 B ... 単位画素、2 0 - 1 ~ 2 0 - 5 ... 画素回路、2 4 ... ラッチ部、2 5 ... 液晶セル、3 1 ~ 3 5 , 4 1 ~ 4 5 ... サブ画素電極

10

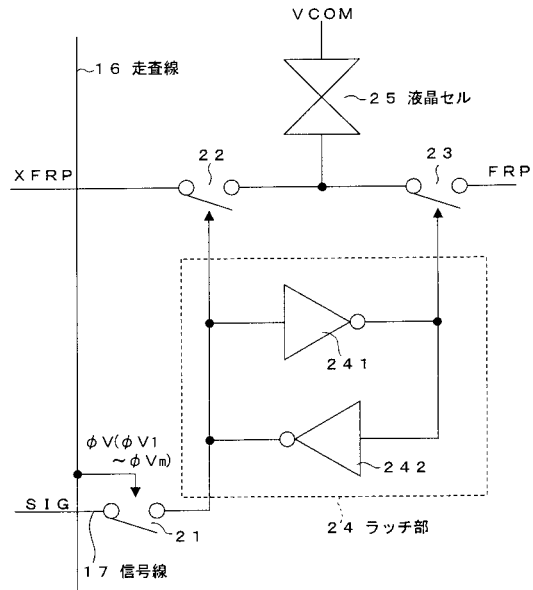
20

30

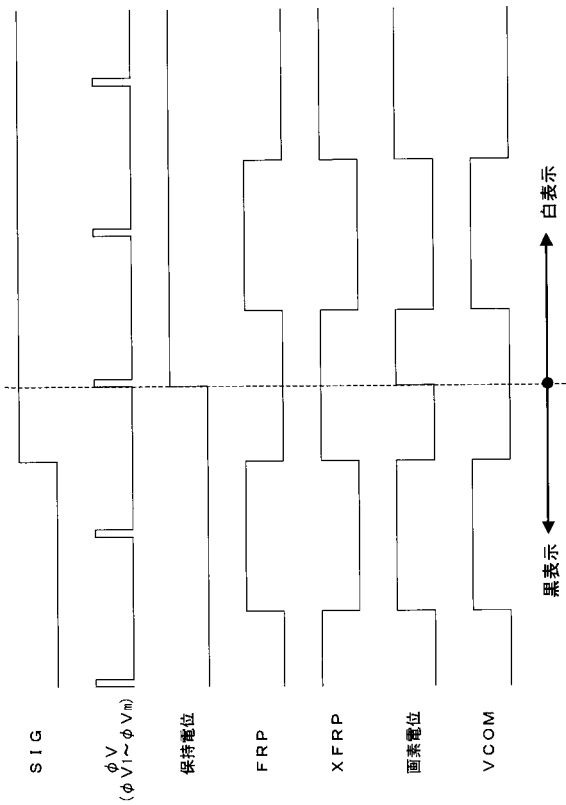
【 図 1 】



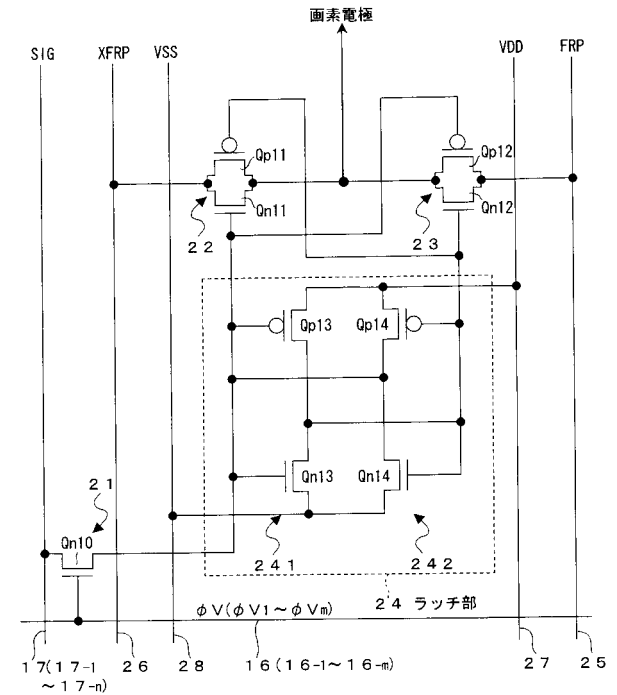
【 図 2 】



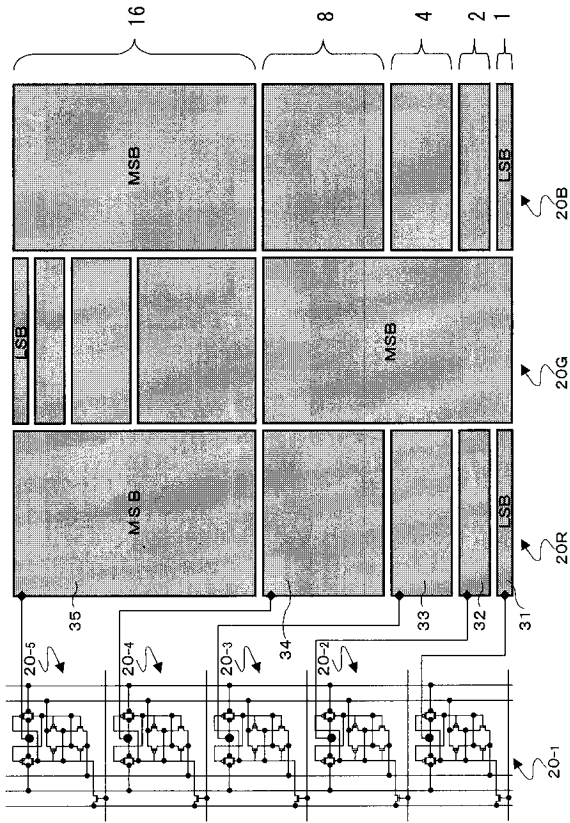
【 図 3 】



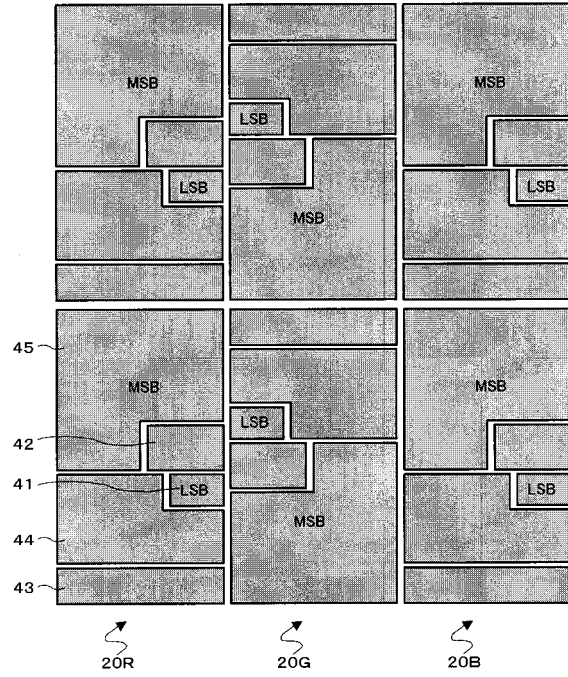
【 図 4 】



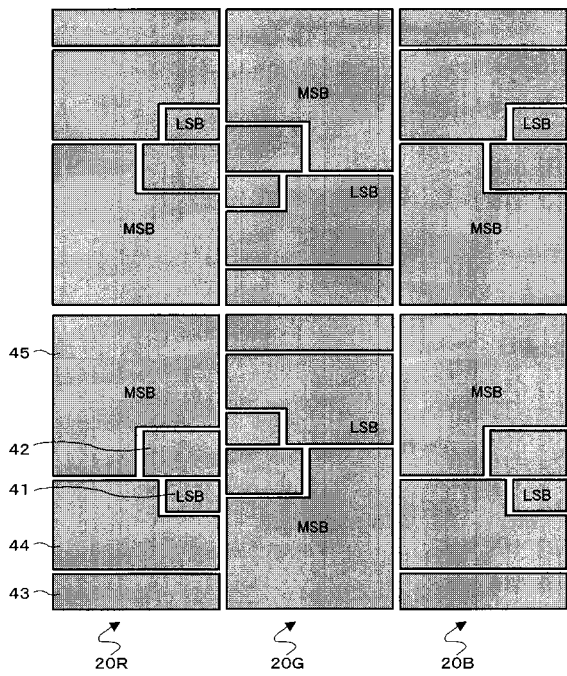
【 図 5 】



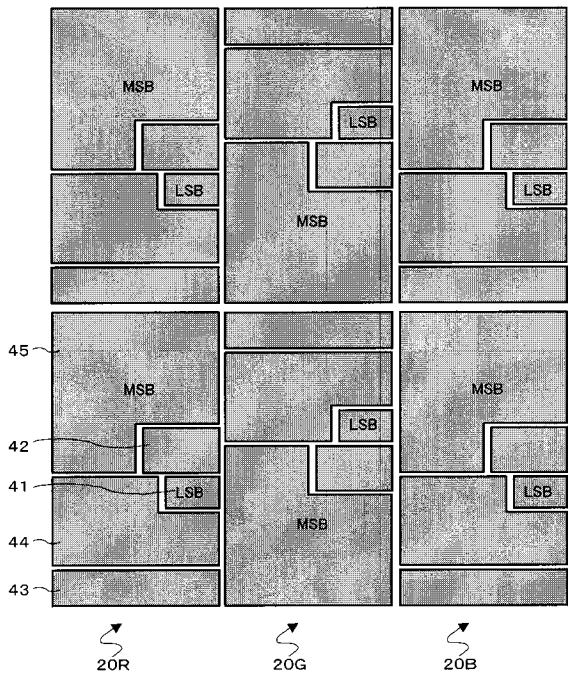
【 図 6 】



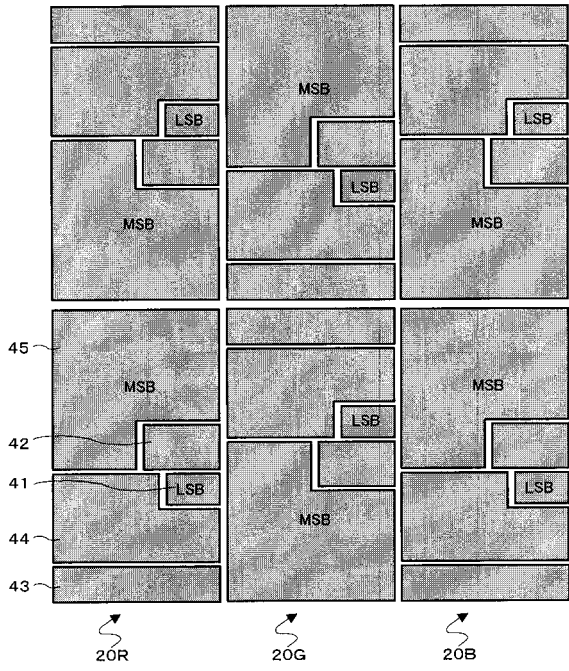
【 図 7 】



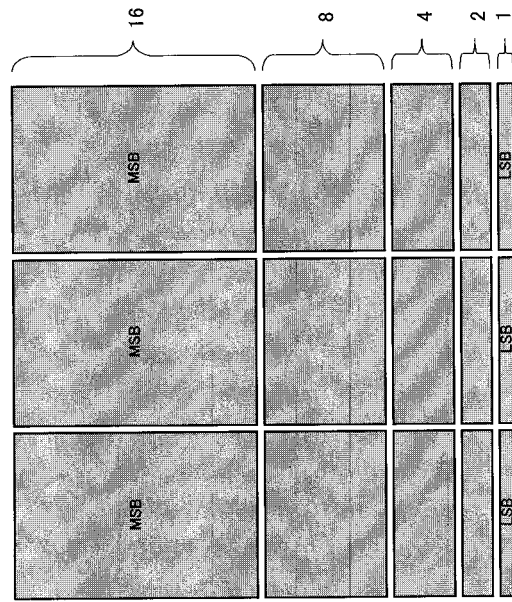
【 図 8 】



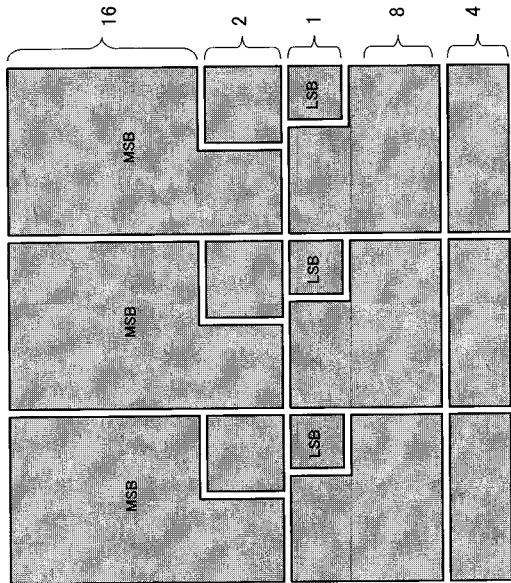
【 図 9 】



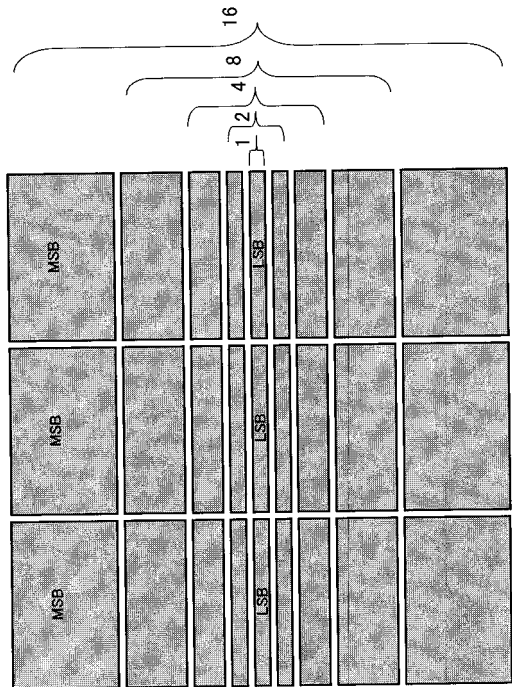
【 図 10 】



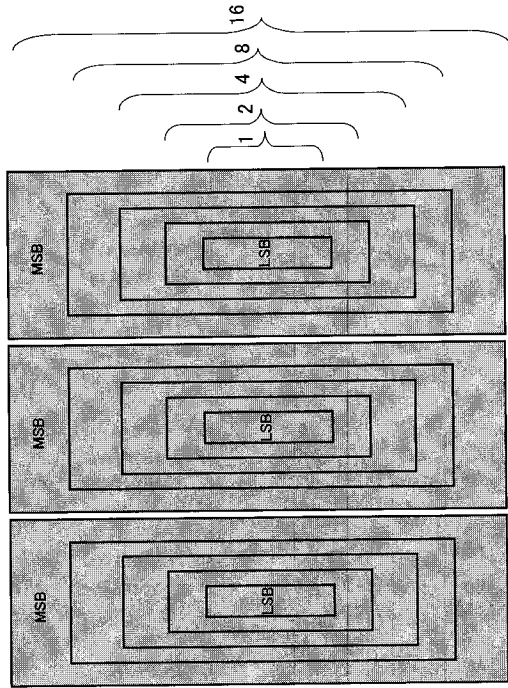
【 図 11 】



【 図 12 】



【 図 1 3 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/36

(72)発明者 野津 大輔

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 林 宗治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 鳥山 重隆

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 坂井 栄治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 2H092 GA13 GA15 GA23 GA24 HA02 HA06 JA24 JB22 JB31 KB26
NA01 NA03 NA07 NA25 NA27
5C006 AA12 AA22 BB16 BB28 BC02 BC06 BC12 FA29
5C080 BB05 CC03 DD01 EE29 FF11 GG12 JJ02 JJ03 JJ04 JJ06
5C094 AA01 AA07 AA55 BA03 BA09 BA43 CA19 CA20 CA24 CA25
EA04

专利名称(译)	显示设备中的显示设备和布局方法		
公开(公告)号	JP2005300579A	公开(公告)日	2005-10-27
申请号	JP2004111914	申请日	2004-04-06
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山上裕之 寺西康幸 仲島義晴 野津大輔 林宗治 鳥山重隆 坂井栄治		
发明人	山上 裕之 寺西 康幸 仲島 義晴 野津 大輔 林 宗治 鳥山 重隆 坂井 栄治		
IPC分类号	G02F1/1343 G02F1/1368 G09F9/30 G09G3/20 G09G3/36		
CPC分类号	G09G3/3607		
FI分类号	G02F1/1343 G02F1/1368 G09F9/30.341 G09G3/20.641.G G09G3/20.680.G G09G3/36 G02F1/133.550		
F-TERM分类号	2H092/GA13 2H092/GA15 2H092/GA23 2H092/GA24 2H092/HA02 2H092/HA06 2H092/JA24 2H092/JB22 2H092/JB31 2H092/KB26 2H092/NA01 2H092/NA03 2H092/NA07 2H092/NA25 2H092/NA27 5C006/AA12 5C006/AA22 5C006/BB16 5C006/BB28 5C006/BC02 5C006/BC06 5C006/BC12 5C006/FA29 5C080/BB05 5C080/CC03 5C080/DD01 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA01 5C094/AA07 5C094/AA55 5C094/BA03 5C094/BA09 5C094/BA43 5C094/CA19 5C094/CA20 5C094/CA24 5C094/CA25 5C094/EA04 2H192/AA24 2H192/AA43 2H192/BC24 2H192/CB23 2H192/CB24 2H192/EA41 2H192/FB02 2H192/GD61 2H193/ZA04 2H193/ZA19 2H193/ZD24		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了解决当单位像素的像素电极被划分为更多子像素电极以改善偏差时，由于布线数量的增加和像素的开口率增加而导致布局复杂化的问题。在有源矩阵型液晶显示器中采用子像素电极的重心或子像素电极的复杂布局，其中通过面积灰度方法表示灰度。解决方案：在通过面积灰度方法表示灰度的有源矩阵型液晶显示器中，对于每一个单位像素，例如每个具有多个子像素电极31至35的布局是倒置的。在水平方向上，使得每个具有多个子像素电极31至35的布局在水平方向上彼此相邻的单位像素之间不同，并且每个具有多个子像素电极31至35的布局是在相邻的单位像素之间做出不规则的

