

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-242306

(P2005-242306A)

(43) 公開日 平成17年9月8日(2005.9.8)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09F 9/30	G09F 9/30 338	2H092
G02F 1/1362	G02F 1/1362	4M104
H01L 21/28	H01L 21/28 301R	5C094
H01L 21/3205	H01L 29/78 616T	5F033
H01L 29/417	H01L 29/50 M	5F110
審査請求 有 請求項の数 12 O L (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2004-349031 (P2004-349031)	(71) 出願人	000005049
(22) 出願日	平成16年12月1日 (2004.12.1)		シャープ株式会社
(31) 優先権主張番号	特願2004-20489 (P2004-20489)		大阪府大阪市阿倍野区長池町22番22号
(32) 優先日	平成16年1月28日 (2004.1.28)	(74) 代理人	100086586
(33) 優先権主張国	日本国 (JP)		弁理士 安富 康男
		(74) 代理人	100112025
			弁理士 玉井 敬憲
		(74) 代理人	100123917
			弁理士 重平 和信
		(72) 発明者	大坪 友和
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	栗原 龍司
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		最終頁に続く	

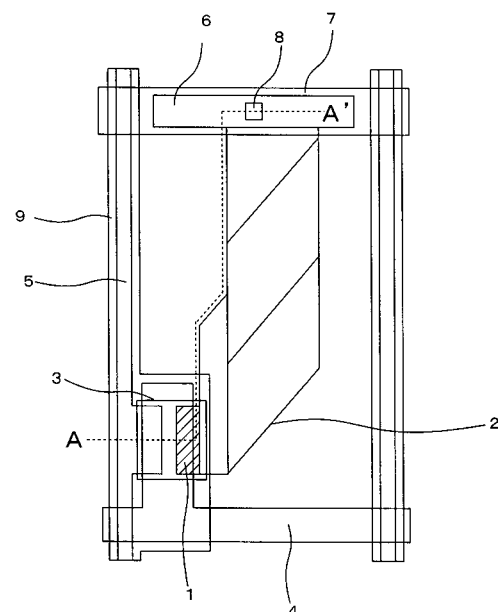
(54) 【発明の名称】 アクティブマトリクス基板及び表示装置

(57) 【要約】

【課題】 TFT（薄膜トランジスタ）素子、MIM（金属—絶縁層—金属）素子、MOSトランジスタ素子、ダイオード、バリスタ等のアクティブ素子を複数個設置することなく、ドレイン引出し配線の断線が防止され、大型液晶テレビ等の大型の液晶ディスプレイ画面を備えた液晶表示装置に好適に使用することができるアクティブマトリクス基板を提供する。

【解決手段】 アクティブ素子のドレイン引出し配線と保持容量上電極とが接続されたアクティブマトリクス基板であって、上記ドレイン引出し配線は、2以上の経路を有するものであるアクティブマトリクス基板である。

【選択図】 図1-1



【特許請求の範囲】

【請求項 1】

アクティブ素子のドレイン引出し配線と保持容量上電極とが接続されたアクティブマトリクス基板であって、該ドレイン引出し配線は、2以上の経路を有するものであることを特徴とするアクティブマトリクス基板。

【請求項 2】

前記ドレイン引出し配線は、アクティブマトリクス基板とアクティブマトリクス基板に対向する基板との少なくとも一方に設けられた突起部及び／又は電極非形成部に相当する位置に設けられたものであることを特徴とする請求項 1 記載のアクティブマトリクス基板。

【請求項 3】

前記アクティブ素子は、2個以上のドレイン電極を有することを特徴とする請求項 1 又は 2 記載のアクティブマトリクス基板。

【請求項 4】

前記アクティブマトリクス基板は、2以上のサブピクセルにより画素が構成されるものであり、

該 2 以上のサブピクセルにおける画素電極は、保持容量上電極及びドレイン引出し配線を介して、それぞれ異なるドレイン電極に接続された構造を有することを特徴とする請求項 3 記載のアクティブマトリクス基板。

【請求項 5】

前記画素は、異なる輝度のサブピクセルを含むものであることを特徴とする請求項 4 記載のアクティブマトリクス基板。

【請求項 6】

前記アクティブマトリクス基板は、互いに逆の位相の信号電圧が印加される 2 以上の保持容量下電極が設けられたものであり、

該 2 以上の保持容量下電極は、それぞれ異なるサブピクセルに対応する保持容量上電極と絶縁層を介して重畳する構造を有するものであることを特徴とする請求項 4 又は 5 記載のアクティブマトリクス基板。

【請求項 7】

前記アクティブマトリクス基板は、それぞれ異なるドレイン電極に接続された 2 以上のドレイン引出し配線と絶縁層を介して重畳する構造を有する修正用接続電極が設けられたものであることを特徴とする請求項 4～6 のいずれかに記載のアクティブマトリクス基板。

【請求項 8】

前記アクティブマトリクス基板は、互いに逆の位相の信号電圧が印加される保持容量下電極と絶縁層を介して重畳される保持容量上電極間をドレイン引出し配線及び修正用接続電極を介して接続した構造を有することを特徴とする請求項 7 記載のアクティブマトリクス基板。

【請求項 9】

前記アクティブマトリクス基板は、アクティブ素子のゲート電極に走査信号線が接続された構造を有するものであり、

前記ドレイン引出し配線及び修正用接続電極は、走査信号線と重畳しない構造を有することを特徴とする請求項 1～8 のいずれかに記載のアクティブマトリクス基板。

【請求項 10】

前記保持容量上電極は、保持容量下電極と対向する領域で 3 個以上の分割電極からなるものであることを特徴とする請求項 1～9 のいずれかに記載のアクティブマトリクス基板。

【請求項 11】

請求項 1～10 のいずれかに記載のアクティブマトリクス基板を備えたことを特徴とする表示装置。

【請求項 12】

前記表示装置は、液晶表示装置であることを特徴とする請求項 11 記載の表示装置。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、液晶表示装置、E L（エレクトロルミネッセンス）表示装置等の表示装置に使用されるアクティブマトリクス基板に関する。より詳しくは、大型液晶テレビ等の大型の液晶ディスプレイ画面を備えた液晶表示装置に好適に使用されるアクティブマトリクス基板に関するものである。

【背景技術】

【0002】

アクティブマトリクス基板は、液晶表示装置、E L（エレクトロルミネッセンス）表示装置等のアクティブマトリクス駆動型表示装置において幅広く用いられている。このようなアクティブマトリクス駆動型表示装置においては、個々に独立した画素電極にアクティブ素子がマトリクス状に配置され、このアクティブ素子によって画素電極を選択駆動するアクティブマトリクス駆動方式で画面表示を行っている。画素電極を選択駆動するアクティブ素子としては、T F T（薄膜トランジスタ）素子、M I M（金属－絶縁層－金属）素子、M O S トランジスタ素子、ダイオード、バリスタ等が一般的に使用され、画素電極とこれに対向する対向電極間に印加される電圧をアクティブ素子でスイッチングすることにより、両電極間の液晶層、E L 発光層又はプラズマ発光体等の表示媒体を光学的に変調し、画面表示を行うのである。このようなアクティブマトリクス駆動方式は、高コントラストの表示が可能であり、液晶テレビ、パーソナルコンピュータの端末表示装置等に実用化されている。

【0003】

このようなアクティブマトリクス駆動方式を用いた従来の液晶表示装置におけるアクティブマトリクス基板としては、T F T 素子のドレイン電極がドレイン引出し配線及びコンタクトホールを介して画素電極に接続されたものが開示されている（例えば、特許文献1参照。）。この従来の液晶表示装置では、アクティブマトリクス基板上のドレイン引出し配線は、1本の配線が形成されているだけであり、この1本の配線が断線した場合、その画素の表示が正常に行われず、画素欠陥と呼ばれる点灯不良が発生し、液晶表示装置の歩留りが低下することとなる。これについて図面を用いて説明すると、図13-1に示すような従来の液晶表示装置におけるアクティブマトリクス基板においては、図13-2に示すように、1本のドレイン引出し配線2の断線22によって、ソースバスライン5からドレイン電極1及びドレイン引出し配線2を経て、透過用画素電極へ至るデータ信号21が阻害される。これにより、画素欠陥が発生し、液晶表示装置の表示品位を低下させ、歩留りを低下させることとなる。なお、ドレイン引出し配線の断線の原因としては、配線パターンの形成時におけるフォトレジストのパターン欠陥、ドレイン引出し配線となる層をスパッタリング等により成膜する際の成膜欠陥等が挙げられる。

【0004】

これに対し、画素欠陥の発生を抑制する技術として、1画素に複数個の薄膜トランジスタが設けられた液晶表示装置が開示されている（例えば、特許文献2、3参照。）。しかしながら、画素毎に複数個の薄膜トランジスタを設置した場合には、開口率の低下や、製造コストの増大を招いてしまう点で改善の余地があった。

また、隣接する画素電極間に接続ライン（ブリッジ）が設けられ、画素欠陥が発生した場合に、該接続ラインを用いて、欠陥画素の電極を隣接する正常画素の電極と接続することで、欠陥画素を修復することができる液晶表示装置等が開示されている（例えば、特許文献4、5参照。）。しかしながら、この技術によれば、接続ラインがゲート配線を跨いで設置されるため、カップリング容量の増加により階調特性が劣化してしまう等の点で改善の余地があった。

【0005】

近年、液晶テレビ等の液晶ディスプレイ画面の大型化が進み、画素数は増加しており、それに伴い画素欠陥も増加する傾向にあった。また、画面の大型化に伴い、画素のサイズも大きくなってきているため、製造プロセスにおいて輝点を発見した際、従来のように、輝

10

20

30

40

50

点を黒点に修正したとしても、黒点も輝点同様に画素欠陥としてユーザに視認されやすい状況になってきている。そこで、画素欠陥の発生を効果的に抑制することで表示品位を向上させ、歩留りを向上させるための新しい技術が求められていた。

【特許文献1】特開平10-20298号公報（第3、6頁、第1図）

【特許文献2】特開平7-199221号公報（第3、6頁、第1図）

【特許文献3】特開2002-350901号公報（第13、20頁、第9図）

【特許文献4】特開平2-135320号公報（第3、4頁、第1図）

【特許文献5】特開平8-328035号公報（第3、5頁、第1図）

【発明の開示】

【発明が解決しようとする課題】

10

【0006】

本発明は、上記課題に鑑みてなされたものであり、開口率の低下及び製造コストの上昇が抑制されつつ、アクティブ素子のドレイン引出し配線の断線が防止されたアクティブマトリクス基板、及び、それを用いた表示装置を提供することを目的とするものである。

【課題を解決するための手段】

【0007】

本発明者らは、アクティブ素子のドレイン引出し配線の断線を防止することができるアクティブマトリクス基板について種々検討したところ、ドレイン引出し配線に2以上の経路を設けることにより、開口率の低下及び製造コストの上昇を招くことなく、ドレイン引出し配線の一部の断線によってアクティブ素子と保持容量上電極とが絶縁されてしまう可能性を十分に低減することができることに想到し、本発明に到達したものである。

20

【0008】

すなわち本発明は、アクティブ素子のドレイン引出し配線と保持容量上電極とが接続されたアクティブマトリクス基板であって、上記ドレイン引出し配線は、2以上の経路を有するものであるアクティブマトリクス基板である。

以下に本発明を詳述する。

【0009】

上記アクティブ素子としては、TFT（薄膜トランジスタ）素子、MIM（金属-絶縁層-金属）素子、MOSトランジスタ素子、ダイオード、バリスタ等が挙げられる。例えば、TFT素子を用いる場合には、通常では基板上の走査信号線とデータ信号線との交点にマトリクス状に配置し、ゲート電極に走査信号線を接続し、ソース電極にデータ信号線を接続し、ドレイン電極にドレイン引出し配線を接続することにより、複数本のデータ信号線に同時に供給されるデータ信号を、データ信号線と交差する複数本の走査信号線に順次供給される走査信号でサンプリングさせ、画素電極を選択駆動するためのスイッチとして用いることができる。ドレイン引出し配線としては、導電性材料からなるものであれば特に限定されるものではないが、チタン、クロム、アルミニウム、モリブデン、これらの合金等からなる金属膜、これらの積層膜が好適に用いられる。ドレイン引出し配線の形成方法としては、上記金属膜又は積層膜に対し、フォトリソグラフィ、エッチングにより形成する方法が好適に用いられる。

30

【0010】

上記保持容量上電極としては、保持容量配線又は走査信号線等からなる保持容量下電極と少なくとも絶縁膜を介して対向するように設けられ、これらと保持容量（Cs）素子を構成するものが好適に用いられる。保持容量素子には、保持容量上電極がドレイン引出し配線を通じてアクティブ素子に接続されていることから、データ信号線に供給されたデータ信号を保持させるために用いることができる。

40

【0011】

本発明のアクティブマトリクス基板の構成としては、このような構成要素を必須として構成されるものである限り、その他の構成要素を含んでいても含んでいなくてもよく、特に限定されるものではないが、保持容量上電極にコンタクトホールを介して画素電極が接続される形態が好ましい。この形態においては、画素電極と対向する対向電極との間にアク

50

ティブ素子でスイッチングされた電圧を印加させることにより、液晶層、EL発光層又はプラズマ発光体等の表示媒体を光学的に変調し、画面表示を行わせることが可能となる。また、コンタクトホールを保持容量上電極のパターン上の保持容量上電極に形成すれば、新たに開口率が低下することがなくてよい。

【0012】

本発明においてドレイン引出し配線は、2以上の経路を有するものである。このようなドレイン引出し配線の形態としては、(1)アクティブ素子と接続された1本のドレイン引出し配線が2本以上に分岐して保持容量上電極に接続される形態、(2)アクティブ素子と接続された2本以上のドレイン引出し配線が1本に合流して保持容量上電極に接続される形態、(3)アクティブ素子と接続された2本以上のドレイン引出し配線が橋架されて、又は、橋架されることなく保持容量上電極に接続される形態が挙げられ、中でも、(3)の形態が好ましい。本発明においては、ドレイン引出し配線をこのような形態とすることにより、アクティブ素子からの信号が2以上の導通経路を経て保持容量上電極に送られることとなるため、ドレイン引出し配線の一部の断線により、アクティブ素子と保持容量上電極とが絶縁されてしまう可能性を十分に低減することができる。なお、上記ドレイン引出し配線は、アクティブ素子のドレイン電極と保持容量上電極とを2以上の経路により接続するものであることが好ましく、アクティブ素子のドレイン電極が2個以上配置されている場合には、アクティブ素子の2個以上のドレイン電極の各々と保持容量上電極とを2以上の経路により接続するものであることが好ましい。このようなアクティブマトリクス基板は、液晶表示装置、EL(エレクトロルミネッセンス)表示装置等の表示装置の画素電極基板として用いられ、ドレイン引出し配線の断線に起因する表示画像における画素欠陥の発生を効果的に抑制することができ、表示装置の表示品位の低下を防止し、歩留りを向上させることができるものである。

【0013】

本発明のアクティブマトリクス基板における好ましい形態について以下に説明する。本発明においてドレイン引出し配線は、アクティブマトリクス基板とアクティブマトリクス基板に対向する基板との少なくとも一方に設けられた突起部及び／又は電極非形成部に相当する位置に設けられたものであることが好ましい。すなわち、本発明においては、突起部及び／又は電極非形成部のパターンとドレイン引出し配線のパターンの少なくとも一部とを重複させることが好ましい。なお、アクティブマトリクス基板に対向する基板に突起部及び／又は電極非形成部が設けられる場合には、アクティブマトリクス基板と貼り合わせた状態において、突起部及び／又は電極非形成部のパターンとドレイン引出し配線のパターンの少なくとも一部とを重複させることが好ましい。突起部としては、基板同士の対向面にリブ形状等に形成されたもの等が挙げられる。また、電極非形成部としては、アクティブマトリクス基板の画素電極や、アクティブマトリクス基板に対向する基板の共通電極にスリット形状等に形成されたもの等が挙げられる。このような形態は、電圧無印加時に液晶分子がアクティブマトリクス基板及びカラーフィルタ基板の両基板間において水平配向又は垂直配向することとなる液晶表示装置、及び、電圧無印加時に液晶分子が両基板間で垂直配向し、かつ1画素内を複数のドメインに分割したMVA(Multi-domain Vertical Alignment)方式の液晶表示装置に本発明のアクティブマトリクス基板を適用する場合に好適に用いられ、この場合、突起部及び電極非形成部は、液晶分子の配向制御に利用されるものであることが好ましい。本発明においては、これらの液晶表示装置において、通常では開口部として効果的に用いられない突起部及び／又は電極非形成部に相当する位置にドレイン引出し配線を設けることにより、ドレイン引出し配線の複線化に起因する開口率の低下を防止することができる。より好ましい形態としては、ドレイン引出し配線が突起部に相当する位置に設けられた形態が挙げられる。ドレイン引出し配線がアクティブマトリクス基板の電極非形成部に相当する位置に設けられた場合には、電極非形成部による液晶分子の配向制御の作用効果が低減し、液晶分子の応答速度が低下してしまう可能性がある。

【0014】

なお、MVA方式は、垂直配向型液晶表示装置の視角特性を改善するために、1画素内に複数のドメインに分割する方式である。MVA方式の液晶表示装置においては、通常では2枚の基板の各々の対向面上に、土手状の突起部（配向制御用突起）が形成され、この配向制御用突起によって、液晶分子のチルト方向を特定の方向に定め、かつドメインの境界の位置を拘束する。

【0015】

本発明におけるアクティブ素子の好ましい形態としては、2個以上のドレイン電極を有する形態が挙げられる。このようなアクティブ素子の配線構造は、アクティブ素子に2本以上のドレイン引出し配線を接続する形態と好適に組み合わせることができる。このような構造においては、アクティブ素子を複数設けることによる開口率の低下を防止しつつ、本発明の作用効果をより充分に奏することが可能となる。つまり、アクティブ素子が2個以上のドレイン電極を有することは、アクティブ素子がドレイン電極と同数の2以上のチャネルを有することと同等である。従って、この形態によれば、あるチャネルで短絡等の欠陥を生じて、同じアクティブ素子内の別の正常なチャネルを利用することにより、欠陥画素の修正を図ることができる。具体的には、例えば、あるチャネルでソース電極とドレイン電極とのリーク（短絡）を生じた場合、当該チャネルに接続されたドレイン引出し配線をドレイン電極から切り離した後、切り離したドレイン引出し配線を正常なチャネルに接続されたドレイン引出し配線に接続（ドレイン／ドレイン接続）することにより、全てのドレイン引出し配線に略同等のドレイン電位を印加することができる。

また、ゲート電極としては、1個であってもよく、2個以上であってもよい。

なお、開口率の低下を防止する観点から、アクティブ素子は、1つの駆動領域（画素又は副画素）に対し、1つ設けられることが好ましい。アクティブ素子が1つの駆動領域に対し、2以上設けられる形態においては、上記ドレイン引出し配線は、2以上のアクティブ素子のドレイン電極の各々と保持容量上電極とを2以上の経路により接続するものであることが好ましい。

【0016】

本発明のアクティブマトリクス基板は、2以上のサブピクセルにより画素が構成されるものであり、上記2以上のサブピクセルにおける画素電極は、保持容量上電極及びドレイン引出し配線を介して、それぞれ異なるドレイン電極に接続された構造を有することが好ましい。このような2以上のサブピクセルにより画素（絵素）が構成される形態、いわゆる画素分割法を適用した形態は、輝点等の欠陥画素の修正に有利な形態である。

また上記画素分割法が適用される場合、上記画素は、異なる輝度のサブピクセルを含むものであることが好ましい。この形態によれば、1つの画素内に明るいサブピクセル及び暗いサブピクセルの両方が存在するため、面積階調によって中間調を表現することができ、液晶ディスプレイ画面の斜め視角における白浮きを改善するのに好適である。なお、面積階調は、簡単に言うと、液晶容量（Clc）、Cs容量（Ccs）及びCsの極性とその振幅（Vsd）の容量結合により行われ、これを式で表現すると、「明るいサブピクセルの容量＝Vs + K（Vs）×Vsd、 $K = Ccs / Clc (Vs) + Ccs$ 」で表される。ここで、Vsは、ソースから供給される信号の電圧値である。

更に上記画素分割法が適用される場合、本発明のアクティブマトリクス基板は、互いに逆の位相の信号電圧が印加される2以上の保持容量下電極が設けられたものであり、上記2以上の保持容量下電極は、それぞれ異なるサブピクセルに対応する保持容量上電極と絶縁層を介して重畳する構造を有するものであることが好ましい。このような形態は、明るいサブピクセル及び暗いサブピクセルを形成するのに好適である。なお、2以上の保持容量下電極に印加される互いに逆の位相の信号電圧とは、画素分割構造の画素において、面積階調を操作するために用いられるCs波形電圧のことを意味し、ゲート信号のオフ後に、容量結合を行うタイミングで、ソースから供給されるドレイン信号電圧（Vs）の突き上げに寄与するCs波形電圧（Cs極性が+）とVsの突き下げに寄与するCs波形電圧（Cs極性が-）の2種類がある。このような画素分割法（面積階調技術）においては、Cs波形電圧、Cs容量及び液晶容量の容量結合により、画素への実効電圧をサブピクセル

10

20

30

40

50

毎に変えて明・暗のサブピクセルを形成させ、これらのマルチ駆動を実現することができる。このような画素分割法（面積階調技術）については、特開 2004-62146 号公報等に詳細が開示されている。

なお、画素分割構造としては、例えば、明るいサブピクセルの面積が暗いサブピクセルの面積と等しい 1 : 1 画素分割構造や、明るいサブピクセルの面積が暗いサブピクセルの面積の $1/3$ である 1 : 3 画素分割構造等が挙げられる。中でも、1 : 3 画素分割構造が液晶ディスプレイ画面の斜め視角における白浮き対策として特に有効である。

【0017】

本発明のアクティブマトリクス基板は、それぞれ異なるドレイン電極に接続された 2 以上のドレイン引出し配線と絶縁層を介して重畳する構造を有する修正用接続電極が設けられたものであることが好ましい。このような形態によれば、例えば、薄膜トランジスタのあるチャンネルで欠陥が生じたとしても、該チャンネルに接続されたドレイン引出し配線をドレイン電極から切り離した後、切り離したドレイン引出し配線を正常なチャンネルに接続されたドレイン引出し配線に接続（ドレイン／ドレイン接続）することにより、欠陥が修正されたサブピクセル及び欠陥の修正に用いられたサブピクセルの画素電極に、略同等のドレイン電位を印加することができる。なお、修正用接続電極の形成される層としては、走査信号線（ゲートバスライン）と同一の層であることが好ましく、走査信号線のパターンニング時に合わせて島状等に形成されることが好ましい。

10

【0018】

また、上記修正用接続電極が設けられる形態において、本発明のアクティブマトリクス基板は、互いに逆の位相の電圧が印加される保持容量下電極と絶縁層を介して重畳する保持容量上電極間をドレイン引出し配線及び修正用接続電極を介して接続した構造を有することが好ましい。これによれば、互いに逆の位相の信号電圧からなる Cs 信号（保持容量下電極に供給される電気信号）が供給される保持容量下電極と重畳する保持容量上電極同士が接続されることから、欠陥の修正が施されたサブピクセルと欠陥の修正に用いられたサブピクセルとにより新たに形成された合成サブピクセルにおいては、合成された保持容量素子に直流電位の Cs 信号を印加することが可能となり、両者の中間的な階調特性が得られ、周囲の通常画素と同等の階調を得ることができる。

20

このような形態においては、合成サブピクセルを含む画素の表示品位を確保するうえで、ドレイン引出し配線及び修正用接続電極を介して接続された保持容量上電極は、それぞれ隣り合うサブピクセルの画素電極に接続されたものであることが好ましい。また、保持容量下電極は、独立した配線（保持容量配線）として設けられることが好ましく、これにより、駆動の選択の自由度を確保することができる。

30

なお、上述した接続構造は、欠陥が生じた一部の画素において形成されるものであり、全ての画素において形成される必要はない。

【0019】

本発明のアクティブマトリクス基板は、アクティブ素子のゲート電極に走査信号線が接続された構造を有するものであり、上記ドレイン引出し配線及び修正用接続電極は、走査信号線と重畳しない構造を有することが好ましい。これによれば、ドレイン／ドレイン接続を行った際にも修正用接続電極が走査信号線を跨がないので、走査信号線との間でカップリング容量が増加することを効果的に防止することができ、ドレイン／ドレイン接続により欠陥が修正されたサブピクセルの表示品位を向上させることができる。

40

【0020】

本発明において保持容量上電極は、保持容量下電極と対向する領域で 3 個以上の分割電極からなるものであることが好ましい。これにより、保持容量上電極が導電性異物やピンホールにより絶縁膜を介して対向する保持容量下電極と短絡したり、同一工程にて形成されたデータ信号線と短絡したりしてしまった場合であっても、短絡が生じた部位を含む分割電極のみを絶縁処理により電氣的に分離することにより、残りの分割電極を有効に機能させ、保持容量素子の機能を維持させることが可能となる。また、保持容量上電極の両端部は、通常ではデータ信号線等が配置されて短絡が生じやすいが、両端部の分割電極 2 個が

50

ともに短絡が生じた場合であっても、絶縁処理を行って残りの分割電極を有効に機能させ、保持容量素子の機能を維持させることが可能となる。従って、このようなアクティブマトリクス基板を液晶表示装置等の表示装置の画素電極基板として用いれば、保持容量上電極の短絡に起因する表示画像における画素欠陥の発生を効果的に抑制することができる。

【0021】

本発明はまた、上記アクティブマトリクス基板を備えた表示装置でもある。このような表示装置は、上記アクティブマトリクス基板が画素電極基板として用いられることにより、ドレイン引出し配線の断線に起因する表示画像における画素欠陥の発生が効果的に抑制され、表示品位の低下が防止されており、高い歩留りで製造される。中でも、上記表示装置は、液晶表示装置であることが好ましい。このような液晶表示装置は、通常では上記アクティブマトリクス基板と、カラーフィルタが形成された基板との間に液晶層を挟持したものであり、アクティブ素子を介して液晶層に所定の電圧を印加することができるものである。

10

【発明の効果】

【0022】

本発明のアクティブマトリクス基板は、上述のような構成であるので、ドレイン引出し配線が2以上の経路を有することにより、アクティブ素子からの信号が2以上の導通経路を経て保持容量上電極に送られることとなるため、ドレイン引出し配線の一部の断線により、アクティブ素子と保持容量上電極とが絶縁されてしまう可能性を低減することができる。このようなアクティブマトリクス基板は、液晶表示装置、EL（エレクトロルミネセンス）表示装置等の表示装置の画素電極基板として用いれば、ドレイン引出し配線の断線に起因する表示画像における画素欠陥の発生を効果的に抑制することができ、表示装置の表示品位の低下を防止し、歩留りを向上させることができるものである。

20

【発明を実施するための最良の形態】

【0023】

以下に実施例を掲げ、図面を参照して本発明を更に詳細に説明するが、本発明はこれらの実施例のみに限定されるものではない。

【0024】

まず、実施例に係る液晶表示装置に関し、アクティブマトリクス基板及びカラーフィルタ基板について、図1-1、2、3、4、5-1、6-1及び7-1を用いて説明する。

30

図1-1は、本発明のアクティブマトリクス基板の分岐構造の一例を示す平面模式図であり、図2は、図1-1のアクティブマトリクス基板を線分A-A'にて切断した断面を示す断面模式図である。また、図3は、MVA方式の本発明のアクティブマトリクス基板の分岐構造の一例を示す平面模式図であり、図4は、図3のアクティブマトリクス基板を線分B-B'にて切断した断面を示す断面模式図である。

図5-1、6-1及び7-1は、本発明のアクティブマトリクス基板におけるドレイン引出し配線2の構造の別例を示す平面模式図である。

【0025】

（アクティブマトリクス基板の構造）

図1-1及び図2に示すように、アクティブマトリクス基板には、アクティブ素子としてのTFT（Thin Film Transistor：薄膜トランジスタ）素子3が1画素毎に1個設けられている。各画素のTFT素子3に対しては、データ信号21をTFT素子3に供給するためのゲート配線としてのゲートバスライン4と、TFT素子3にデータ信号21を供給するためのソース配線としてのソースバスライン5とがそれぞれ直交して配置されている。また、TFT素子3のドレイン電極1及びドレイン電極1より引出されている配線（ドレイン引出し配線）2の延長には、保持容量上電極6が矩形状に形成されているとともに、この保持容量上電極6の下方には、この保持容量上電極6との間に保持容量Cs（Storage Capacitor）を形成するための保持容量配線としてのCsバスライン7が、ゲートバスライン4と独立して、このゲートバスライン4に平行に形成されている。なお、保持容量上電極6とCsバスライン7との間には、ゲート

40

50

絶縁膜 13 が形成されている。保持容量上電極 6 は、ドレイン電極 1 と電氣的に接続されており、ゲート絶縁膜 13 を介して Cs バスライン 7 と重なり、保持容量を形成している。コンタクトホール 8 は、透過用画素電極 14 と保持容量上電極 6 とを接続する役目を有する。

【0026】

(カラーフィルタ基板の構造)

カラーフィルタ基板においては、図 2 に示すように、カラーフィルタ側ガラス基板 16 の液晶層 15 側の面に色膜 17 が形成されており、色膜 17 の液晶層 15 側の面に透明電極からなる対向電極 18 が形成されている。また、液晶表示装置が MVA 方式の場合には、図 4 に示すように、対向電極 18 の液晶層 15 側の面に液晶層 15 の液晶分子の配向を制御するための配向制御用突起 19 が形成される。TFT 素子 3 によって制御される電圧は、ドレイン引出し配線 2 により、コンタクトホール 8 を通して透過用画素電極 14 に印加され、カラーフィルタ基板上の対向電極 18 との間の電位差によって液晶層 15 を駆動する。

また保持容量上電極 6 に接続するドレイン引出し配線 2 は、図 1-1 に示すように、2 以上の経路を有し、すなわち、ドレイン引出し配線 2 が複数に分岐し、分岐構造を形成している。また、液晶表示装置が MVA 方式の場合には、図 3 に示すように、分岐構造を形成しているドレイン引出し配線 2 は、配向制御用突起 19 の下方に位置するように配置される。なお、図 5-1、6-1 及び 7-1 におけるドレイン引出し配線 2 は、液晶表示装置が MVA 方式の場合には、図 3 と同様に配向制御用突起 19 の下方に位置するように配置される。

【0027】

図 1-1 等においては、アクティブマトリクス基板のアクティブ素子として TFT 素子が用いられているが、これに限定されない。また、図 1-1 等においては、保持容量上電極 6 に接続しているドレイン引出し配線 2 は 2 本又は 3 本であるが、その本数はこれらに限定されず、1 本以上であればよい。

【0028】

(TFT 基板の製造方法)

次に、図 2 を用いて、アクティブ素子として TFT 素子を用いたアクティブマトリクス基板 (TFT 基板) の製造方法について説明する。

まず、絶縁体であるガラス基板 16 上に、チタン、クロム、アルミニウム、モリブデン等の金属膜や、それらの合金、積層膜を用いて、ゲートバスライン 4 及び Cs バスライン 7 を同一工程によって形成する。次に、これらの表面に窒化シリコンや酸化シリコン等の絶縁膜によってゲート絶縁膜 13 を形成し、連続してアモルファスシリコンやポリシリコン等からなる高抵抗半導体層 (i 層) 10 と、不純物をドーピングした n^+ アモルファスシリコン等からなる低抵抗半導体層 (n^+ 層) 11 とを成膜した後、 i/n^+ 層を同時にパターンニングする。次に、ソースバスライン 5、ドレイン電極 1、ドレイン引出し配線 2 及び保持容量上電極 6 を、チタン、クロム、アルミニウム、モリブデン等の金属膜や、それらの合金、積層膜を用いて同時に形成する。このときに、ドレイン引出し配線 2 の構造を分岐形状にパターンニングする。その後、TFT 素子 3 上の n^+ 層 11 をソースドレイン間分離エッチングする。ここまでの工程によって、TFT 素子 3 の形成が完了する。

【0029】

次に、このような工程を経たガラス基板 16 の全面を覆う形で、アクリル樹脂や窒化シリコン、酸化シリコン等によって層間絶縁膜 12 を形成する。そして、液晶層 15 を駆動させるため及び保持容量を接続するための透過用画素電極 14 と保持容量上電極 6 との接続を行うために、コンタクトホール 8 を形成する。その後、ITO (酸化インジウム錫)、IZO (酸化インジウム亜鉛)、酸化亜鉛、酸化スズ等の透明性を有する導電膜で形成される透明の電極 (透過用画素電極) 14 を成膜し、画素毎に独立した透過用画素電極 14 を得るためにパターンニングして、図 2 に示すアクティブマトリクス基板 (TFT 基板) を得ることができる。

10

20

30

40

50

【0030】

(カラーフィルタ基板の製造方法)

次に、図2及び図4を用いて、カラーフィルタ基板の製造方法について説明する。

まず、絶縁体であるガラス基板16上に、アクリル樹脂に顔料を分散した感光性樹脂によって、TFT基板の透過用画素電極14に対応する領域に赤、緑、青の各色膜17を形成し、TFT基板の透過用画素電極14間、ソースバスライン5、及び、TFT素子3に対応する領域には遮光膜であるブラックマトリクス9を形成する。なお、各色膜17は、互いに重なることなく配列するように形成する。次に、ITO、IZO、酸化亜鉛、酸化スズ等の透明性を有する導電膜により、ブラックマトリクス9及び各色膜17を覆う形で、液晶層15を駆動するための透明の電極である対向電極18を形成する。その後、MVA方式の液晶表示装置に用いるカラーフィルタ基板に関しては、液晶分子のチルト方向を特定の方向に定め、かつドメインの境界の位置を拘束する目的で、無機シリコン化合物等により配向制御用突起19を形成する。

10

【0031】

(液晶表示装置の製造方法)

まず、上述のようにして得られたTFT基板及びカラーフィルタ基板上に、ポリイミド樹脂によって、配向膜を形成する。次いで、TFT基板上の所定の位置にスペーサを散布するとともに、カラーフィルタ基板上の所定の位置にシール材を塗布した後、これらの基板を貼り合わせ、シール材を硬化させる。次いで、得られたパネルを所定の大きさに分断した後、液晶材料の注入、注入口の封止、パネルの洗浄、アニール処理、偏光板の貼付を行い、液晶表示パネルを作製する。更に、液晶駆動IC、電源回路、バックライト、入出力配線等の実装を行い、液晶表示装置を完成させる。

20

【0032】

(実施例1)

上述のようにして得られる液晶表示装置のアクティブマトリクス基板に関し、画素部にドレイン引出し配線2が複数に分岐した分岐構造を形成する際、図1-1に示すように、保持容量上電極6に接続するドレイン引出し配線2を2本に形成する。この場合、図1-2に示すように、ドレイン断線22が1箇所が発生しても、TFT素子3のドレイン電極1と保持容量上電極6との電氣的接続は確保される。

【0033】

(実施例2)

上述のようにして得られる液晶表示装置のアクティブマトリクス基板に関し、画素部にドレイン引出し配線2が複数に分岐した分岐構造を形成する際、図5-1に示すように、保持容量上電極6に接続するドレイン引出し配線2を3本に形成する。この場合、図5-2に示すように、ドレイン断線22が1箇所が発生しても、TFT素子3のドレイン電極1と保持容量上電極6との電氣的接続は確保される。

30

【0034】

(実施例3)

上述のようにして得られる液晶表示装置のアクティブマトリクス基板(TFT基板)に関し、図6-1に示すように、寄生容量Cgdが起因となる表示品位の低下を防ぐため、3つのドレイン電極1を設けることで、ズレ、仕上り誤差に対する冗長構造とするとともに、画素部の全てのドレイン引出し配線2を複数に分岐させ、かつ保持容量上電極6に接続するドレイン引出し配線2が2本となる分岐構造に形成した。

40

この場合、図6-2に示すように、ドレイン断線22が1箇所が発生しても、TFT素子3のドレイン電極1と保持容量上電極6との電氣的接続は確保された。

【0035】

(実施例4)

上述のようにして得られる液晶表示装置のアクティブマトリクス基板(TFT基板)に関し、図7-1に示すように、寄生容量Cgdが起因となる表示品位の低下を防ぐため、ダミーTFT素子20を採用し、ズレ、仕上り誤差に対する冗長構造とするとともに、画素

50

部の全てのドレイン引出し配線 2 を複数に分岐させ、かつ保持容量上電極 6 に接続するドレイン引出し配線 2 が 2 本となる分岐構造に形成する。

この場合、図 7-2 に示すように、ドレイン断線 2 2 が 1 箇所でも発生しても、T F T 素子 3 のドレイン電極 1 と保持容量上電極 6 との電氣的接続は確保される。

【0036】

(実施例 5)

上述のようにして得られる液晶表示装置のアクティブマトリクス基板 (T F T 基板) に関し、図 8 に示すように、画素電極に設けられたスリット 30 の下方にドレイン引出し配線 2 を配置させるとともに、画素部のドレイン引出し配線 2 を複数に分岐させ、かつ保持容量上電極 6 に接続するドレイン引出し配線 2 が 2 本となる分岐構造に形成する。

10

この場合、ドレイン断線が 1 箇所でも発生しても、T F T 素子 3 のドレイン電極 1 と保持容量上電極 6 との電氣的接続は確保される。また、液晶表示装置の開口率を低下させることなく、ドレイン引出し配線 2 を分岐構造にすることができる。

【0037】

(実施例 6)

上述のようにして得られる液晶表示装置のアクティブマトリクス基板 (T F T 基板) に関し、図 9 に示すように、カラーフィルタ基板の対向電極に設けられたスリット 40 に対向する位置にドレイン引出し配線 2 を配置させるとともに、画素部のドレイン引出し配線 2 を複数に分岐させ、かつ保持容量上電極 6 に接続するドレイン引出し配線 2 が 2 本となる分岐構造に形成する。

20

この場合、ドレイン断線が 1 箇所でも発生しても、T F T 素子 3 のドレイン電極 1 と保持容量上電極 6 との電氣的接続は確保される。また、液晶表示装置の開口率を低下させることなく、ドレイン引出し配線 2 を分岐構造にすることができる。

【0038】

(実施例 7~9)

上述のようにして得られる液晶表示装置のアクティブマトリクス基板 (T F T 基板) に関し、図 10 (a)、(b) 及び (c) に示すように、ドレイン電極 1 を保持容量上電極 6 に接続するドレイン引出し配線 2 が 1 本又は 2 本となる分岐構造に形成する。

これらの場合、ドレイン引出し配線 2 でドレイン断線が発生した際に、T F T 素子 3 のドレイン電極 1 と保持容量上電極 6 とが断線してしまう可能性を低減することができる。

30

【0039】

(実施例 10~12)

上述のようにして得られる液晶表示装置のアクティブマトリクス基板 (T F T 基板) に関し、図 10 (d)、(e) 及び (f) に示すように、ドレイン電極 1 を 2 つ設け、ドレイン電極 1 を保持容量上電極 6 に接続するドレイン引出し配線 2 が 1 本又は 2 本となる分岐構造に形成する。

これらの場合、ドレイン引出し配線 2 でドレイン断線が発生した際に、T F T 素子 3 のドレイン電極 1 と保持容量上電極 6 とが断線してしまう可能性を低減することができる。

【0040】

(実施例 13)

上述のようにして得られる液晶表示装置のアクティブマトリクス基板 (T F T 基板) に関し、図 11-1 に示すように、T F T 素子 3 毎にドレイン電極 1 を 3 つ設け、各ドレイン電極 1 が C s バスライン 7 上の保持容量上電極 6 に接続されるように、ドレイン引出し配線 2 を形成する。なお、本実施例のアクティブマトリクス基板は、1 画素に 3 つのサブピクセルを有し、欠陥の発生していない画素では、各サブピクセルを個別のドレイン電極により分離して駆動する。また、保持容量上電極 6 は、保持容量下電極 7 と対向する領域で 2 個の分割電極からなっているため、ドレイン引出し配線 2 は、保持容量上電極 6 と接続する部分の手前で分岐構造となるように形成する。

40

【0041】

C s バスライン 7 は、図 11-2 (a) 及び (b) に示すように、C s 信号の位相が隣接

50

するもの同士で逆になっており、Cs信号(CS1とCS2)の波形の極性が異なるため、印加されるドレイン信号(Drain1とDrain2)の波形が異なる。従って、画素の階調レベルについても、図11-3に示すように、隣接するサブピクセルで電圧-透過率(V-T)特性が異なり、プラス書き込み(電圧振幅値を高くする側)に対応するDrain1側が明るいサブピクセルとなり、マイナス書き込み(電圧振幅値を低くする側)に対応するDrain2側が暗いサブピクセルとなっている。なお、本実施例では、画素の中心部に、常に「明」側となるDrain1に対応する明るいサブピクセルが面積比率1で配置され、画素の両端部に、常に「暗」側となるDrain2に対応する暗いサブピクセルが面積比率3で配置されている。

【0042】

この場合、図11-1に示すように、ドレイン引出し配線2でドレイン断線22が発生した際には、複数のチャンネルの1つでも正常であれば、浮島電極(修正用接続電極)23のドレイン引出し配線との重畳部25をレーザメルト(溶融)することにより、各サブピクセルのドレイン引出し配線2同士の接続(ドレイン/ドレイン接続)し、同電位にする。このとき、ドレイン/ドレイン接続された配線では、Cs信号の波形(極性)が打ち消し合うように合成されることから、図11-2(c)に示すような直流電位のCs信号(CS:DC)が印加されることになる。そのため、V-T特性については、図11-3に示すように、各サブピクセルのV-T曲線が合成され、明るいサブピクセルと暗いサブピクセルとの中間のV-T曲線(Cs0V;基本V-T曲線)が得られることとなる。従って、本実施例によれば、ドレイン/ドレイン接続後においても、図11-4(b)の階調イメージ図に示すように、人の目にはドレイン/ドレイン接続していない通常画素と同じ見え方のする中間階調のV-T特性を得ることができ(人の目では両者の階調の違いを認識することができない)、全サブピクセル(1画素)を正常画素として駆動することが可能である。

更に、本実施例によれば、ソースバスライン5の梯子構造を利用してドレイン/ドレイン接続する場合のように、余分なカップリング容量(Csd等)を増加させることがないため、液晶層にかかる実効電圧の変化を抑制しつつ、無欠陥修正(欠陥の全数修正)を実現することができる。

【0043】

なお、チャンネル近傍でソースバスライン5(又はソース電極)とドレイン引出し配線2(又はドレイン電極1)との短絡(SDリーク)が発生した場合でも、リーク不良を起こしたチャンネルとドレイン引出し配線2とを電氣的に分離した後、分離したドレイン引出し配線2を正常チャンネルからのドレイン引出し配線2に接続することで、欠陥修正することができる。

【0044】

(実施例14)

上述のようにして得られる液晶表示装置のアクティブマトリクス基板(TFT基板)に関し、図12-1に示すように、TFT素子3毎にドレイン電極1を2つ設け、各ドレイン電極1がCsバスライン7上の保持容量上電極6に接続されるように、ドレイン引出し配線2を形成する。なお、保持容量上電極6は、保持容量下電極7と対向する領域で2個の分割電極からなるため、ドレイン引出し配線2は、保持容量上電極6と接続する部分の手前で分岐構造となるように形成する。また、Csバスライン7は、Cs信号の位相が、隣接するもの同士で逆になっている。

なお、本実施例では、明るいサブピクセル及び暗いサブピクセルが面積比率1で配置されている。

【0045】

この場合、図12-1に示すように、SDリークが発生した際に、各切断部27で切断した後、浮島パターン電極23、及び、ソースバスライン5から切り離して作製したソース梯子24を用いて、各サブピクセルのドレイン引出し配線2同士を接続(ドレイン/ドレイン接続)する。

10

20

30

40

50

これにより、本実施例でも、実施例 1 3 と同様の作用効果を得ることができる。すなわち、図 1 2 - 2 (a) 及び (b) の階調イメージ図に示すように、中間階調において、人の目にはドレイン／ドレイン接続していない通常画素の階調と同じ見え方のする V-T 特性が得られる。ただし、本実施例では、ドレイン引出し配線同士を接続するソース梯子 2 4 の一部がゲートバスライン 4 と重複する領域が存在するため、カップリング容量が増加することとなり、隣接画素と容量差が生じることになる。このため、電圧の実効値（液晶層に印加される電圧）が、図 1 1 - 1 に示す実施例 1 3 の修正方法と比較して、多少変化してしまうことになる。

【図面の簡単な説明】

【0046】

【図 1 - 1】本発明のアクティブマトリクス基板における分岐構造の一例を示す平面模式図である。

【図 1 - 2】図 1 - 1 のアクティブマトリクス基板におけるドレイン断線 2 2 の様子を示す平面模式図である。

【図 2】図 1 - 1 のアクティブマトリクス基板を線分 A - A' にて切断した断面を示す断面模式図である。

【図 3】MVA 方式の本発明のアクティブマトリクス基板における分岐構造の一例を示す平面模式図である。

【図 4】図 3 のアクティブマトリクス基板を線分 B - B' にて切断した断面を示す断面模式図である。

【図 5 - 1】本発明のアクティブマトリクス基板における分岐構造の一例を示す平面模式図である。

【図 5 - 2】図 5 - 1 のアクティブマトリクス基板におけるドレイン断線 2 2 の結果を示す平面模式図である。

【図 6 - 1】3つのドレイン電極 1 を設けた本発明のアクティブマトリクス基板における分岐構造の一例を示す平面模式図である。

【図 6 - 2】図 6 - 1 のアクティブマトリクス基板におけるドレイン断線 2 2 の結果を示す平面模式図である。

【図 7 - 1】ダミー TFT 素子 2 0 を採用した本発明のアクティブマトリクス基板における分岐構造の一例を示す平面模式図である。

【図 7 - 2】図 7 - 1 のアクティブマトリクス基板におけるドレイン断線 2 2 の結果を示す平面模式図である。

【図 8】画素電極に設けられたスリットの下方にドレイン引出し配線 2 を配置させた本発明のアクティブマトリクス基板における分岐構造の一例を示す平面模式図である。

【図 9】カラーフィルタ基板の対向電極に設けられたスリットに対向する位置にドレイン引出し配線 2 を配置させた本発明のアクティブマトリクス基板における分岐構造の一例を示す平面模式図である。

【図 10】(a) ~ (f) は、本発明のアクティブマトリクス基板における分岐構造の一例を示す平面模式図である。

【図 11 - 1】本発明の画素分割構造のアクティブマトリクス基板における分岐構造の一例を示す平面模式図である。

【図 11 - 2】(a) は、明るいサブピクセルに印加される信号波形を示す模式図であり、(b) は、暗いサブピクセルに印加される信号波形を示す模式図であり、(c) は、ドレイン／ドレイン接続後の両方のサブピクセルに印加される信号波形を示す模式図である。なお、図中の CS1、CS2 及び CS:DC は、明るいサブピクセル、暗いサブピクセル及び合成サブピクセルに印加される Cs 信号の波形を表し、Drain1、Drain2 及び Drain3 は、明るいサブピクセル、暗いサブピクセル及び合成サブピクセルに印加されるドレイン信号の波形を表し、Gate は、ゲート信号の波形を表す。

【図 11 - 3】ドレイン／ドレイン接続前及びドレイン／ドレイン接続後の各サブピクセルの V-T 特性を示す図である。

10

20

30

40

50

【図 1 1 - 4】 (a) は、図 1 1 - 1 のアクティブマトリクス基板における通常の階調イメージ図であり、(b) は、2 行 2 列目及び 3 行 2 列目のサブピクセルをドレイン／ドレイン接続したときの階調イメージ図である。

【図 1 2 - 1】本発明の画素分割構造のアクティブマトリクス基板における分岐構造の一例を示す平面模式図である。

【図 1 2 - 2】 (a) は、図 1 2 - 1 のアクティブマトリクス基板における通常の階調イメージ図であり、(b) は、2 列目のサブピクセルをドレイン／ドレイン接続したときの階調イメージ図である。

【図 1 3 - 1】従来の液晶表示装置を構成するアクティブマトリクス基板におけるドレイン引出し配線 2 の構造の一例を示す平面模式図である。

10

【図 1 3 - 2】図 1 3 - 1 のアクティブマトリクス基板におけるドレイン断線 2 2 の結果を示す平面模式図である。

【符号の説明】

【0 0 4 7】

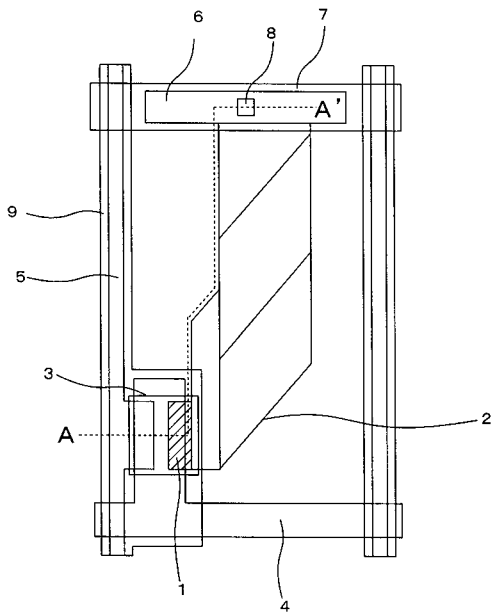
- 1 : ドレイン電極
- 2 : ドレイン引出し配線
- 3 : T F T 素子
- 4 : ゲートバスライン
- 5 : ソースバスライン
- 6 : 保持容量上電極
- 7 : C s バスライン
- 8 : コンタクトホール
- 9 : ブラックマトリクス (遮光膜)
- 1 0 : 活性半導体層 (i 層)
- 1 1 : アモルファスシリコン層 (n^+ 層)
- 1 2 : 層間絶縁膜
- 1 3 : ゲート絶縁膜
- 1 4 : 透過用画素電極
- 1 5 : 液晶層
- 1 6 : ガラス基板
- 1 7 : 色膜
- 1 8 : 対向電極
- 1 9 : 配向制御用突起 (カラーフィルタ基板側)
- 2 0 : ダミー T F T 素子
- 2 1 : データ信号
- 2 2 : ドレイン断線
- 2 3 : 浮島電極
- 2 4 : ソース梯子
- 2 5 : 重畳部
- 2 6 : S D リーク部
- 2 7 : 切断部
- 3 0 : 画素電極に設けられたスリット (アクティブマトリクス基板側)
- 4 0 : 画素電極に設けられたスリット (カラーフィルタ基板側)
- 5 0 : 画素電極に設けられたスリット (アクティブマトリクス基板側)

20

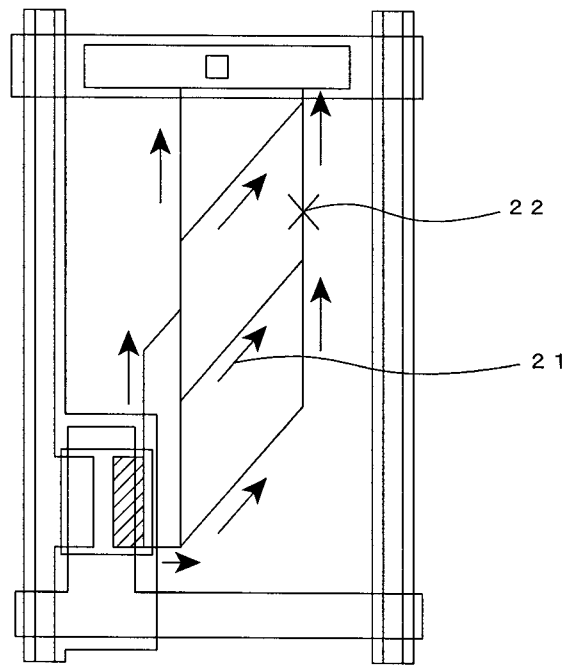
30

40

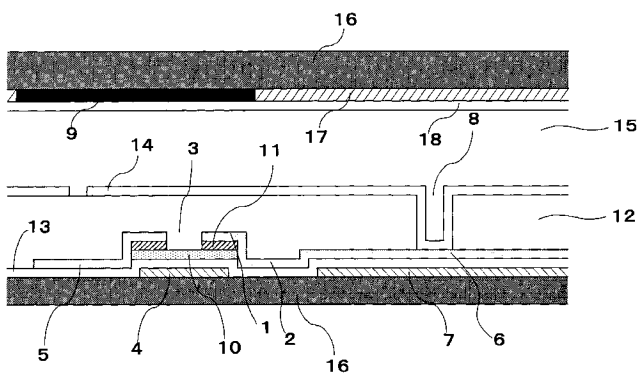
【図 1 - 1】



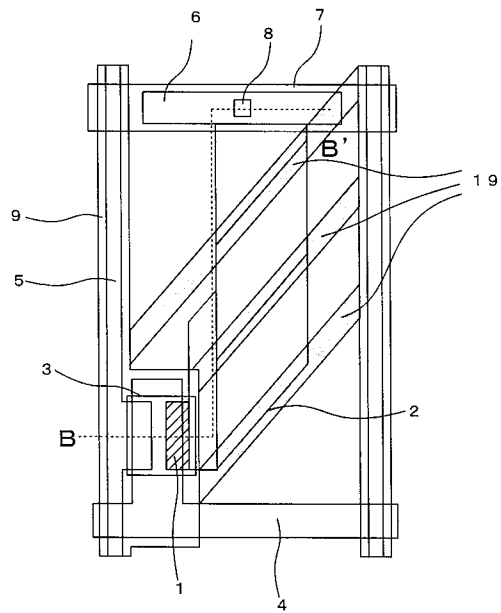
【図 1 - 2】



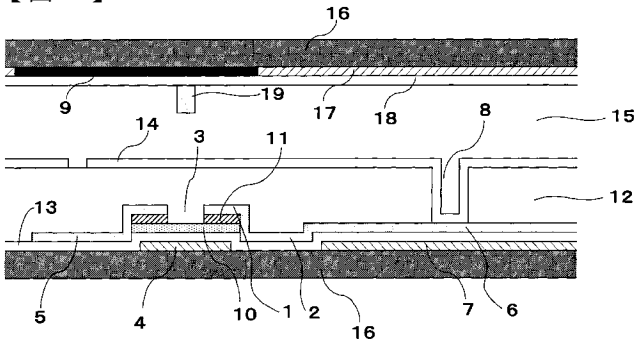
【図 2】



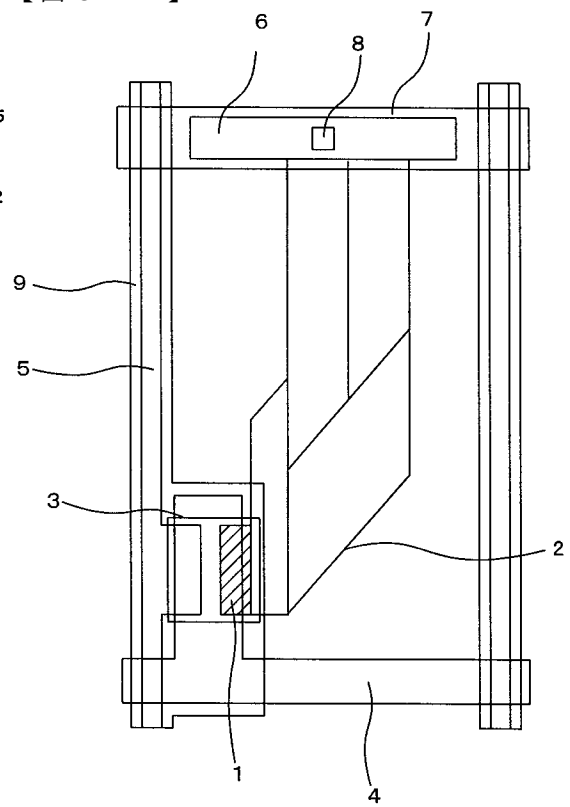
【図 3】



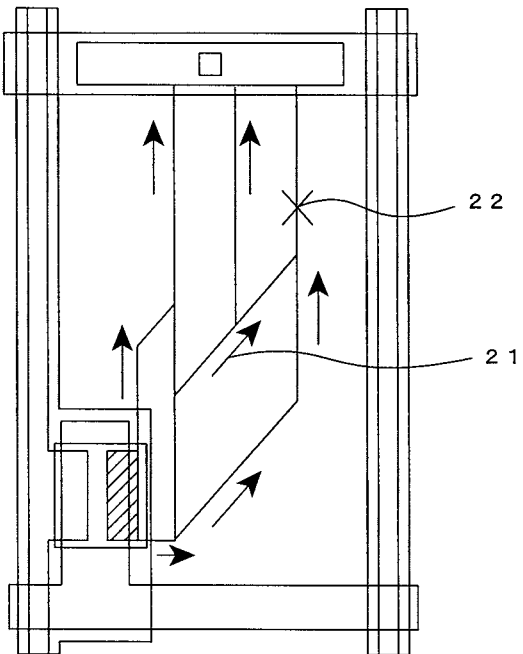
【図 4】



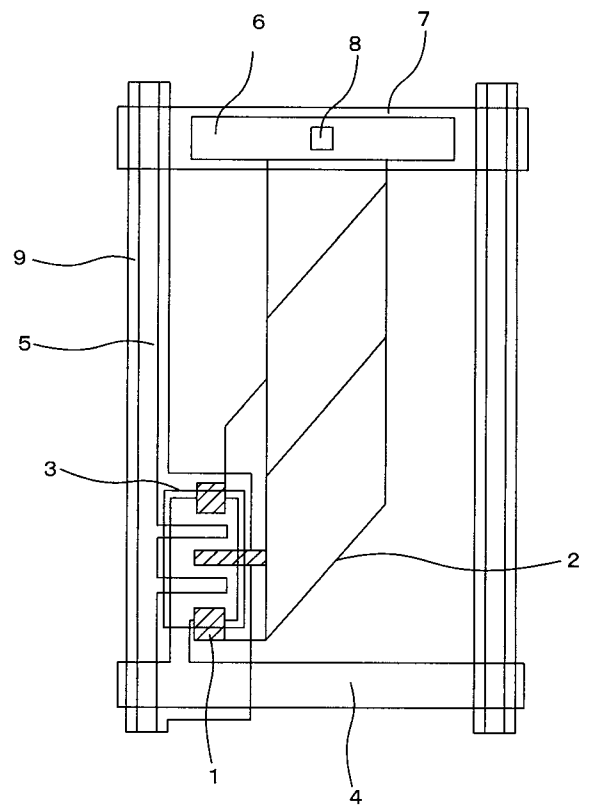
【図 5 - 1】



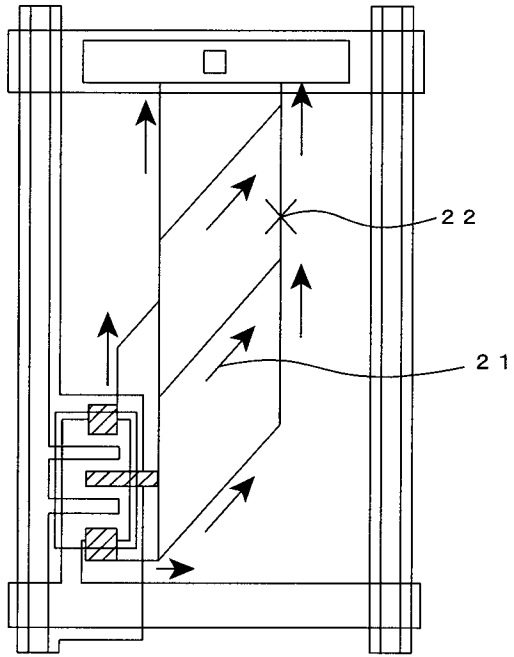
【図 5 - 2】



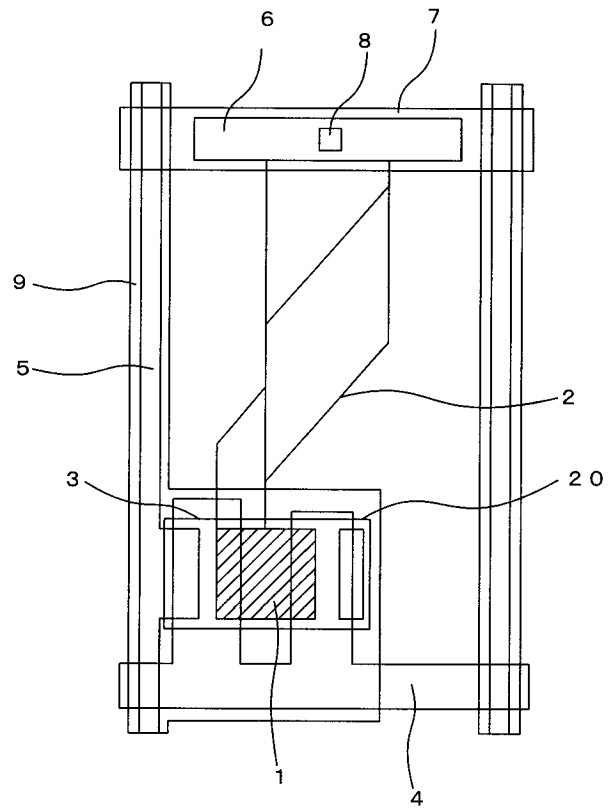
【図 6 - 1】



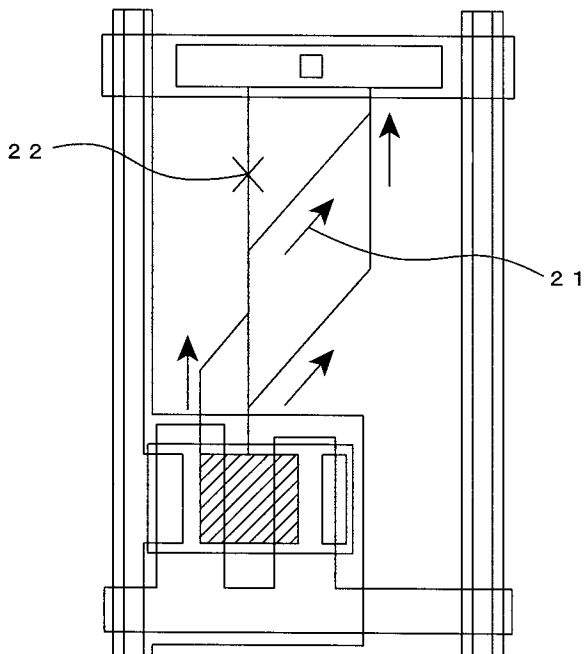
【図 6 - 2】



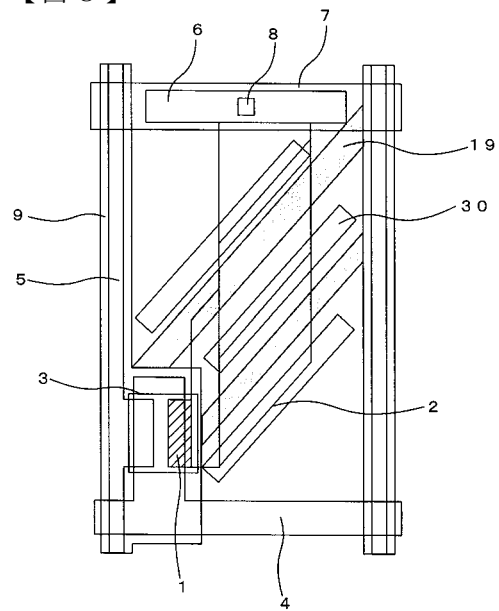
【図 7 - 1】



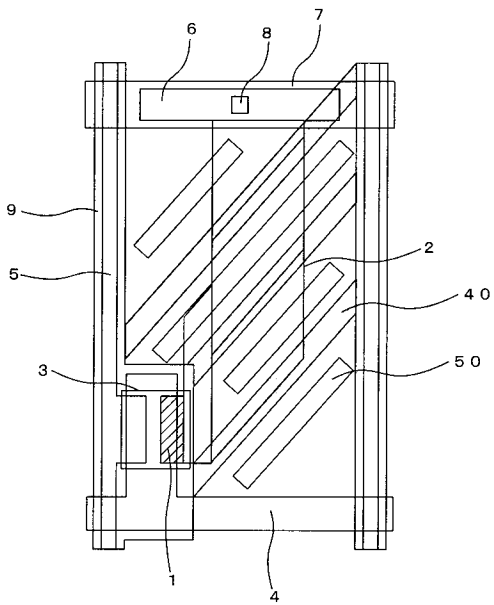
【図 7 - 2】



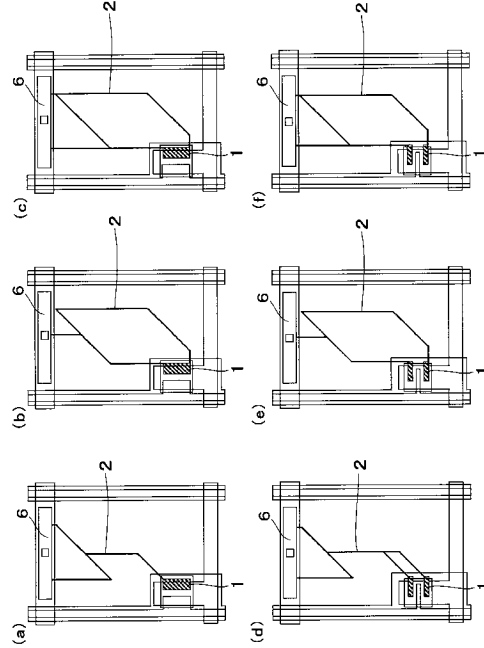
【図 8】



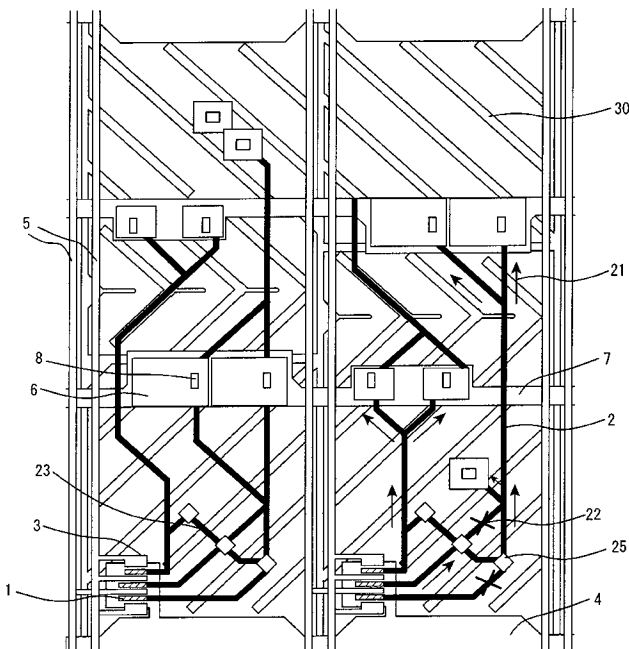
【図 9】



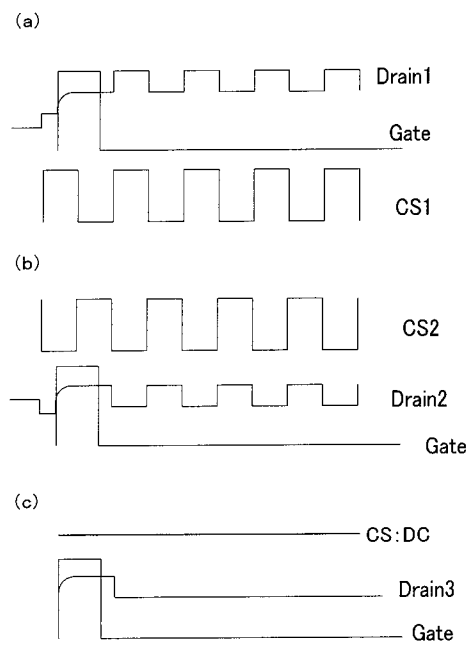
【図 10】



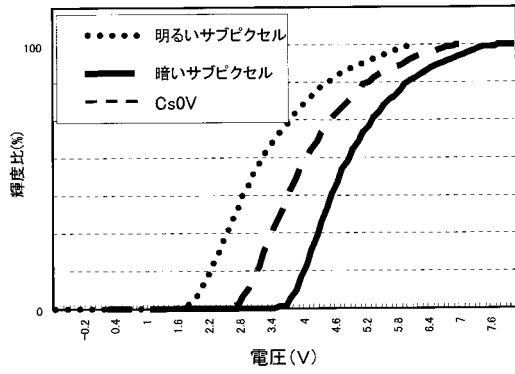
【図 11-1】



【図 11-2】

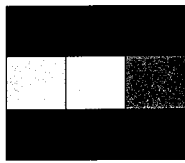


【図 1 1 - 3】

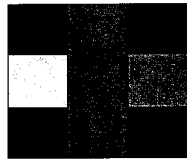


【図 1 1 - 4】

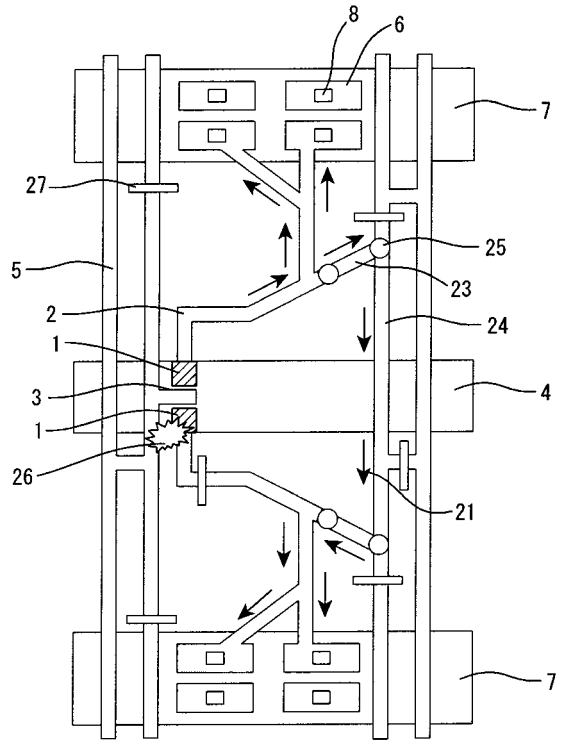
(a)



(b)

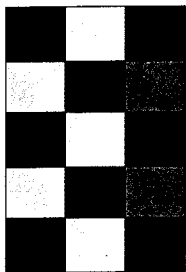


【図 1 2 - 1】

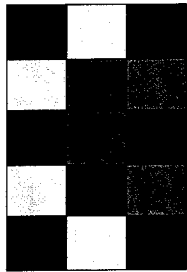


【図 1 2 - 2】

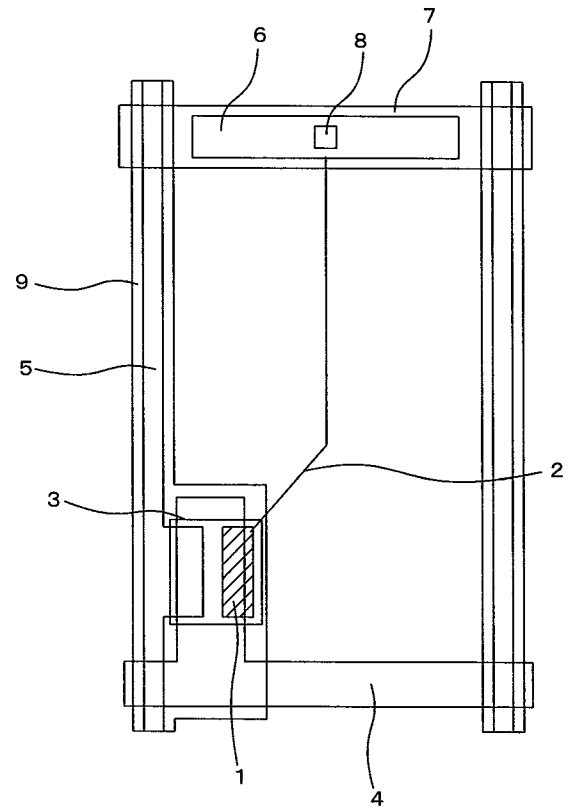
(a)



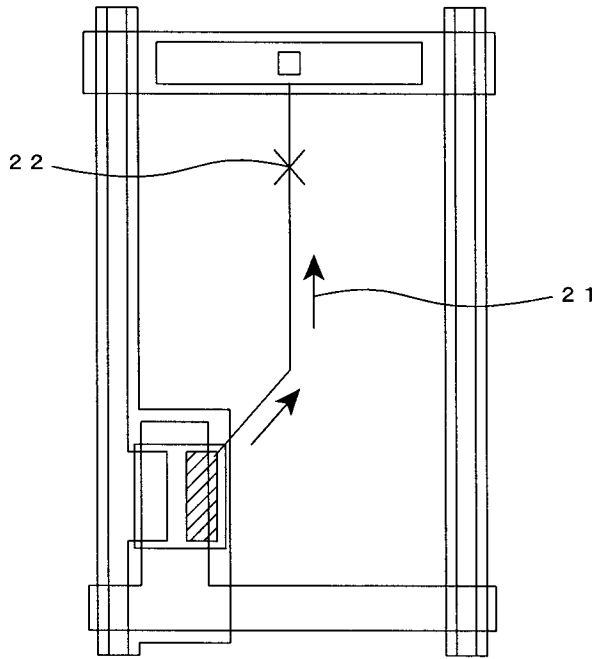
(b)



【図 1 3 - 1】



【図 13-2】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 29/423	H O 1 L 29/58	G
H O 1 L 29/49	H O 1 L 21/88	M
H O 1 L 29/786		

(72)発明者 津幡 俊英
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 武内 正典
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 久田 祐子
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H092 GA13 HA02 JA01 JA03 JA04 JA24 JA46 JB22 JB41 JB56
JB57 JB68 JB77 KA05 KA18 MA27 NA01 PA08 PA11
4M104 AA01 AA08 AA09 BB02 BB13 BB14 BB16 CC01 CC05 GG20
5C094 AA32 AA42 AA48 BA03 BA43 CA19 DB04 EA04 FA01 FB12
5F033 GG04 HH08 HH17 HH18 HH20 JJ08 JJ17 JJ18 JJ20 KK04
KK05 VV06 VV15
5F110 AA26 BB01 CC07 DD02 EE03 EE04 EE06 EE14 FF02 FF03
GG02 GG13 GG15 HK03 HK04 HK06 HK09 HK21 HM19 NN02
NN23 NN24 NN27 NN72 NN73

专利名称(译)	有源矩阵基板和显示装置		
公开(公告)号	JP2005242306A	公开(公告)日	2005-09-08
申请号	JP2004349031	申请日	2004-12-01
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	大坪友和 栗原龍司 津幡俊英 武内正典 久田祐子		
发明人	大坪 友和 栗原 龍司 津幡 俊英 武内 正典 久田 祐子		
IPC分类号	G02F1/136 G02F1/133 G02F1/1343 G02F1/1362 G09F9/30 H01L21/28 H01L21/3205 H01L23/52 H01L29/417 H01L29/423 H01L29/49 H01L29/786		
CPC分类号	G02F1/136213 G02F1/136259		
FI分类号	G09F9/30.338 G02F1/1362 H01L21/28.301.R H01L29/78.616.T H01L29/50.M H01L29/58.G H01L21 /88.M		
F-TERM分类号	2H092/GA13 2H092/HA02 2H092/JA01 2H092/JA03 2H092/JA04 2H092/JA24 2H092/JA46 2H092 /JB22 2H092/JB41 2H092/JB56 2H092/JB57 2H092/JB68 2H092/JB77 2H092/KA05 2H092/KA18 2H092/MA27 2H092/NA01 2H092/PA08 2H092/PA11 4M104/AA01 4M104/AA08 4M104/AA09 4M104 /BB02 4M104/BB13 4M104/BB14 4M104/BB16 4M104/CC01 4M104/CC05 4M104/GG20 5C094/AA32 5C094/AA42 5C094/AA48 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB04 5C094/EA04 5C094 /FA01 5C094/FB12 5F033/GG04 5F033/HH08 5F033/HH17 5F033/HH18 5F033/HH20 5F033/JJ08 5F033/JJ17 5F033/JJ18 5F033/JJ20 5F033/KK04 5F033/KK05 5F033/VV06 5F033/VV15 5F110/AA26 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110 /FF02 5F110/FF03 5F110/GG02 5F110/GG13 5F110/GG15 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK21 5F110/HM19 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN27 5F110 /NN72 5F110/NN73 2H092/JB71 2H192/AA24 2H192/BA25 2H192/BC23 2H192/BC31 2H192/CB05 2H192/CB13 2H192/CC42 2H192/CC56 2H192/DA12 2H192/DA43 2H192/DA65 2H192/EA22 2H192 /EA43 2H192/GA41 2H192/GD14 2H192/HB32 2H192/HB38 2H192/HB49 2H192/HB64 2H192/JA13		
代理人(译)	玉井 敬宪 Juhei洗入		
优先权	2004020489 2004-01-28 JP		
其他公开文献	JP4108078B2		
外部链接	Espacenet		
摘要(译)			

要解决的问题：为了防止漏极引出线的断开而不提供多个有源元件，例如TFT（薄膜晶体管）元件，MIM（金属绝缘层 - 金属）元件，MOS晶体管元件，二极管，变阻器等，本发明提供一种有源矩阵基板，其适用于具有大型液晶显示屏的液晶显示装置，例如电视机。 解决方案：该有源矩阵基板与有源元件的漏极引线 and 存储电容器的上电极连接，漏极引线是具有两个或多个路径的有源矩阵基板。 【选图】图1

