

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-196158
(P2005-196158A)

(43) 公開日 平成17年7月21日(2005.7.21)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G09G 3/20 611E	5C080
	G09G 3/20 623B	
	G09G 3/20 670J	
審査請求 未請求 請求項の数 5 O L (全 9 頁)		

(21) 出願番号 特願2004-363710 (P2004-363710)
 (22) 出願日 平成16年12月15日 (2004.12.15)
 (31) 優先権主張番号 2003-100226
 (32) 優先日 平成15年12月30日 (2003.12.30)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 303016487
 ビオイ ハイディス テクノロジー カン
 パニー リミテッド
 大韓民国京畿道利川市夫鉢邑牙美里山13
 6-1
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 安 星 俊
 大韓民国 京畿道 利川市 代月面 邑東
 里 現代6次アパート 604-1001
 (72) 発明者 金 天 弘
 大韓民国 ソウル市 松坡区 石村洞 2
 93-10

最終頁に続く

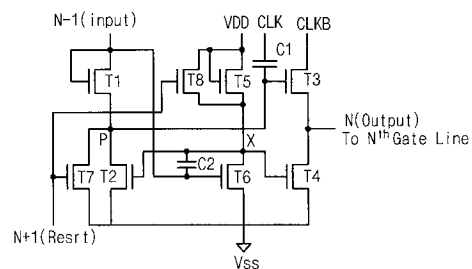
(54) 【発明の名称】 液晶表示装置の駆動回路

(57) 【要約】

【課題】 安定な動作特性を有する液晶表示装置の駆動回路を提供する。

【解決手段】 N - 1 番目回路の出力端子とV s s 端子間に直列連結された第 1、第 2 トランジスタ、クロック信号で作動しドレインにクロック信号の反転信号が印加されソースはN番目のゲートラインに連結される第 3 トランジスタ、ドレインが第 3 トランジスタのソースに連結されソースはV s s 端子に連結される第 4 トランジスタ、V D D 端子とV s s 端子間に直列連結された第 5、第 6 トランジスタ、N + 1 番目回路の出力信号で作動しドレインとソースが第 2 トランジスタのドレインとソースに各々連結される第 7 トランジスタ、N + 1 番目回路の出力信号で作動し、ドレインとソースが第 5 トランジスタのドレインとソースに各々連結された第 8 トランジスタ、第 3 トランジスタのゲート前段に形成された第 1 キャパシタ、第 6 トランジスタのゲートとドレイン間に形成された第 2 キャパシタを有する。

【選択図】 図 5



【特許請求の範囲】**【請求項 1】**

N - 1 番目回路の出力端子と V s s 端子との間にシリアル (s e r i a l) に連結された第 1、第 2 トランジスタと、

クロック信号 (C L K) により作動し、ドレインには前記クロック信号の反転信号 (C L K B) が印加され、ソースは N 番目のゲートラインに連結される第 3 トランジスタと、

ドレインが前記第 3 トランジスタのソースに連結され、ソースは前記 V s s 端子に連結される第 4 トランジスタと、

V D D 端子と前記 V s s 端子との間にシリアルに連結された第 5、第 6 トランジスタと、

N + 1 番目回路の出力信号により作動し、ドレインとソースとが各々前記第 2 トランジスタのドレインとソースとに各々連結される第 7 トランジスタと、

N + 1 番目回路の出力信号により作動し、ドレインとソースとが各々前記第 5 トランジスタのドレインとソースとに各々連結された第 8 トランジスタと、

前記第 3 トランジスタのゲートの前段に形成された第 1 キャパシタと、

前記第 6 トランジスタのゲートとドレインとの間に形成された第 2 キャパシタとを有してなることを特徴とする液晶表示装置の駆動回路。

【請求項 2】

前記第 1 及び第 6 トランジスタは前記 N - 1 番目回路の出力信号に従って作動状態が決定され、前記第 7 及び第 8 トランジスタは N + 1 番目回路の出力信号に従って作動状態が決定され、前記第 3 トランジスタはクロック信号に従って作動状態が決定され、前記第 2 及び第 4 トランジスタは前記第 6 トランジスタのドレイン電圧に従って作動状態が決定され、前記第 5 トランジスタは V D D 電圧に従って作動状態が決定されることを特徴とする請求項 1 記載の液晶表示装置の駆動回路。

【請求項 3】

前記 V D D 電圧は、前記第 2、第 4、第 5 トランジスタのしきい電圧 (V t h) より大きいゲート - ソース電圧 (V g s) が印加可能な電圧範囲を有することを特徴とする請求項 2 記載の液晶表示装置の駆動回路。

【請求項 4】

前記第 7 トランジスタは、N + 1 番目回路の出力信号により作動するリセット用トランジスタであり、前記第 8 トランジスタは、前記 N + 1 番目回路の出力信号により作動する V D D 電圧伝達用トランジスタであることを特徴とする請求項 1 記載の液晶表示装置の駆動回路。

【請求項 5】

前記第 1 キャパシタは、N 番目のゲートラインに出力される信号のオフ特性を安定化させるためのものであり、前記第 2 キャパシタは、第 6 トランジスタのドレイン電圧のレベルを安定化させるためのものであることを特徴とする請求項 1 記載の液晶表示装置の駆動回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置駆動回路に関するものであり、特に出力信号のオフレベル安定化及び D C 電圧ストレスに基づいた素子特性変化を改善して回路の動作特性を大幅改善させることのできる液晶表示装置の駆動回路に関する。

【背景技術】**【0002】**

一般に、ディスプレイ装置中の 1 つである C R T (C a t h o d e R a y T u b e) はテレビジョンを始めとして各種計測機器、情報端末機等のモニターに主に用いられて来たが、C R T 自身の重量と大きさにより電子製品のコンパクト化、軽量化の要求に十分満足する対応をできなくなりつつある。

10

20

30

40

50

ここで、CRTを代替するための、軽薄、短小化の長所を有している種々の液晶表示装置が活発に開発されて来て、近年には平板型表示装置としての役目を十分遂行することができる程度に開発され、その需要が格段に増加してきている傾向にある。

【0003】

このような液晶表示装置は図1に示すように、複数のゲートラインとデータラインとが交叉に配置され、各ゲートラインとデータラインとが交叉する部位に薄膜トランジスタが配置されて画像をディスプレイする液晶パネル11と、液晶パネル11のデータラインを駆動するための駆動電圧を印加するソースドライバIC13と、液晶パネル11のゲートラインを駆動するための駆動電圧を印加するゲートドライバIC15とからなる。

【0004】

そして、図示してはいないが、ソースドライバIC13及びゲートドライバIC15に各種コントロール信号を提供する周辺回路を含むが、この周辺回路にはLVDS(Low Voltage Differential Signaling: 低電圧差動伝送)部、タイミングコントローラ等がある。

このような液晶表示装置中、a-Si(amorphous-Silicon)AMLCD(Active Matrix Liquid Crystal Display)は駆動回路集積技術において、ポリシリコンと比較して低移動度、比較的高いしきい電圧と寄生容量にもかかわらず、費用低減、コンパクト化、重量低減等の長所を有しているので、その技術は多く研究されてきており、新たなデザイン技術及び工程により駆動回路のアクティブマトリックスをa-SiTFTのみにより構成することが可能となった。

【0005】

一般に、ゲートライン駆動電圧はゲートドライバICから出力されるが、ゲートドライバICの内部にはシフトレジスタ、レベルシフト、バッファからなる。しかし、a-Siロウドライバ(Row Driver)は全ての機能をシフトレジスタのみで集積しなければならない。

一般的に知られたa-Siロウドライバ(Row Driver)のシフトレジスタは、4~6個のトランジスタからなっており、その大きさは各々相互に異なるように設計されなければならない(例えば、特許文献1参照)。

【0006】

以下、添付の図面を参照して、従来技術に係る液晶表示装置の駆動回路を説明すると次の通りである。

図2は、従来技術に係る液晶表示装置の駆動回路を示すものであって、6つのトランジスタからなるシフトレジスタの回路構成図であり、図3は、図2に係る回路の作動タイミング図である。

先ず、従来技術の液晶表示装置の駆動回路は、6つの薄膜トランジスタ(Tp、Td、Ts、Tr、Tl、Tz)からなるが、このような液晶表示装置の駆動回路は、先ず、T0では入力が高レベルであるので、ノードP2が高(high)となり、それによって薄膜トランジスタTzはターンオン(turn-on)される。その時、出力側のA点はVssによりローレベル(Low level)にバイアス(Bias)される。

【0007】

その際、入力信号(Vi)とクロック信号(φ2)が高レベルであれば、薄膜トランジスタTp、Tr、Tsは、同時にターンオンされ、その時、ノードP1はポジティブ(Positive)となり、電圧はVddからTpのしきい電圧を引いた電圧となる。

一方、ノードP2は、薄膜トランジスタTrの強いターンオンによりローレベル(Low level)となる。参考までに、薄膜トランジスタTrは、Tsの約10倍程度の大きさを有する。

ノードP2がローレベルとなることにより、Tzはターンオフ(turn-off)されるが、出力は依然としてローレベルを維持する。これは、入力信号φ1がローレベルであるためである。

【0008】

10

20

30

40

50

一方、クロック信号 (1) がハイレベルとなると、T1はプリチャージド - ハイ (P r e c h a r g e d h i g h) となり、ノードP1の電圧は $(V_{dd} - V_{th}) + 1$ スイング (S w i n g) の約90%程度となる。この時、出力 (V o) は、クロック信号 1 のパルスに従うことになるので、ターンオンとなり、ハイレベル電圧を次段回路に入力、印加するシフトレジスタの機能が遂行される。

また、クロック信号 (2) がハイレベルとなると、ノードP2はハイレベルとなり、薄膜トランジスタTzがターンオンされ、それにより出力側のA点はローレベルとなる。

【0009】

又、図4は、従来の別の実施の形態に係る液晶表示装置の駆動回路を示す図面であって、図2は、6つの薄膜トランジスタからなり、図4は、4つの薄膜トランジスタと2つのキャパシタ (C 1 、 C 2) からなる。

10

図4に示すような液晶表示装置の駆動回路は、その動作原理が上述の6つの薄膜トランジスタからなる回路と類似し、リセット信号が次段の出力信号を受け取って作動することに差がある。

【0010】

しかし、上記のような従来の液晶表示装置の駆動回路は次のような問題がある。

第1に、6つの薄膜トランジスタからなる場合、リセット用薄膜トランジスタであるTd、Tzは、続けて印加されるクロック信号をゲート電圧に使用するので、クロック信号のハイレベル電圧を連続に受けることによりDCストレスを受ける、これは、長時間駆動時、薄膜トランジスタの特性変化 (しきい電圧の変化) を引き起こして回路動作の不良原因として作用することになる。

20

【0011】

また、4つの薄膜トランジスタと2つのキャパシタからなる場合、薄膜トランジスタT4が次段の出力信号によりリセット機能を実行するが、1スキャン時間の間のみオン (O n) 状態となり、残りのフレーム期間の間にはフローティング (F l o a t i n g) 状態となる。これは、データラインを通じて印加される画像信号の電圧によりキャパシタカップリング (c a p a c i t i v e c o u p l i n g) を生じて所定の時間の間、一定電圧を維持しなければならない $V_{g.o.f.f}$ 特性を有することができなくて、画像信号の電位だけ変動する変動 (F l u c t u a t i o n) 現象を引き起こすことになる。このような現象は、パネル駆動がライン反転 (L i n e i n v e r s i o n) 駆動である場合、画面フリッカ (F l i c k e r) 現象を引き起こして画面の品位を格段に落とすという問題があった。

30

【0012】

【特許文献1】特開平09 - 237070公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

そこで、本発明は上記従来の液晶表示装置の駆動回路における問題点に鑑みてなされたものであって、本発明の目的は、4つの薄膜トランジスタと2つのキャパシタとからなる駆動回路の $V_{g.o.f.f}$ 特性を改善し、6つの薄膜トランジスタからなる駆動回路が有して

40

いるDCストレスによる薄膜トランジスタの特性変化を最小化して安定な動作特性を有する液晶表示装置の駆動回路を提供することにある。

【課題を解決するための手段】

【0014】

上記目的を達成するためになされた本発明による液晶表示装置の駆動回路は、N - 1番目回路の出力端子とVss端子との間にシリアル (s e r i a l) に連結された第1、第2トランジスタと、クロック信号 (C L K) により作動し、ドレインには前記クロック信号の反転信号 (C L K B) が印加され、ソースはN番目のゲートラインに連結される第3トランジスタと、ドレインが前記第3トランジスタのソースに連結され、ソースは前記Vss端子に連結される第4トランジスタと、VDD端子と前記Vss端子との間にシリア

50

ルに連結された第 5、第 6 トランジスタと、 $N + 1$ 番目回路の出力信号により作動し、ドレインとソースとが各々前記第 2 トランジスタのドレインとソースとに各々連結される第 7 トランジスタと、 $N + 1$ 番目回路の出力信号により作動し、ドレインとソースとが各々前記第 5 トランジスタのドレインとソースとに各々連結された第 8 トランジスタと、前記第 3 トランジスタのゲートの前段に形成された第 1 キャパシタと、前記第 6 トランジスタのゲートとドレインとの間に形成された第 2 キャパシタとを有してなることを特徴とする。

【0015】

前記第 1 及び第 6 トランジスタは前記 $N - 1$ 番目回路の出力信号に従って作動状態が決定され、前記第 7 及び第 8 トランジスタは $N + 1$ 番目回路の出力信号に従って作動状態が決定され、前記第 3 トランジスタはクロック信号に従って作動状態が決定され、前記第 2 及び第 4 トランジスタは前記第 6 トランジスタのドレイン電圧に従って作動状態が決定され、前記第 5 トランジスタは VDD 電圧に従って作動状態が決定されることを特徴とする。

10

前記 VDD 電圧は、前記第 2、第 4、第 5 トランジスタのしきい電圧 (V_{th}) より大きいゲート - ソース電圧 (V_{gs}) が印加可能な電圧範囲を有することを特徴とする。

前記第 7 トランジスタは、 $N + 1$ 番目回路の出力信号により作動するリセット用トランジスタであり、前記第 8 トランジスタは、前記 $N + 1$ 番目回路の出力信号により作動する VDD 電圧伝達用トランジスタであることを特徴とする。

前記第 1 キャパシタは、 N 番目のゲートラインに出力される信号のオフ特性を安定化させるためのものであり、前記第 2 キャパシタは、第 6 トランジスタのドレイン電圧のレベルを安定化させるためのものであることを特徴とする。

20

【発明の効果】

【0016】

本発明に係る液晶表示装置の駆動回路によれば、従来の 4 つの薄膜トランジスタと 2 つのキャパシタとからなる液晶表示装置の駆動回路が有する問題であるオフ電圧の不安定化に基づいた画面フリッカ現象と、6 つの薄膜トランジスタとからなる液晶表示装置の駆動回路が有する問題であるリセットトランジスタの連続する DC 電圧ストレスに基づいた薄膜トランジスタの特性変動の誘発による回路動作不良の問題を同時に改善して安定なシフトレジスタ回路を具現することができるという効果がある。

30

【発明を実施するための最良の形態】

【0017】

次に、本発明に係る液晶表示装置の駆動回路を実施するための最良の形態の具体例を図面を参照しながら説明する。

図 5 は、本発明に係る液晶表示装置の駆動回路を示すものである。

本発明に係る液晶表示装置の駆動回路は図 5 に示すように、8 個の薄膜トランジスタ ($T1$ 、 $T2$ 、 $T3$ 、 $T4$ 、 $T5$ 、 $T6$ 、 $T7$ 、 $T8$) と 2 つのキャパシタ ($C1$ 、 $C2$) とからなる。

即ち、図 5 に示すように、第 1 トランジスタ ($T1$) のゲート端子とドレイン端子は $N - 1$ 番目のゲートラインに共通に連結され、第 1 トランジスタ ($T1$) のソース端子と V_{ss} 端子との間には第 2 トランジスタ ($T2$) が連結され、クロック信号 (CLK) により作動する第 3 トランジスタ ($T3$) のソース端子が V_{ss} 端子に連結された第 4 トランジスタ ($T4$) とシリアルに連結される。ここで、第 3 トランジスタ ($T3$) のソース端子と第 4 トランジスタ ($T4$) のドレイン端子のコンタクト点は出力段 (N) となり、出力段 (N) を通じて出力される電圧は N 番目のゲートラインに印加され、第 3 トランジスタ ($T3$) のドレイン端子にはクロック信号の反転信号 ($CLKB$) が印加される。

40

【0018】

一方、 VDD 端子と V_{ss} 端子との間には第 5 トランジスタ ($T5$) と第 6 トランジスタ ($T6$) とがシリアルに連結され、リセット信号により作動状態が決定される第 7 トランジスタ ($T7$) が第 2 トランジスタ ($T2$) と互いにパラレルに連結構成する。

50

また、リセット信号により作動状態が決定される第8トランジスタ(T8)のドレイン端子にはVDD電圧が印加され、第8トランジスタ(T8)のドレイン端子と第5トランジスタ(T5)のゲート端子とは共通にVDD電圧が印加されるように連結される。

【0019】

一方、第3トランジスタ(T3)のゲート端子の前段には第1キャパシタ(C1)が連結されるが、第1キャパシタ(C1)の一側電極にはクロック信号が印加され、他側電極は第3トランジスタ(T3)のゲート端子と連結される。

第2トランジスタ(T2)のゲート端子は第6トランジスタ(T6)のドレイン端子と第4トランジスタ(T4)のゲート端子に共通に連結され、第6トランジスタ(T6)のドレイン端子には第2キャパシタ(C2)の一側電極が連結され、第2キャパシタ(C2)の他側電極は、第1トランジスタ(T1)のドレイン端子と第6トランジスタ(T6)のゲート端子に共通に連結される。

10

【0020】

上記のように構成された本発明の液晶表示装置の駆動回路の動作を説明すると次の通りである。

図5に示すように、本発明に係る液晶表示装置の駆動回路は8個の薄膜トランジスタと2つのキャパシタとからなり、各薄膜トランジスタのサイズは相違するのみならず、その機能も相違している。

ここで、回路動作を順に従って見ると、先ず、N-1番目回路(図示していない)の出力信号が第1トランジスタ(T1)のドレイン端子を通じて入力される。

20

第1トランジスタ(T1)を通じてN-1番目回路の出力信号(本駆動回路であるN番目回路を基準として見ると、入力信号となる)が入力されると、クロック信号(CLK)も入力信号に同期して入力される。

【0021】

その際、入力信号がハイレベル信号であれば、第1トランジスタ(T1)と第6トランジスタ(T6)はターンオンされ、ノードP点はポジティブレベルとなり、電圧はVDD電圧から第1トランジスタ(T1)のしきい電圧を引いただけの電位となる。その際、第5トランジスタ(T5)を通じてはVDDのDC電圧は約V_{ss}電圧より数V程度高い電圧が連続して印加されると同時に、ノードX点は第6トランジスタ(T6)の強いターンオンによりローレベルとなる。参考までに、第6トランジスタ(T6)は第5トランジスタ(T5)の約10倍以上のサイズである。

30

【0022】

ノードX点のレベルがローレベルであるので、第4トランジスタ(T4)がオフ状態であるが、出力N(Output)は依然としてローレベルを維持する。その理由は、クロック信号の反転信号CLKBがローレベルであるためである。

一方、N+1番目回路の出力信号がリセット信号として、第7トランジスタ(T7)と第8トランジスタ(T8)に印加されると、第2トランジスタ(T2)と共にノードP点の減衰(Decay)が引き起こされる。この時、第8トランジスタ(T8)は第5トランジスタ(T5)のターンオン電圧が従来と比べて低いので、リセット機能を改善強化するためのものとして配置される。

40

ここで、第2キャパシタ(C2)のキャパシタンスは、ノードX点における電位レベルが安定するように機能するように決定される、そして、第1キャパシタ(C1)のキャパシタンスは出力信号(Output)のオフレベル特性が安定するように機能するように決定される。

【0023】

このように、本発明に係る液晶表示装置の駆動回路は、V_{ss}電圧より数V程度高い電圧が連続して印加されるVDD信号により第4トランジスタ(T4)のV_{gs}は従来に比べて低い電圧で駆動される。

上述のような回路の構成を参照すると、N-1番目の回路の出力信号(即ち、本回路の立場では入力信号)は第1トランジスタ(T1)のゲート端子とドレイン端子とに同時に

50

入力され、第 1 トランジスタ (T 1) はダイオードとしての機能を有し、また第 6 トランジスタ (T 6) のゲート端子にも入力される。

【 0 0 2 4 】

第 1 トランジスタ (T 1) のソース端子はリセット用トランジスタである第 2 トランジスタ (T 2) のドレイン端子と、駆動用トランジスタである第 3 トランジスタ (T 3) のゲート端子に共通に連結され、さらに、第 2 トランジスタ (T 2)、第 4 トランジスタ (T 4) 及び第 6 トランジスタ (T 6) のソース端子は V s s 端子に共通に連結される。

クロック信号の反転信号である C L K B 信号は駆動用トランジスタである第 3 トランジスタ (T 3) のドレイン端子に印加され、第 3 トランジスタ (T 3) のソース電極は第 4 トランジスタ (T 4) のドレイン電極と連結されると共に、ゲートライン駆動スイッチ用信号として出力される。

10

【 0 0 2 5 】

参考に、図 6 の (a) 及び (b) は、本発明に係る液晶表示装置の駆動回路に対するシミュレーション波形を示す図面である。

【 0 0 2 6 】

尚、本発明は、上述の実施の形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【 図面の簡単な説明 】

【 0 0 2 7 】

【 図 1 】 一般的な液晶表示装置の構成を示す概略図である。

20

【 図 2 】 従来の 6 つの薄膜トランジスタからなる液晶表示装置の駆動回路の構成図である。

【 図 3 】 図 2 に係る駆動回路の作動タイミング図である。

【 図 4 】 従来の 4 つの薄膜トランジスタと 2 つのキャパシタとからなる液晶表示装置の駆動回路の構成図である。

【 図 5 】 本発明に係る液晶表示装置の駆動回路の構成図である。

【 図 6 】 (a) 及び (b) は本発明の液晶表示装置の駆動回路に係るシミュレーション波形図である。

【 符号の説明 】

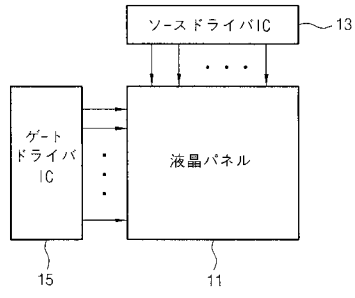
【 0 0 2 8 】

30

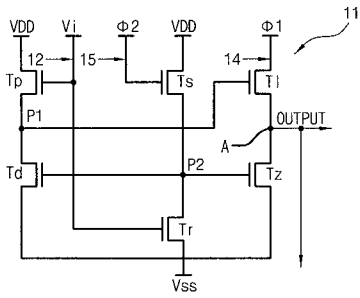
T 1	第 1 トランジスタ
T 2	第 2 トランジスタ
T 3	第 3 トランジスタ
T 4	第 4 トランジスタ
T 5	第 5 トランジスタ
T 6	第 6 トランジスタ
T 7	第 7 トランジスタ
T 8	第 8 トランジスタ
C 1	第 1 キャパシタ
C 2	第 2 キャパシタ

40

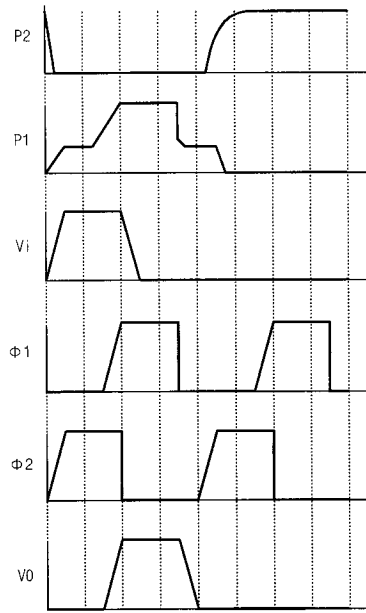
【 図 1 】



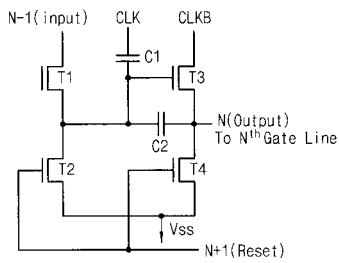
【 図 2 】



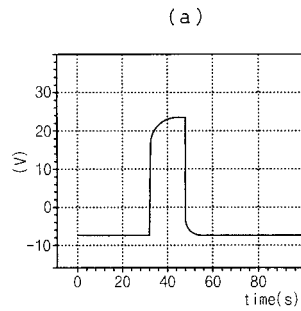
【 図 3 】



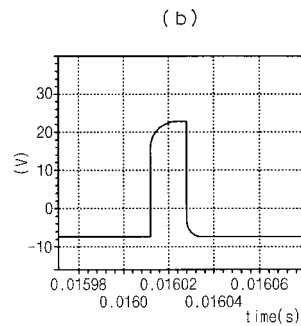
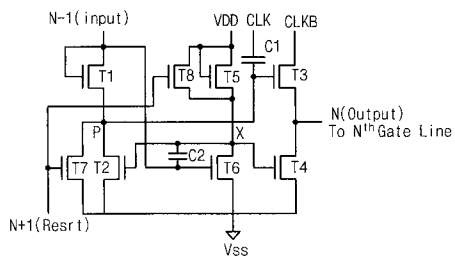
【 図 4 】



【 図 6 】



【 図 5 】



フロントページの続き

(72)発明者 柳 世 鍾

大韓民国 京畿道 安城市 孔道邑 萬井里 タイムグリーンビルラ ナ - 2 0 1

F ターム(参考) 2H093 NA16 NC09 NC16 NC23 NC26 NC34 NC35 NC67 NC90 ND34

5C006 BC11 BF25 BF34 BF37 EB04 EB05 FA23 FA33

5C080 AA10 BB05 DD06 DD28 DD29 EE28 JJ02 JJ03 JJ04

专利名称(译)	液晶显示装置的驱动电路		
公开(公告)号	JP2005196158A	公开(公告)日	2005-07-21
申请号	JP2004363710	申请日	2004-12-15
[标]申请(专利权)人(译)	Bioi高盘科技有限公司		
申请(专利权)人(译)	Bioi Heidis科技有限公司		
[标]发明人	安星俊 金天弘 柳世鍾		
发明人	安星俊 金天弘 柳世鍾		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3677 G09G2300/0408 G11C19/184		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.E G09G3/20.623.B G09G3/20.670.J G09G3/20.622.E G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H093/NA16 2H093/NC09 2H093/NC16 2H093/NC23 2H093/NC26 2H093/NC34 2H093/NC35 2H093/NC67 2H093/NC90 2H093/ND34 5C006/BC11 5C006/BF25 5C006/BF34 5C006/BF37 5C006/EB04 5C006/EB05 5C006/FA23 5C006/FA33 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD28 5C080/DD29 5C080/EE28 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZH40 2H193/ZH45 5B074/AA10 5B074/CA01 5C006/BC03 5C006/BF03		
优先权	1020030100226 2003-12-30 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：为具有稳定操作特性的液晶显示器提供驱动电路。
 ŽSOLUTION：驱动电路具有第一和第二晶体管 (TR)，它们串联连接在N-1电路的输出端和Vss端之间;由时钟信号操作的第三TR在其漏极施加时钟信号的反相信号，并在其源极连接到第N栅极线;第四TR，其漏极连接到第三TR的源极，并在其源极连接到Vss端子，第五和第六TR串联连接在VDD端子和Vss端子之间;第七TR，由第N + 1电路的输出信号操作，并在其漏极和源极分别连接到第二TR的漏极和源极;第八TR，由第N + 1电路的输出信号操作，并在其漏极和源极分别连接到第五TR的漏极和源极;第一电容器，形成在第三TR的栅极的前级;以及在第六TR的栅极和漏极之间形成的第二电容器。 Ž

