

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-148424

(P2005-148424A)

(43) 公開日 平成17年6月9日(2005.6.9)

(51) Int.Cl.⁷

G09F 9/30
G02F 1/133
G02F 1/1343
G09G 3/20
G09G 3/36

F I

G09F 9/30 341
G09F 9/30 390C
G02F 1/133 575
G02F 1/1343
G09G 3/20 611A

テーマコード (参考)

2H092
2H093
3K007
5C006
5C080

審査請求 未請求 請求項の数 5 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2003-386087 (P2003-386087)

(22) 出願日 平成15年11月17日 (2003.11.17)

(71) 出願人 000002185

ソニー株式会社
東京都品川区北品川6丁目7番35号

(74) 代理人 100102185

弁理士 多田 繁範

(72) 発明者 寺西 康幸

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

(72) 発明者 仲島 義晴

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

(72) 発明者 野津 大輔

東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

最終頁に続く

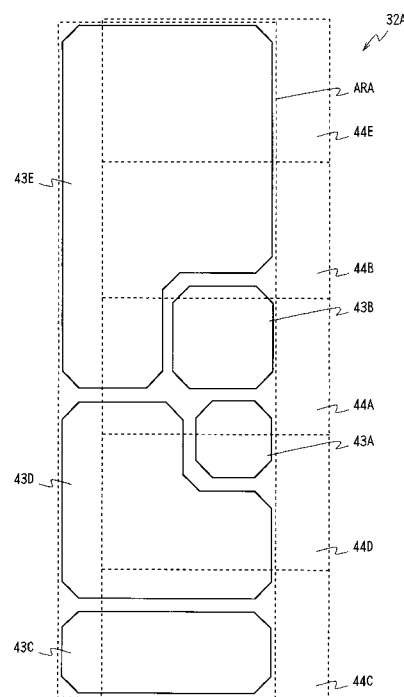
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 本発明は、表示装置に関し、例えば1つの画素を複数のサブ画素により構成し、これら複数のサブ画素の駆動により階調を表現する方式の液晶表示装置に適用して、多ビットメモリ方式による表示装置において、面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避する。

【解決手段】 本発明は、表示に供する部位43A~43Eの面積が小さなサブ画素32AA、32ABについては、この表示に供する部位43A、43Bをほぼ正方形形状により作成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

マトリックス状に画素を配置してなる表示部と、ゲート線により前記画素を順次選択する垂直駆動回路と、前記画素の階調を指示する階調データに応じて前記垂直駆動回路により選択された画素の駆動信号を出力する水平駆動回路とを有する表示装置において、

前記画素は、

順次表示に供する部位の面積が増大してなる複数のサブ画素を有し、

前記階調データの各ビットに対応した前記複数のサブ画素の駆動により前記階調データに対応する階調を表示し、

少なくとも前記階調データの最下位ビットに対応する前記サブ画素は、

10

前記表示に供する部位がほぼ正方形形状により形成されたことを特徴とする表示装置。

【請求項 2】

前記ほぼ正方形形状は、

長辺の長さに対して短辺の長さが $1 \sim 0.8$ 倍に設定された矩形形状である

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記画素は、

前記信号線の延長する方向を長辺に設定してなる長方形形状の表示領域に、前記複数のサブ画素の前記表示に供する部位が設けられ、

20

前記階調データの最下位ビットに対応する前記サブ画素は、

前記階調データの最上位ビットに対応する前記サブ画素又は前記階調データの最上位ビットから 2 ビット目に対応する前記サブ画素と組み合わせられて、

前記表示に供する部位が、該組み合わせに係るサブ画素の前記表示に供する部位と共に、前記長方形形状の表示領域の短辺を一辺にしてなる矩形の領域に割り当てられ、

前記表示に供する部位が、前記組み合わせに係る矩形の領域において、前記長方形形状の領域の中心側に設けられた

ことを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記階調データの最下位ビットに対応する前記サブ画素は、

30

前記表示に供する部位に対して、続く前記階調データの最下位から 2 ビット目に対応するサブ画素の前記表示に供する部位が、隣接して設けられた

ことを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

前記各サブ画素は、

前記信号線の信号レベルを取得して保持するメモリ回路と、

該取得して保持した信号レベルに応じて前記表示に供する部位の電極に駆動信号を出力する駆動信号のスイッチ回路と、

前記ゲート信号に応動して前記メモリ回路を前記信号線に接続する信号線のスイッチ回路とによる画素回路を有し、

40

前記画素は、

前記表示領域に対応する長方形形状の領域を等分割して、前記サブ画素の表示に供する部位の配置に対応する順序により前記画素回路が設けられた

ことを特徴とする請求項 4 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、例えば 1 つの画素を複数のサブ画素により構成し、これら複数のサブ画素の駆動により階調を表現する方式の液晶表示装置に適用することができる

50

。本発明は、表示に供する部位の面積が小さなサブ画素については、この表示に供する部位をほぼ正方形形状により作成することにより、多ビットメモリ方式による表示装置において、面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避する。

【背景技術】

【0002】

従来、液晶表示装置においては、マトリックス状に画素を配置してなる表示部を駆動回路により駆動して所望の画像を表示するようになされており、この駆動回路による駆動方式にいわゆる電圧階調法、フレームレート制御階調法が適用されるようになされている。

【0003】

このような駆動方式に対して、液晶表示装置においては、例えば特開平6-138844号公報に開示されているように、ほぼ2倍により面積が順次増大する複数のサブ画素により1つの画素を形成し、これら複数のサブ画素の表示、非表示を制御することにより、表示に供する領域の面積を可変して各画素の階調を可変するいわゆる面積階調方式も提案されるようになされている。しかしてこの方法の場合、各サブ画素の駆動においては、単なる2値による表示、非表示の制御であることにより、表示に供する入力データの各ビットの論理値により対応するサブ画素を駆動して、駆動回路の構成を簡略化することができると考えられる。また例えば特開平9-243995号公報等に提案されているように、各サブ画素にメモリを設け、このメモリの記録により各サブ画素を駆動することにより、駆動回路の消費電力を格段的に低減することができると考えられる。以下、このような面積階調方式であって、各画素にメモリを設けた方式を多ビットメモリ方式と呼ぶ。

【0004】

すなわち図7は、この多ビットメモリ方式による液晶表示装置について、本願出願人が検討した構成を示すブロック図である。この液晶表示装置1においては、電圧階調法による液晶表示装置を利用した構成であり、この電圧階調法による液晶表示装置の表示部を多ビットメモリ方式による画素により構成し、この画素の構成に対応するように水平駆動回路の構成を変更したものである。

【0005】

すなわちこの液晶表示装置1において、表示部2は、いわゆる反射型液晶表示パネルであり、赤色、緑色、青色のカラーフィルタを設けてなる画素をマトリックス状に配置して形成される。ここで図8にこの表示部2の1つの画素2Aの構成を示すように、各画素2Aは、表示に供する部位である電極3A、3B、3C、3D、3Eの面積が1:2:4:8:16に設定されてなる複数のサブ画素2AA~2AEにより形成される。ここで各サブ画素2AA~2AEは、このような電極3A~3Eの面積が一定の比例関係に設定される点を除いて同一に形成され、図9に示す画素回路4A~4Eによりそれぞれ電極3A~3Eによる液晶セル5A~5Eを駆動する。

【0006】

すなわち画素回路4A~4Eは、図9の接続図によるブロック図を図10に示すように、ゲート及びドレインがそれぞれ共通に接続されたNチャンネルMOS（以下、NMOSと呼ぶ）トランジスタQ1及びPチャンネルMOS（以下、PMOSと呼ぶ）トランジスタQ2からなるCMOSインバーター6と、同様に、ゲート及びドレインがそれぞれ共通に接続されたNMOSTランジスタQ3及びPMOSTランジスタQ4からなるCMOSインバーター7とが正側電源ラインVEEと負側電源ラインVSSとの間に並列に設けられ、これらCMOSインバーター6、7がループ状に接続されてSRAM（Static Random Access Memory）構成によるメモリが形成される。

【0007】

画素回路4A~4Eは、NMOSTランジスタQ5によりこれらCMOSインバーター6、7に信号線SIGを接続して信号線SIGの信号レベルをメモリに供給するスイッチ回路8が形成され、これにより図11に示すように、ゲート信号GATE（図11（B））によるNMOSTランジスタQ5の制御により、信号線SIG（図11（A））によるデータをメモリにセットするようになされている（図11（C））。なおここでV1は、

このスイッチ回路 8 による入力側であるインバータ 6 の入力側の電位である。

【 0 0 0 8 】

画素回路 4 A ~ 4 E は、このようにしてメモリに保持してなるデータに応じて、液晶セル 5 A (5 B ~ 5 E) の共通電極に印加される共通電圧 V C O M (図 1 1 (G)) に対して、同相の駆動信号 F R P (図 1 1 (D)) 又は逆相の駆動信号 X F R P (図 1 1 (E)) を選択して液晶セル 5 A (5 B ~ 5 E) に印加し、これにより液晶セル 5 A (5 B ~ 5 E) を駆動する。すなわち画素回路 4 A ~ 4 E は、N M O S トランジスタ Q 6 及び P M O S トランジスタ Q 7 からなるスイッチ回路 9 をインバータ 7 の出力によりオンオフ制御し、このスイッチ回路 9 を介して共通電位 V C O M と逆相の駆動信号 X F R P を液晶セル 5 A (5 B ~ 5 E) に印加する。また同様の N M O S トランジスタ Q 8 及び P M O S トランジスタ Q 9 からなるスイッチ回路 1 0 をインバータ 6 の出力によりオンオフ制御し、このスイッチ回路 1 0 を介して共通電位 V C O M と同相の駆動信号 F R P を液晶セル 5 A (5 B ~ 5 E) に印加する。

10

【 0 0 0 9 】

これにより図 1 1 に示すように、信号線 S I G の電位を切り換えた場合、続くゲート信号 G A T E の立ち上がりの時点 t 1 より液晶セル 5 A (5 B ~ 5 E) に印加される電圧 V 5 (図 1 1 (F)) が共通電位 V C O M に対して同相から逆相に切り換わり、液晶セル 5 A (5 B ~ 5 E) の表示、非表示を切り換えることができるようになされている。なおこの図 1 1 に示す例は、いわゆるノーマリーブラックによる場合である。

【 0 0 1 0 】

20

このようにして構成されてなる表示部 2 に対して、D C - D C コンバータ 1 2 は、タイミングジェネレータ 1 4 から出力される基準信号 D D C V により動作し、外部から入力される電源 V D D から動作の電源 V D D 2 等を生成して出力する。

【 0 0 1 1 】

インターフェース (I F) 1 3 は、この液晶表示装置 1 に同時並列的に入力される赤色、緑色、青色の各画素の階調を指示する階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] に対して、この階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] に同期したマスタクロック M C K (M C K 5)、水平同期信号 H S Y N C (H D)、垂直同期信号 V S Y N C (V D) 等を入力してタイミングジェネレータ 1 4 に出力し、タイミングジェネレータ 1 4 は、このインターフェース 1 3 からの入力信号を基準にして各部の動作に必要な各種基準信号を生成して出力する。

30

【 0 0 1 2 】

垂直駆動回路 1 6 は、タイミングジェネレータ 1 4 で生成された基準信号により表示部 2 の画素 2 A をライン単位で選択するゲート信号を生成してゲート線 G A T E に出力する。なおここで図 7 において、ゲート線 G A T E に付した符号 G P 1、G P 2、G P 3 は、それぞれ水平方向に並ぶ画素 2 A のグループを示す符号である。

【 0 0 1 3 】

これに対して水平駆動回路 2 0 は、順次入力される階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] の対応するビットをサンプリングして対応する信号線 S I G に出力することにより、垂直駆動回路 1 6 により選択された画素 2 A を信号線 S I G により駆動するようになされている。

40

【 0 0 1 4 】

これらによりこの液晶表示装置 1 においては、水平駆動回路 2 0 において、各サブ画素 2 A A ~ 2 A E に対応する階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] の各ビットをサンプリングして出力するだけでよいことにより、その分、電圧階調法による液晶表示装置等に比して駆動回路の構成を簡略化することができる。また垂直駆動回路、水平駆動回路の動作を停止して単に駆動信号 F R P、X F R P を供給し続けるだけで静止画像を表示し得、これにより電圧階調法による液晶表示装置等に比して消費電力も低減することができる。

【 0 0 1 5 】

50

しかしながらこのように単に多ビットメモリ方式による画素 2 A による表示部 2 を形成した場合、表示に供する部位である電極 3 A ~ 3 E においては、面積の大きさが大きく異なることになり、最も面積の小さな最下位ビットの電極 3 A にあっては、極めて幅狭く細長に形成することが必要になる。

【 0 0 1 6 】

これにより従来、この種の液晶表示装置においては、見る方向によって光学的な差異が現れ、その分、表示画像の品位が劣化する問題がある。

【 0 0 1 7 】

またこのような幅狭く細長に延長する電極においては、エッチング量のバラツキにより面積が大きく変化し、これにより精度良く作成することが困難な欠点があり、場合によっては、エッチングにより消失してしまう恐れもある。このように電極の精度が劣化し、さらには電極自体が消失する場合にあっては、その分、正しく階調表現し得ず、この場合も表示画像の品位が劣化する問題がある。

10

【 0 0 1 8 】

これによりこの種の表示装置においては、このような面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避することが望まれる。

【特許文献 1】特開平 6 - 1 3 8 8 4 4 号公報

【特許文献 2】特開平 9 - 2 4 3 9 9 5 号公報

【発明の開示】

【発明が解決しようとする課題】

20

【 0 0 1 9 】

本発明は以上の点を考慮してなされたもので、多ビットメモリ方式による表示装置において、面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避することができる。

【課題を解決するための手段】

【 0 0 2 0 】

かかる課題を解決するため請求項 1 の発明においては、マトリックス状に画素を配置してなる表示部と、ゲート線により画素を順次選択する垂直駆動回路と、画素の階調を指示する階調データに応じて垂直駆動回路により選択された画素の駆動信号を出力する水平駆動回路とを有する表示装置に適用して、画素は、順次表示に供する部位の面積が増大してなる複数のサブ画素を有し、階調データの各ビットに対応した複数のサブ画素の駆動により階調データに対応する階調を表示し、少なくとも階調データの最下位ビットに対応するサブ画素は、表示に供する部位がほぼ正方形形状により形成されてなるようにする。

30

【 0 0 2 1 】

請求項 1 の構成により、表示装置に適用して、画素は、順次表示に供する部位の面積が増大してなる複数のサブ画素を有し、階調データの各ビットに対応した複数のサブ画素の駆動により階調データに対応する階調を表示し、少なくとも階調データの最下位ビットに対応するサブ画素は、表示に供する部位がほぼ正方形形状により形成されてなるようにすれば、面積の小さなサブ画素にあっては、水平方向及び垂直方向の双方についてほぼ同一幅の幅広に形成され、これにより見る方向による光学的な差異の発生を有効に回避することができる。また幅広に形成されることにより、その分、幅狭に形成する場合に比して精度を確保し得、その分、正しく階調表現することができ、これらにより面積の小さなサブ画素に起因する品位の低下を有効に回避することができる。

40

【発明の効果】

【 0 0 2 2 】

本発明によれば、多ビットメモリ方式による表示装置において、面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避することができる。

【発明を実施するための最良の形態】

【 0 0 2 3 】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

50

【実施例 1】

【0024】

(1) 実施例の構成

(1-1) 全体構成

図2は、この実施例に係る液晶表示装置を示すブロック図である。この液晶表示装置31においては、表示部32、垂直駆動回路33、水平駆動回路34、タイミングジェネレータ(TG)35、インターフェース(IF)36、DC-DCコンバータ(DDC)37を一体にガラス基板上に形成して作成され、表示部32にカラー画像を表示する。このためこの液晶表示装置31では、表示に供する各画素の階調を指示する各5ビットによる赤色、緑色、青色の階調データR〔5-1〕、G〔5-1〕、B〔5-1〕がラスタ走査順に同時並列的に入力されるようになされている。

【0025】

この液晶表示装置31において、表示部32は、垂直方向に同一の色彩によるカラーフィルタが延長し、かつ水平方向に順次循環してなるいわゆる縦ストライプ方式の反射型液晶表示パネルにより形成され、この縦ストライプに係るカラーフィルタが画像データR〔5-1〕、G〔5-1〕、B〔5-1〕に対応する3色により形成されるようになされている。

【0026】

また表示部32は、このようなカラーフィルタが設けられている画素がそれぞれ水平方向及び垂直方向にN×M画素によりマトリックス状に配置されて形成され、各画素が多ビットメモリ方式による画素により形成されるようになされている。

【0027】

すなわち各画素32Aにおいては、図8との対比により図3に示すように、表示に供する部位である電極43A、43B、43C、43D、43Eの面積がほぼ2倍により変化するサブ画素32AA～32AEにより形成され、これら各サブ画素32AA～32AEに、それぞれ同一に構成された画素回路44A～44Eが設けられるようになされている。

【0028】

ここで画素回路44A～44Eは、図9及び図10について上述した画素回路4A～4Eに比して、信号線SIGが共通化されている点を除いて同一に形成され、その分、この表示部32においては、信号線の数进行少くした分、容易に多ビット化して高階調化、高解像度化できるようになされている。

【0029】

しかしてこれにより各画素32Aにおいては、MOSトランジスタにより、信号線SIGの信号レベルを取得して保持するインバーター6、7によるメモリと、ゲート信号GATE1～5に応動してこのメモリに信号線SIGの信号レベルを供給するスイッチ回路8と、表示に供する部位3A～3Eの一方の電極に印加される共通電圧VCOMに対する同相又は逆相の駆動信号FRP、XFRPを、メモリの保持結果に応じて選択し、表示に供する部位の他方の電極43A～43Eに印加するスイッチ回路9、10とがそれぞれ各サブ画素32AA～32AEに設けられるようになされている。

【0030】

このようにして信号線SIGを各サブ画素32AA～32AEで共通化した分、この液晶表示装置31においては、各サブ画素32AA～32AEに対する信号線SIGを時分割により駆動する。

【0031】

すなわち水平駆動回路34は、順次入力される階調データR〔5-1〕、G〔5-1〕、B〔5-1〕を順次循環的に取得することにより、これら階調データR〔5-1〕、G〔5-1〕、B〔5-1〕をライン単位でまとめた後、サブ画素32AA～32AEの配列に対応する順序により順次これら階調データR〔5-1〕、G〔5-1〕、B〔5-1〕の各ビットを選択出力し、これによりサブ画素32AA～32AEに共通の信号線SIG

Gに時分割により対応する階調データR〔5-1〕、G〔5-1〕、B〔5-1〕の各ビットを割り当てるようになされている。これによりこの実施例では、垂直方向に延長する各画素を時分割により駆動し、さらに各画素におけるサブ画素においても、時分割により駆動するようになされている。

【0032】

このような水平駆動回路34による各階調データのシリアル転送に対応して、垂直駆動回路33は、ゲート線により画素32Aを順次選択する。またこの各画素32Aの選択において、各サブ画素32AA~32AEに接続されたゲート線により各サブ画素32AA~32AEを順次選択する。

【0033】

DC-DCコンバータ37は、タイミングジェネレータ35から出力される基準信号DDCVにより動作し、外部から入力される電源VDDから動作用の電源VDD2等を生成して出力する。

【0034】

インターフェース(IF)36は、この液晶表示装置31に同時並列的に入力される赤色、緑色、青色の各画素の階調を指示する階調データR〔5-1〕、G〔5-1〕、B〔5-1〕に対して、この階調データR〔5-1〕、G〔5-1〕、B〔5-1〕に同期したマスタクロックMCK(MCK5)、水平同期信号HSYNC(HD)、垂直同期信号VSYNC(VD)等を入力してタイミングジェネレータ35に出力し、タイミングジェネレータ35は、このインターフェース36からの入力信号を基準にして各部の動作に必要な各種基準信号を生成して出力する。

【0035】

(1-2)画素のレイアウト

図1は、この液晶表示装置31の1つの画素32Aの構成を示す平面図である。この液晶表示装置31の表示部32においては、この画素32Aをマトリックス状に配置して形成される。ここで表示部32は、赤色、緑色、青色の画素32Aによる組み合わせに係る水平方向の連続する3つの画素に対してほぼ正方形形状の領域が割り当てられるようになされ、これにより1つの画素には、縦横比がほぼ3:1に設定された縦長による長方形形状の領域が表示に供する表示領域ARAに割り当てられるようになされている。

【0036】

各画素32Aは、この長方形形状による表示領域ARAに各サブ画素32AA~32AEにおける表示に供する部位である電極43A~43Eが配置され、これらの電極43A~43Eのうち、少なくとも階調データの最下位ビットに係る電極43Aにおいては、ほぼ正方形形状により形成される。

【0037】

具体的に、これらの電極43A~43Eは、この表示領域ARAを各電極43A~43Eの面積比16:8:4:2:1により分割して計算される各電極43A~43Eの面積について、各電極43A~43Eを正方形形状により形成して一辺の長さが所定値より短い場合、この電極については、正方形形状に形成される。これによりこの実施例では、下位側2ビットの電極43A及び43Bが正方形形状により形成されるようになされている。

【0038】

またこのようにして正方形形状に設定した下位側ビットの電極43A及び43Bに対して、それぞれ上位側ビットの電極を組にして、この長方形形状の表示領域ARAの短辺を一辺にしてなる矩形の領域にこれら各組の電極を割り当てる。またこのようにして表示領域ARAに割り当てて残るビットの電極については、長方形形状の表示領域ARAの短辺を一辺にしてなる矩形の領域を割り当てる。

【0039】

またこのような割り当てにおいて、各電極43A~43Eの重心の位置を表示領域ARAの長手方向で極力近づけるように、下位側ビットと上位側ビットとの組み合わせ、各電

10

20

30

40

50

極 4 3 A ~ 4 3 E の配置が設定される。

【 0 0 4 0 】

これによりこの実施例では、最下位ビットから 2 ビット目の電極 4 3 B に対して、最上位ビットの電極 4 3 E が組み合わせられて、これら電極 4 3 B 及び 4 3 E が長手方向の一端側（この図 1 の例では上端側）に配置されるようになされている。また最下位ビットの電極 4 3 A に対して、最上位から 2 ビット目の電極 4 3 D が組み合わせられて、これらの電極 4 3 A 及び 4 3 D が、電極 4 3 B 及び 4 3 E に続いて配置されるようになされている。また残る領域に最下位から 3 ビット目の電極 4 3 C が割り当てられるようになされている。

【 0 0 4 1 】

さらにこの実施例では、このような下位側ビット及び上位側ビットの組み合わせにおいて、下位側ビットの電極 4 3 A、4 3 B を正方形形状により形成して、上位側ビットの電極 4 3 D 及び 4 3 E に極力幅狭の部位を形成しないように、下位側ビットの電極 4 3 A、4 3 B が配置され、またこの配置に対応するように上位側ビットの電極 4 3 D、4 3 E の形状が選定される。すなわち具体的に、下位側ビットの電極 4 3 A、4 3 B は、表示領域 A R A の長手方向にあっては、中央側に配置され、また短辺側にあっては、一方の長辺側に偏って配置される。これによりこれらの電極 4 3 A、4 3 B と組をなす上位ビット側の電極 4 3 D、4 3 E においては、表示領域 A R A の中心側短辺が、局所的に飛び出した L 字形状により形成され、この飛び出した部位が十分な幅により形成されるようになされている。

【 0 0 4 2 】

これらによりこの実施例においては、水平方向及び垂直方向から見て面積の小さなサブ画素を同じように見ることができ、さらには精度良くこの面積の小さなサブ画素に係る電極を作成できるようになされ、これらにより面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避するようになされている。

【 0 0 4 3 】

なおこの実施例においては、このように上位側ビットに係る電極 4 3 D、4 3 E の飛び出した部位の幅が、電極を正方形形状により形成するか否かの判断基準である所定値以上となるように、概ね、この所定値が表示領域 A R A の短辺の長さの $1/2$ に設定され、これにより下位側 2 ビットの電極 4 3 A、4 3 B が正方形形状により形成されるようになされている。しかして十分に高品位の表示画像を形成するために高精細度化、高階調化した場合、必然的に、表示領域 A R A も小さくなり、また下位側電極の面積も小さくなることにより、このような判断基準による判定に依らずとも、少なくとも最下位ビット、さらにはビット数によっては最下位側 2 ビット又は最下位側 3 ビットを正方形形状の電極により形成して、この実施例と同様の効果を得ることができる。

【 0 0 4 4 】

またこの下位側ビットの電極形状においては、長辺の長さに比して短辺の長さを $0.8 \sim 1$ 倍に設定して、見る方向による差異を無くし得、また十分なエッチング精度により作成し得、これにより面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避するようになされている。

【 0 0 4 5 】

各電極 4 3 A ~ 4 3 E は、このようにして形状、配置位置が選定された後、角取りされ、また電極 4 3 A ~ 4 3 E 間で絶縁に必要な空隙が形成され、これらにより変化する各電極 3 2 A A ~ 3 2 A E の面積が最終的に上述した $16 : 8 : 4 : 2 : 1$ になるように、各電極 3 2 A A ~ 3 2 A E の形状が微調整されるようになされている。

【 0 0 4 6 】

このようにしてこの表示領域 A R A に電極 4 3 A ~ 4 3 E を形成して、各画素 3 2 A においては、この表示領域 A R A に対応する長方形形状の領域に各画素回路 4 4 A ~ 4 4 E が設けられ、この画素回路 4 4 A ~ 4 4 E を設ける領域が、下位側ビットの電極 4 3 A、4 3 B を偏らせた側に、表示領域 A R A からほぼ $1/4$ ピッチだけ偏って形成され、これにより後述する接続領域 A R において、高い自由度により画素回路 4 4 A ~ 4 4 E を対応

する電極 4 3 A ~ 4 3 E に接続できるようになされている。

【 0 0 4 7 】

画素 3 2 A は、この画素回路 4 4 A ~ 4 4 E を設ける領域が長手方向に階調データのビット数により等分割され、電極 4 3 A ~ 4 3 E の配置の順序に対応する順序により、この等分割された各領域にそれぞれ各画素回路 4 4 A ~ 4 4 E が形成される。

【 0 0 4 8 】

すなわち最も上位ビット側の電極 4 3 E を配置してなる側端の領域には、最上位ビットの画素回路 4 4 E が設けられ、また続く内側の領域には、電極 4 3 E と組をなす最下位から 2 ビット目の画素回路 4 4 B が設けられる。また続く領域には、最下位ビットの電極 4 3 A に対応する画素回路 4 4 A が設けられ、続いて最下位ビットの電極 4 3 A と組をなす上位から 2 ビット目の電極 4 3 D に対応する画素回路 4 4 C が設けられる。また最も下側の領域には、残る画素回路 4 4 C が設けられる。

【 0 0 4 9 】

これによりこの実施例では、各電極 4 3 A ~ 4 3 E と対応する画素回路 4 4 A ~ 4 4 E との接続を簡略化できるようになされている。

【 0 0 5 0 】

このようにして画素 3 2 A の領域に割り当てられる各画素回路 4 4 A ~ 4 4 E においては、図 9 について上述したトランジスタ Q 1 ~ Q 9 により構成され、図 4 に示すようにレイアウトされる。すなわち画素回路 4 4 A ~ 4 4 E は、各 MOS トランジスタ Q 1 ~ Q 9 のゲート電極（図 1 において符号 G により示す）を作成する際に、このゲート電極材料により併せて各領域の上端に沿ってゲート線 G A T E が設けられる。またこのゲート線 G A T E を作成する際に、ゲート電極材料により併せてトランジスタ Q 1 ~ Q 4 によるインバーター 6、7 をトランジスタ Q 6 ~ Q 9 によるスイッチ回路 9、10 に接続する配線パターン L 1 及び L 2 が、ゲート線 G A T E を作成して残る領域をほぼ 3 等分するようにゲート線 G A T E と平行に形成される。

【 0 0 5 1 】

画素回路 4 4 A ~ 4 4 E は、これらの配線パターン L 1 及び L 2 による左端側に、トランジスタ Q 1 ~ Q 4 が形成されてインバーター 6、7 が形成され、また右端側にトランジスタ Q 6 ~ Q 9 が形成されてスイッチ回路 9、10 が形成される。すなわち画素回路 4 4 A ~ 4 4 E は、信号線 S I G にゲートを接続するトランジスタ Q 1、Q 2 のうち、正側電源 V D D にソースを接続するトランジスタ Q 2 が下側の配線パターン L 2 の左端側に形成され、残るトランジスタ Q 1 がその内側に形成される。また残るインバーター 7 のトランジスタ Q 3、Q 4 のうち、正側電源 V D D にソースを接続するトランジスタ Q 4 が中央の配線パターン L 1 の左端側に形成され、残るトランジスタ Q 3 がその内側に形成される。画素回路 4 4 A ~ 4 4 E は、トランジスタ Q 2、Q 4 を正側電源 V D D に接続する配線パターン L 3、トランジスタ Q 1、Q 3 を負側電源 V S S に接続する配線パターン L 4、トランジスタ Q 3、Q 4 をスイッチ回路 8 によるトランジスタ Q 5 に接続する配線パターン L 5、トランジスタ Q 1、Q 2 のソースをトランジスタ Q 3、Q 4 のゲートに接続する配線パターン L 6 が、トランジスタ Q 1 ~ Q 4 に続いて作成され、これによりインバーターを作成するようになされている。

【 0 0 5 2 】

また画素回路 4 4 A ~ 4 4 E は、ゲート線 G A T E が局所的に下方に延長して信号線 S I G をインバーター 6、7 に接続するスイッチ回路 8 のトランジスタ Q 5 が形成され、このトランジスタ Q 5 に、信号線 S I G への接続用の配線パターン L 7 が形成されるようになされている。

【 0 0 5 3 】

また配線パターン L 1 及び L 2 の右端側に、それぞれ共通電圧 V C O M と同相の駆動信号 F R P に係るスイッチ回路 10 のトランジスタ Q 8、Q 9 が形成され、これらトランジスタ Q 8、Q 9 にこの駆動信号 F R P を入力する電極 L 9、L 11 が形成される。またこれらトランジスタ Q 8、Q 9 の内側に、共通電圧 V C O M と逆相の駆動信号 X F R P に係

10

20

30

40

50

るスイッチ回路 9 のトランジスタ Q 6、Q 7 が形成され、これらトランジスタ Q 8、Q 9 にこの駆動信号 X F R P を入力する電極 L 1 0、L 8 が形成される。またこれらトランジスタ Q 6 ~ Q 9 を液晶セルの電極 4 3 A ~ 4 3 E に接続する電極 L X が形成される。

【 0 0 5 4 】

これらによりこの画素回路 4 4 A ~ 4 4 E においては、サブ画素 3 2 A A ~ 3 2 A E の画素回路 4 4 A ~ 4 4 E を配置するこの横長の領域において、信号線 S I G による論理値を記録するメモリ回路 (6、7) と、このメモリ回路の内容により液晶セルへの駆動信号を切り換えるスイッチ回路 9、1 0 とを、この領域の左右両端に配置して、この領域の中央にスイッチ回路 9、1 0 を電極 4 3 A ~ 4 3 E に接続するための領域 A R を形成し、この接続用の領域 A R でスイッチ回路 9、1 0 を電極 4 3 A ~ 4 3 E に接続するようになさ 10
れている。これによりこの実施例では、サブ画素 3 2 A A ~ 3 2 A E を構成する画素回路 4 4 A ~ 4 4 E、電極 4 3 A ~ 4 3 E のレイアウトを簡略化し、容易に多ビット化して高階調化、高解像度化することができるようになされている。

【 0 0 5 5 】

なおこの図 4 及び図 5 等において、内側に黒点を設けた丸印は、上層側に形成される配線パターンとの接続箇所を示す印であり、内側に × を設けた丸印は、下層側の配線パターンとの接続箇所を示す印である。

【 0 0 5 6 】

すなわち図 5 に示すように、このような画素回路 4 4 A ~ 4 4 E においては、上層側に、図 5 に示すような配線パターンが形成される。ここでこれら配線パターンは、水平駆動回路 3 4 から延長する信号線 S I G が上下方向に延長するように形成され、またこの信号線 S I G と平行に、正側電源 V D D 及び負側電源 V S S の配線パターン、駆動信号 F R P、X F R P の配線パターンが設けられる。 20

【 0 0 5 7 】

これらの配線パターンのうち、駆動信号 F R P、X F R P の配線パターン、正側電源 V D D 及び負側電源 V S S の配線パターンにあつては、それぞれ下層の対応する配線パターンの部位に形成されるのに対し、信号線 S I G においては、電極接続用の領域 A R を避けるように形成され、画素回路 4 4 A ~ 4 4 E は、これらの配線パターンのレイヤーにおいて、この接続用の領域 A R に、図 6 に示すように、下層の電極接続用の配線パターン L X を、続く上層の電極 4 3 A ~ 4 3 E に接続する配線パターン L X 1 が形成されるようになさ 30
れている。

【 0 0 5 8 】

すなわちこのようにして画素回路 4 4 A ~ 4 4 E でトランジスタ等を同一にレイアウトして、最も上位側ビットである画素回路 4 4 E においては、トランジスタ Q 6 ~ Q 9 によるスイッチ回路を液晶セルの電極 4 3 A ~ 4 3 E に接続する電極 L X が、接続用の領域 A R に延長し、この接続用領域 A R において、信号線 S I G 等の配線パターンに係るレイヤーに設けられた接続用の配線パターン L X 1 を介して、対応する電極 4 3 E に接続される。これに対して続く画素回路 4 4 B の電極 L X においては、接続用の領域 A R に延長し、この接続用領域 A R において、ほぼ直角に折れ曲がって対応する電極 4 3 B が設けられている隣接する画素回路 4 4 E の領域 A R まで延長し、この隣接する画素回路 4 4 E の領域 40
A R に設けられた接続用の配線パターン L X 1 を介して、対応する電極 4 3 B に接続される。

【 0 0 5 9 】

また続く画素回路 4 4 A の電極 L X においては、同様に、接続用の領域 A R に延長し、この接続用の領域 A R において、ほぼ直角に折れ曲がって対応する電極 4 3 A が設けられている領域 A R 内の部位まで延長し、この部位に設けられた接続用の配線パターン L X 1 を介して、対応する電極 4 3 A に接続される。また続く画素回路 4 4 D 及び 4 4 B の電極 L X においては、接続用の領域 A R に延長し、この接続用領域 A R に設けられた接続用の配線パターン L X 1 を介して、対応する電極 4 3 D 及び 4 3 B に接続される。

【 0 0 6 0 】

これらによりこの液晶表示装置 3 1 では、このようにして作成してなる接続用の領域 A R を有効に利用して、大きく面積の異なる電極 4 3 A ~ 4 3 E に対して、同一のレイアウトにより作成した各画素回路 4 4 A ~ 4 4 E を簡易かつ確実に接続できるようになされている。

【 0 0 6 1 】

このようにして電極 4 3 A ~ 4 3 E と対応する画素回路 4 4 A ~ 4 4 E を接続するにつき、各画素 3 2 A においては、電極 4 3 A ~ 4 3 E に対する配線パターン L X 1 の接続箇所が、垂直方向より見て重なり合わないように、水平方向に不規則に異なってなるように配置され、これによりこのような接続箇所が一行に並ぶことにより各種干渉縞の発生を有効に回避するようになされている。

10

【 0 0 6 2 】

表示部 3 2 においては、半導体製造技術によりこのようなレイアウトにより画素回路 4 4 A ~ 4 4 E、配線パターンが順次ガラス基板に形成された後、絶縁層を間に挟んで、電極材料膜が形成され、この電極材料膜のエッチングにより図 1 について上述した形状による電極が形成され、その後、対向電極と一体化されて液晶が封入されて作成されるようになされている。

【 0 0 6 3 】

(2) 実施例の動作

以上の構成において、この液晶表示装置 3 1 では (図 2)、描画に係るコントローラ等からそれぞれ赤色、緑色、青色による各画素の階調を指示する 5 ビットによる階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] が順次同時並列的にラスタ走査順に入力され、この階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] が水平駆動回路 3 4 により順次サンプリングされて表示部 3 2 のライン単位でまとめられる。またさらにこのようにライン単位でまとめられてなる各階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] の各ビットが順次循環的に選択されてシリアル転送により各画素 3 2 A に 1 つの信号線 S I G に出力される (図 3)。

20

【 0 0 6 4 】

またこの水平駆動回路 3 4 によるライン単位の処理に対応するように、垂直駆動回路 3 3 により順次循環的に表示部 3 2 の各ラインを選択する選択信号が生成され、さらにこのラインに係る画素において、サブ画素 3 2 A A ~ 3 2 A E を順次選択する選択信号が生成され、この選択信号が各サブ画素 3 2 A A ~ 3 2 A E のゲート線 G A T E 1 ~ G A T E 5 に出力される。

30

【 0 0 6 5 】

これによりこの液晶表示装置 3 1 では、各サブ画素 3 2 A A ~ 3 2 A E の表示に供する部位である電極 4 3 A ~ 4 3 E が順次面積が増大するように形成されて、階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] の対応するビットの論理値に応じてこれら電極 4 3 A ~ 4 3 E に駆動信号 F R P、X F R P が印加され、面積階調法により階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] による画像が表示される。

【 0 0 6 6 】

液晶表示装置 3 1 では、これらの電極 4 3 A ~ 4 3 E のうち、階調データ R [5 - 1]、G [5 - 1]、B [5 - 1] の下位側 2 ビットによる面積の小さな電極 4 3 A、4 3 B がほぼ正方形形状により形成され、これによりこれら電極 4 3 A、4 3 B がエッチングにより作成工程により精度良く作成される。

40

【 0 0 6 7 】

すなわちこれらの電極を作成する場合にあって、幅狭の細長い形状により作成する場合には、正方形形状により作成する場合に比して、面積に対する周囲の長さが長くなる。これに対してエッチング量の変化は、電極の周囲に現れる。これによりこの実施例のように正方形形状により電極を作成した場合には、その分、所望する面積により精度良く電極を作成することができる。

【 0 0 6 8 】

50

またこのような面積のばらつきにおいては、元々面積の小さなサブ画素に大きな影響を与えることになる。これによりこの実施例のように、最下位ビットを含む下位2ビットの電極を正方形形状により形成して、所望する面積比により高い精度でこれらサブ画素32AA~32AEの表示に供する部位を形成し得、これにより正しく階調を表現することができ、階調の劣化による表示画像の品位の低下を有効に回避することができる。

【0069】

またこのように正方形形状により形成した場合、垂直方向に視線を変化させて表示画像を見た場合と、水平方向に視線を変化させて表示画像を見た場合とで、視線の変化に対するこれら面積の小さなサブ画素の見え方を等しくし得、これにより見る方向によって光学的な差異が現れないようにして、表示画像の品位の劣化を有効に回避することができる。

10

【0070】

さらにこの実施例では、このようにして作成されてなる各電極43A~43Eが、角取りして形成され、この角取りによってもエッチング量のばらつきによる面積の変化を小さくし得、これによっても表示画像の品位の低下が有効に回避される。

【0071】

液晶表示装置31においては、このようにして正方形形状に作成されてなる面積の小さな画素が、面積の大きな上位側ビットの係る電極と組み合わせられて、それぞれ各組が表示領域ARAの短辺を一辺にしてなる長方形形状による領域に割り当てられる。また残るビットの係る電極がこの表示領域ARAの短辺を一辺にしてなる長方形形状による領域に割り当てられる。

20

【0072】

これにより液晶表示装置31においては、この電極を作成する領域ARAに関して、この領域ARAの短辺と平行になるように空隙を形成してこの領域ARAを3つの領域に分割し、さらにこの3つの領域のうちの2つの領域に空隙を形成して計5つの電極を形成することができ、これらによりこのようにして面積の小さなサブ画素の電極を正方形形状により作成するようにして、この電極形成領域ARAに形成される無駄な領域である空隙の長さを極力短くすることができる。従って液晶表示装置31においては、その分、この電極を形成する領域を有効に利用して表示画面の輝度を向上することができる。

【0073】

またこのような組み合わせに係る矩形の領域において、電極形成領域ARAである領域ARAの中心側に面積の小さな電極を形成し、階調データの下位側2ビットに係る電極を隣接させることにより、この電極形成領域ARAの長手方向について、各電極の重心の位置を、特に面積の小さなサブ画素に係る電極の重心を近づけることができる。これによりこの実施例においては、このような重心の位置が遠ざかるように形成してなる表示画像の違和感を有効に回避できるようになされている。

30

【0074】

しかして液晶表示装置31においては、これらによりこの電極形成領域である表示に供する領域ARAの上側より、階調データのビット順位とは異なるように電極43A~43Eが配置され、この配置の順序に対応する順序により各階調データの各ビットに係る画素回路が設けられ、これにより画素回路44A~44Eと電極43A~43Eとの接続が簡略化されるようになされている。

40

【0075】

(3) 実施例の効果

以上の構成によれば、表示に供する部位の面積が小さなサブ画素については、この表示に供する部位をほぼ正方形形状により作成することにより、多ビットメモリ方式による表示装置において、面積の小さなサブ画素に起因する表示画像の品位の低下を有効に回避することができる。

【0076】

また長辺の長さに対して短辺の長さを1~0.8倍に設定して、このようなほぼ正方形形状による電極を作成したことにより、確実に面積の小さなサブ画素に起因する表示画像

50

の品位の低下を有効に回避することができる。

【0077】

またこのような面積の小さな電極に対して、面積の大きな電極を組にして、長方形形状の表示領域の短辺を一辺にしてなる矩形の領域に割り当てたことにより、この表示領域を有効利用することができる。

【0078】

また階調データの最下位2ビットの電極が隣接するように形成したことにより、各電極の重心の位置を、特に面積の小さなサブ画素に係る電極の重心を近づけることができる。これによりこの実施例においては、このような重心の位置が遠ざかるように形成してなる表示画像の違和感を有効に回避できるようになされている。

10

【0079】

またこのようにして階調データのビット順位とは異なるように電極を配置して、この電極の配置の順序に対応する順序により画素回路を設けることにより、画素回路と電極との接続を簡略化することができる。

【実施例2】

【0080】

なお上述の実施例においては、同一色彩のカラーフィルタが垂直方向に延長してなるいわゆる縦方向ストライプにより表示部を形成する場合について述べたが、本発明はこれに限らず、同一色彩のカラーフィルタが水平方向に延長してなるいわゆる横方向ストライプにより表示部を形成する場合、モザイク状にカラーフィルタを配置して表示部を形成する場合、さらにはデルタ状にカラーフィルタを配置して表示部を形成する場合等に広く適用することができる。

20

【0081】

また上述の実施例においては、共通電圧に対して同相、逆相の駆動信号を選択的に印加することにより、1つのサブ画素をオンオフの2階調により駆動する場合について述べたが、本発明はこれに限らず、さらに位相の異なる多数の駆動信号を選択的に印加することにより、さらには時間軸方向の変調により、1つのサブ画素を2階調より多くの階調により駆動する場合にも広く適用することができる。

【0082】

なお上述の実施例においては、最下位ビットと最上位から2ビット目を組み合わせて電極を形成する場合について述べたが、本発明はこれに限らず、例えば最上位ビットと最下位ビットとを組み合わせるようにしてもよい。

30

【0083】

また上述の実施例においては、1つの画素を形成する複数のサブ画素の全てで信号線を共通化する場合について述べたが、本発明はこれに限らず、サブ画素のレイアウトによっては、1つの画素を形成する複数のサブ画素の一部のみについて、信号線を共通化する場合、さらには各サブ画素にそれぞれ信号線を設ける場合等に広く適用することができる。

【0084】

また上述の実施例においては、各5ビットの赤色、緑色、青色による3種類の階調データを同時並列的に入力して処理する場合について述べたが、本発明はこれに限らず、5ビット以外のビット数により階調データの処理に適用する場合、4種類以上の階調データによりカラー画像を表示する場合等にも広く適用することができる。

40

【0085】

また上述の実施例においては、ガラス基板上に表示部等を作成してなる反射型液晶表示装置に本発明を適用する場合について述べたが、本発明はこれに限らず、透過型液晶表示装置、EL(Electro Luminescence)表示装置等、種々の表示装置に広く適用することができる。

【産業上の利用可能性】

【0086】

本発明は、例えば1つの画素を複数のサブ画素により構成し、これら複数のサブ画素の

50

駆動により階調を表現する方式の液晶表示装置に適用することができる。

【図面の簡単な説明】

【0087】

【図1】本発明の実施例に係る液晶表示装置の1つの画素の構成を示す平面図である。

【図2】本発明の実施例に係る液晶表示装置を示すブロック図である。

【図3】図2の液晶表示装置の1つの画素の構成を示す接続図である。

【図4】図2の液晶表示装置の1つのサブ画素のレイアウトを示す平面図である。

【図5】図4の上層側の配線パターンを示す平面図である。

【図6】画素回路と電極との接続の説明に供する平面図である。

【図7】多ビットメモリ方式により液晶表示装置を示すブロック図である。

10

【図8】図7の液晶表示装置の1画素を示す接続図である。

【図9】図8の1画素に設けられる画素回路を示す接続図である。

【図10】図9の画素回路の等化回路を示す接続図である。

【図11】図9の画素回路の動作の説明に供するタイムチャートである。

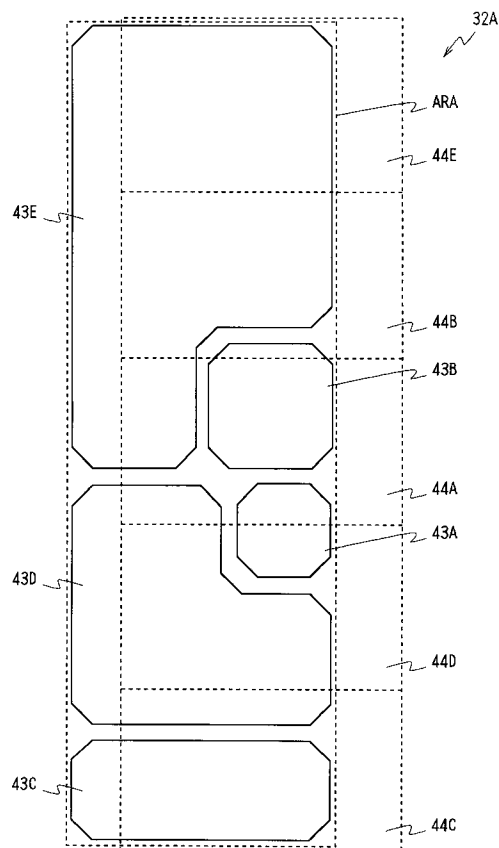
【符号の説明】

【0088】

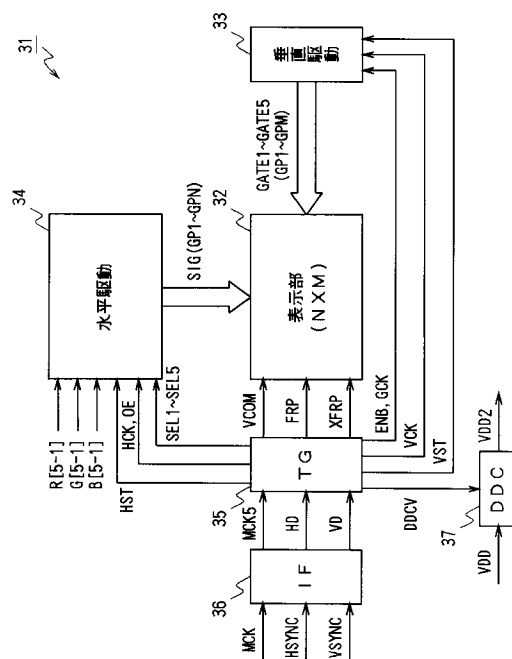
1、31...液晶表示装置、2、32...表示部、2A、32A...画素、2AA~2AE、32AA~32AE...サブ画素、3A~3E、43A~43E...電極、4A~4E、44A~44E...画素回路、5A~5E...液晶セル、6、7...インバーター、8、9、10...スイッチ回路、16、33...垂直駆動回路、20、34...水平駆動回路

20

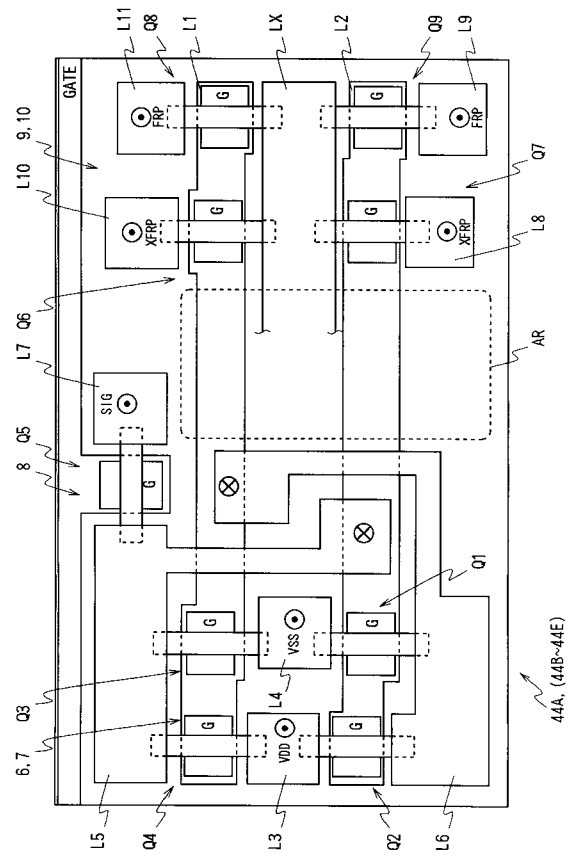
【図1】



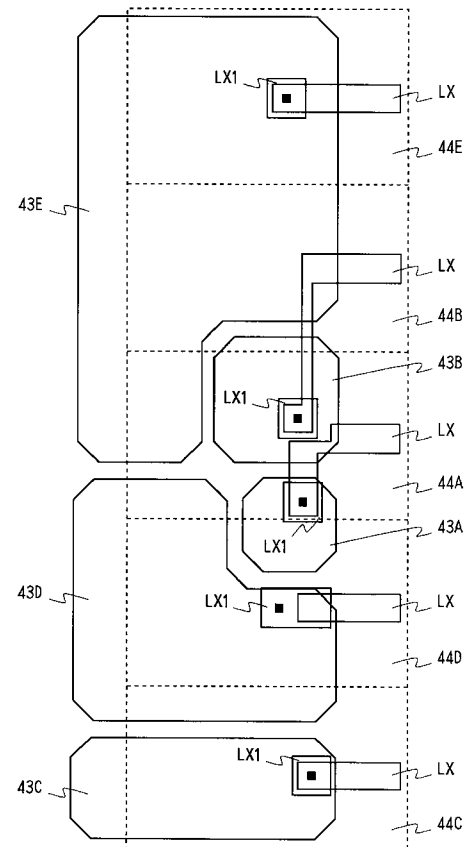
【図2】



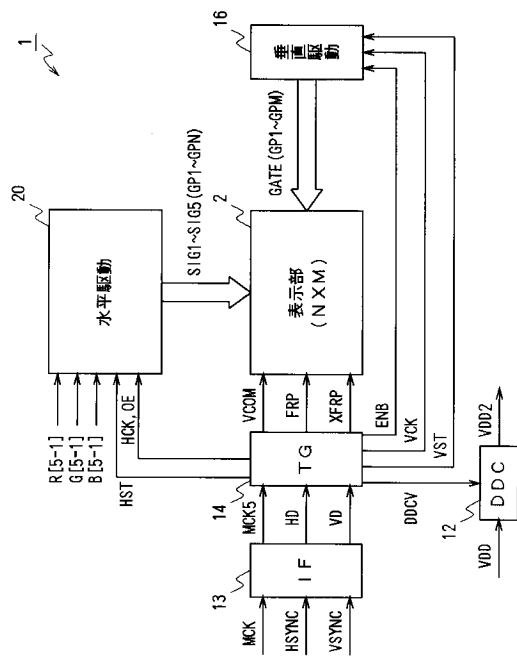
【 図 4 】



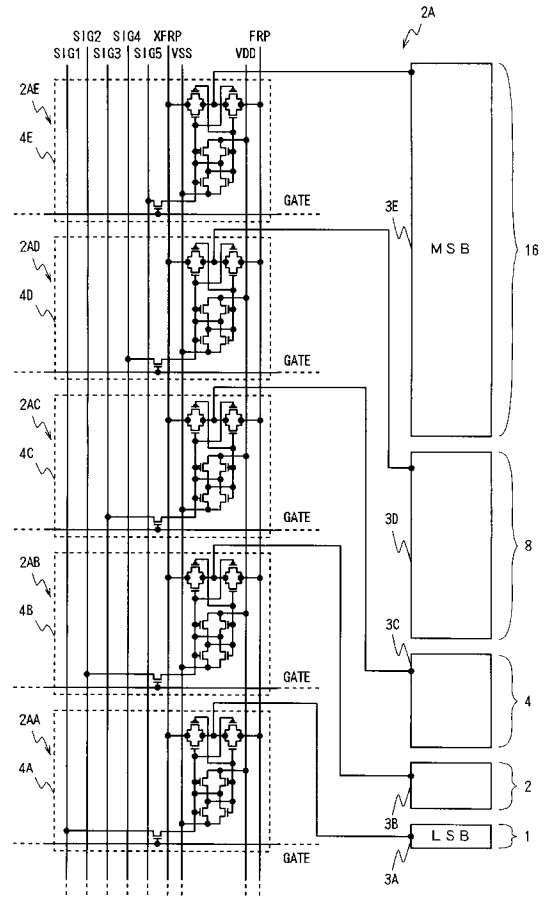
【圖 6】



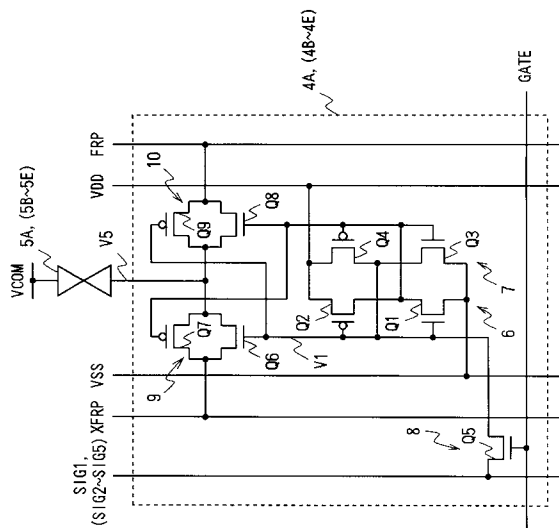
【図 7】



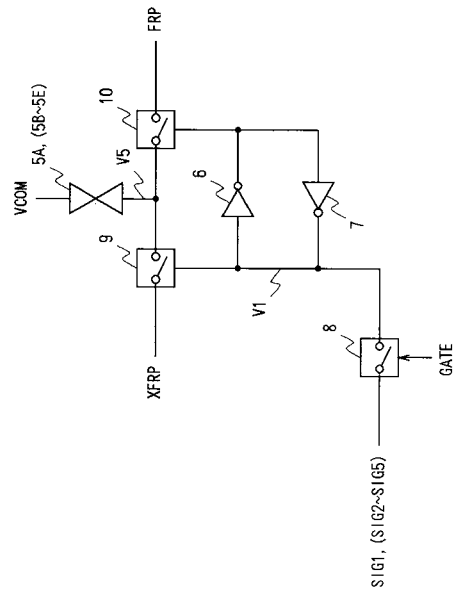
【図 8】



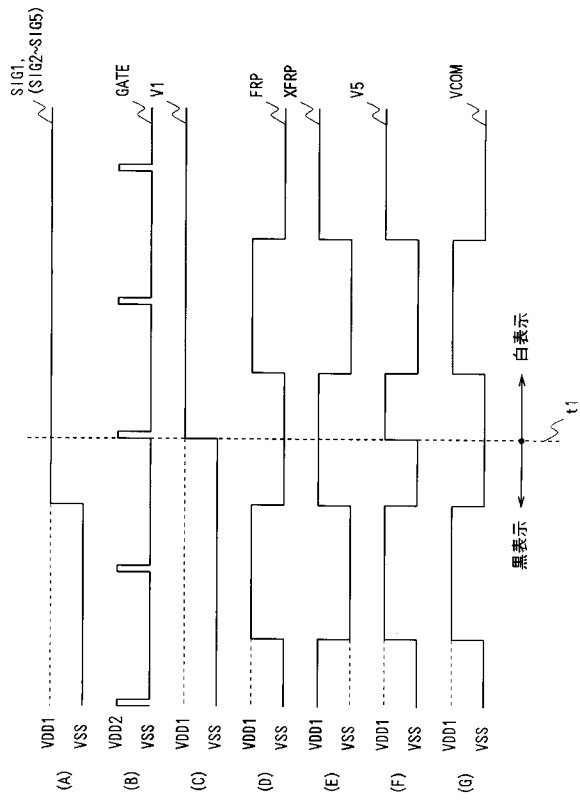
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 5 B 33/14	G 0 9 G 3/20 6 2 1 J	5 C 0 9 4
	G 0 9 G 3/20 6 2 4 B	
	G 0 9 G 3/20 6 4 1 G	
	G 0 9 G 3/20 6 6 0 U	
	G 0 9 G 3/20 6 8 0 H	
	G 0 9 G 3/36	
	H 0 5 B 33/14 A	
	H 0 5 B 33/14 Z	

(72)発明者 林 宗治
東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

(72)発明者 鳥山 重隆
東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

(72)発明者 坂井 栄治
東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内

F ターム(参考) 2H092 JA24 JB04 JB05 JB46
2H093 NA54 NC13 NC34 NC40 ND06
3K007 AB17 BA06 DB03 GA04
5C006 AA02 AA12 AA22 AC27 BB16 BB28 BC06 BF42 BF46 EB04
FA22 FA47 FA55 FA56
5C080 AA10 BB05 CC03 DD03 DD26 DD28 EE01 EE29 EE30 FF11
GG12 JJ02 JJ03 JJ06
5C094 AA02 BA43 DB01 EA04 GA10

专利名称(译)	表示装置		
公开(公告)号	JP2005148424A	公开(公告)日	2005-06-09
申请号	JP2003386087	申请日	2003-11-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	寺西康幸 仲島義晴 野津大輔 林宗治 鳥山重隆 坂井栄治		
发明人	寺西 康幸 仲島 義晴 野津 大輔 林 宗治 鳥山 重隆 坂井 栄治		
IPC分类号	G02F1/1343 G02F1/133 G09F9/30 G09G3/20 G09G3/36 H01L51/50 H05B33/14		
FI分类号	G09F9/30.341 G09F9/30.390.C G02F1/133.575 G02F1/1343 G09G3/20.611.A G09G3/20.621.J G09G3/20.624.B G09G3/20.641.G G09G3/20.660.U G09G3/20.680.H G09G3/36 H05B33/14.A H05B33/14.Z G09F9/302.C		
F-TERM分类号	2H092/JA24 2H092/JB04 2H092/JB05 2H092/JB46 2H093/NA54 2H093/NC13 2H093/NC34 2H093/NC40 2H093/ND06 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C006/AA02 5C006/AA12 5C006/AA22 5C006/AC27 5C006/BB16 5C006/BB28 5C006/BC06 5C006/BF42 5C006/BF46 5C006/EB04 5C006/FA22 5C006/FA47 5C006/FA55 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD26 5C080/DD28 5C080/EE01 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C094/AA02 5C094/BA43 5C094/DB01 5C094/EA04 5C094/GA10 2H193/ZA04 2H193/ZA20 2H193/ZD24 3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/EE06 3K107/EE07 3K107/HH04 3K107/HH05		
其他公开文献	JP4506152B2		
外部链接	Espacenet		

摘要(译)

显示装置技术领域本发明涉及一种显示装置，例如，将多位存储器应用于其中一个像素由多个子像素构成并且通过驱动多个子像素来表现灰度的液晶显示装置。在根据该方法的显示装置中，有效地避免了由于子像素具有小面积而导致的显示图像的质量下降。根据本发明，对于显示区域43A至43E的面积较小的子像素32AA和32AB，显示区域43A和43B形成为大致正方形。[选型图]图1

