

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-529397

(P2004-529397A)

(43) 公表日 平成16年9月24日(2004.9.24)

(51) Int. Cl.⁷

G09G 3/36
G02F 1/133
G09F 9/30
G09F 9/35
G09G 3/20

F I

G09G 3/36
G02F 1/133 550
G09F 9/30 338
G09F 9/35
G09G 3/20 621F

テーマコード(参考)

2H093
5C006
5C080
5C094

審査請求 未請求 予備審査請求 未請求 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2003-504374 (P2003-504374)
(86) (22) 出願日 平成14年6月6日(2002.6.6)
(85) 翻訳文提出日 平成15年12月5日(2003.12.5)
(86) 国際出願番号 PCT/IB2002/002095
(87) 国際公開番号 WO2002/101708
(87) 国際公開日 平成14年12月19日(2002.12.19)
(31) 優先権主張番号 09/877,426
(32) 優先日 平成13年6月8日(2001.6.8)
(33) 優先権主張国 米国(US)
(81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR

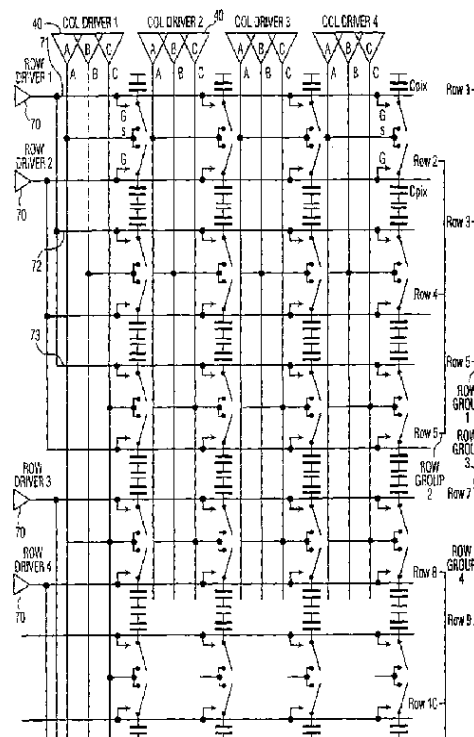
(71) 出願人 590000248
コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
Koninklijke Philips Electronics N. V.
オランダ国 5621 ペーアー アイन्दーフエン フルーネヴァウツウェッハ 1
Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
(74) 代理人 100072051
弁理士 杉村 興作

最終頁に続く

(54) 【発明の名称】 LCD画素をアドレスする装置及び方法

(57) 【要約】

LCD表示素子のマトリクスアレイを具える電光学装置であって、該装置は隣接する行においてソースを共有する隣接トランジスタを有し、これによって、前記表示素子を変調する電圧信号を与えるドライバにおける容量性負荷を減少する。加えて、非隣接多数行アドレッシング及びソース共有トランジスタを使用する方法を提供する。前記装置及び方法は、多い画素総数を有し、それにもかかわらず高い表示解像度及び品質を有する表示装置を提供する。



【特許請求の範囲】

【請求項 1】

M 行 N 列の表示素子のマトリックスアレイと、
各対が共通ソースに動作的に接続し、各々が前記アレイの 1 個の表示素子に動作的に接続する、トランジスタスイッチの複数の対と、
各々が 1 つのソースに動作的に接続する複数の駆動コネクタと、
Q 本の非隣接行の前記表示素子に動作的に接続し、列ドライバからの駆動信号との電氣的接続を可能にする、複数のスイッチコネクタとを具え、
Q を 2 又はそれ以上の整数としたことを特徴とする電子－光学表示装置。

【請求項 2】

10

請求項 1 に記載の表示装置において、前記トランジスタを I G F E T S としたことを特徴とする表示装置。

【請求項 3】

請求項 1 に記載の表示装置において、前記表示素子を L C D としたことを特徴とする表示装置。

【請求項 4】

請求項 1 に記載の表示装置において、
前記複数の駆動コネクタが M 個の行ドライバに動作的に接続し、
前記複数のスイッチコネクタが N 個の列ドライバに動作的に接続し、
M 個の行ドライバの各々を Q 本の非隣接行のトランジスタゲートに電氣的に接続し、N 個の列ドライバの各々を M / 2 個のトランジスタソースに電氣的に接続し、Q 個の列サブドライバの各々を M / (2 × Q) 個のソースに接続したことを特徴とする表示装置。

20

【請求項 5】

請求項 4 に記載の表示装置において、前記行ドライバを D / A コンバータとしたことを特徴とする表示装置。

【請求項 6】

請求項 4 に記載の表示装置において、Q を 3 とし、前記行ドライバの数を M / Q とし、これらのドライバを、以下の順序、すなわち、行ドライバ 1 (行 1 , 3 , 5)、行ドライバ 2 (行 2 , 4 , 6)、行ドライバ 3、行ドライバ 4 (行 8 , 1 0 , 1 2) . . . 行ドライバ M / Q (行 M - 4 , M - 2 , M) の順序において前記行におけるトランジスタのゲートに電氣的に接続し、列ドライバを各々 3 個のサブドライバ A、B 及び C に再分し、これらのサブドライバを以下のように列ソースに接続し、すなわち、列 1 のサブドライバ A を行 (1 , 2) , (1 1 , 1 2) , (1 3 , 1 4) . . . の間のトランジスタのソースに接続し、サブドライバ B を行 (3 , 4) , (9 , 1 0) , (1 5 , 1 6) . . . の間のトランジスタのソースに接続し、サブドライバ C を行 (5 , 6) , (7 , 8) , (1 7 , 1 8) の間のトランジスタのソースに接続したことを特徴とする表示装置。

30

【請求項 7】

M × N の表示素子のアレイをアドレスする方法において、
(a) 前記表示素子に対するスイッチとして作用する対となるトランジスタを与えるステップであって、前記対となるトランジスタがソースを共有し、前記対となるトランジスタが隣接行においてある、ステップと、
(b) 数 Q の同時許可スイッチング信号を Q 行の素子に電氣的接続を経て供給するステップであって、前記素子の行が隣接しておらず、Q が 2 又はそれ以上の整数である、ステップと、
(c) 独立信号を前記非隣接行における各々の許可された素子に供給するステップと、
(d) 前記信号を各々の許可された表示素子に送るステップとを含むことを特徴とする方法。

40

【請求項 8】

請求項 7 に記載の方法において、
ステップ (b) - (d) を、未だ許可されていない素子を有する Q 本の非隣接行の他の組

50

に対して、前記アレイ全体がアドレスされるまで連続的に繰り返すステップをさらに含むことを特徴とする方法。

【請求項 9】

請求項 7 に記載の方法において、前記数 Q の許可信号を供給するステップ (b) を、行ドライバが数 Q の電気信号を個々のトランジスタゲートに同時に供給し、これによって前記接続された表示素子を許可することによって成し遂げることを特徴とする方法。

【請求項 10】

請求項 9 に記載の方法において、前記独立信号を供給するステップ (c) を N 個の列ドライバによって成し遂げ、各々の列ドライバは Q 個の列サブドライバから成り、各々のサブドライバは独立信号を供給し、前記独立信号を表示素子に関係する前記トランジスタのソースに電氣的に供給し、供給する前記独立信号の合計数を $Q \times N$ としたことを特徴とする方法。 10

【請求項 11】

請求項 7 に記載の方法において、前記表示素子を、前記トランジスタのドレインに接続した蓄積キャパシタに接続した LCD としたことを特徴とする方法。

【請求項 12】

請求項 11 に記載の方法において、前記トランジスタを IGFET としたことを特徴とする方法。

【請求項 13】

$M \times N$ の表示素子のアレイをアドレスする装置において、
前記表示素子に対するスイッチとして作用し、ソースを共有し、隣接する行において対を成すトランジスタと、
2 又はそれ以上の整数 Q の同時許可スイッチング信号を隣接しない Q 行の素子に電氣的接続を経て供給する手段と、
独立信号を前記非隣接行における各々の許可された素子に供給する手段と、
前記信号を各々の許可された表示素子に伝送する手段とを具えることを特徴とする装置。 20

【請求項 14】

請求項 13 に記載の装置において、数 Q の許可信号を供給する手段を、行ドライバが数 Q の電気信号を個々のトランジスタゲートに同時に供給し、これによって前記接続された表示素子を許可することによって成し遂げることを特徴とする装置。 30

【請求項 15】

請求項 14 に記載の装置において、前記独立信号を供給する手段を N 個の列ドライバによって成し遂げ、各々の列ドライバが Q 個の列サブドライバから成り、各々のサブドライバは独立信号を供給し、前記独立信号を表示素子に関係する前記トランジスタのソースに電氣的に供給し、供給する前記独立信号の合計数を $Q \times N$ としたことを特徴とする装置。

【請求項 16】

請求項 13 に記載の装置において、前記表示素子を、前記トランジスタドレインに接続した蓄積キャパシタに接続した LCD としたことを特徴とする装置。

【請求項 17】

請求項 13 に記載の装置において、前記トランジスタを IGFET としたことを特徴とする装置。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子－光学表示装置の分野に関する。

【背景技術】

【0002】

高精細テレビジョンの用途において使用される LCD 装置は、当業者に既知である。このような装置、特に、アクティブマトリックス表示装置の例は、米国特許第 4 2 3 9 3 4 6 号及び第 5 0 5 6 8 9 5 号明細書によって与えられる。簡潔さのために、これらの装置に 50

精通しているとし、上述した特許は、これらの全体における参照によってここに含まれる。

【0003】

高精細テレビジョンのような、LCD装置の近年の使用において、より高い表示精細度及び性能に対する必要性が増大している。精細度を増す1つの方法は、一定表示面積中の画素数を増すことである。しかしながら、先行技術の装置における画素数の増加は、ディスプレイの性能を低下させる傾向がある。

【0004】

この性能低下が生じる1つの理由は、追加する画素が、1行ずつの走査シーケンスにおいて、マトリックス全体を走査するのに必要な時間とくらべて、1行の画素に関して利用可能な走査移動時間 T_a を減少させることである。あいにく、画素は、完全に充電するのにいくらかの時間を必要とする蓄積キャパシタ C_{pix} に接続されるため、 T_a におけるどんな減少も、表示性能を低下させるおそれがある。

【0005】

他の理由は、追加の画素が、前記画素を駆動する列ドライバによって認められる合計の容量性負荷を増加させることである。トランジスタスイッチを使用する代表的なLCDマトリックスアレイにおいて、列ドライバを各々のトランジスタソース s と関連する基板キャパシタンス C_s に電氣的に接続する。したがって、列ドライバは、目標画素の蓄積キャパシタ C_{pix} と、並列結合においてある列において位置するすべての C_s キャパシタとを認める。すべての C_s キャパシタの結合は、単独の C_{pix} の値に実質的に関係がある。画素キャパシタ C_{pix} に関する充電速度は、列内の C_s キャパシタの数が増加すると、遅くなるおそれがある。したがって、追加する画素は、利用可能な走査移動時間 T_a を減少させるだけでなく、列ドライバによって認識される容量性負荷が増加することによる問題を悪化させる。双方の影響が結合し、LCD画素への電圧信号の移動が遅くなるおそれがある。

【0006】

高い表示解像度及び多い画素数を要求する現在の用途の観点において、列ドライバによって認識される容量性負荷を減少するアレイ表示装置と、さらに、走査時間 T_a を増加する方法とを提供し、したがって表示性能を改善することが望ましい。

【0007】

発明の要約

本発明の一態様は、M行N列の表示素子のマトリックスアレイと、共有ソースを有する複数のトランジスタスイッチの対であって、前記ソースを前記表示素子の複数の対に動作的に接続し、前記2つの素子が隣接する行において別々に配置された、複数のトランジスタスイッチの対と、表示素子のQ本の非隣接行に動作的に接続された複数の駆動コネクタと、表示素子のQ本の非隣接行に動作的に接続され、列ドライバからの駆動信号との電氣的接続を可能にする複数のスイッチコネクタとを含んでもよい、電子-光学表示装置を提供する。Qを、2以上の整数とすることができる。前記トランジスタソースを共有することは、基板キャパシタンス C_s の半分を除去することができ、複数のスイッチコネクタは、素子の非隣接行の同時多数行アドレッシングを可能にする。

【0008】

加えて、前記表示装置は、トランジスタソースと前記画素蓄積キャパシタ C_{pix} との間の接続を可能にするスイッチング信号を発生する列ドライバのような手段を含んでもよい。そしてさらに、前記装置は、 C_{pix} を充電すると共に前記LCD画素における光を変調するアナログ電圧信号を出力するA/Dコンバータを有する列ドライバのような駆動信号を発生する手段を含んでもよい。

【0009】

好適実施例において、M個の行ドライバの各々を、トランジスタゲートのQ本の非隣接行に電氣的に接続してもよく、N個の列ドライバの各々を、トランジスタソースの $M/Q \times 2$ 本の行に電氣的に接続してもよい。

【0010】

本発明の他の態様は、 $M \times N$ の表示素子のアレイをアドレスする方法を提供する。本方法は、前記表示素子に対するスイッチとして作用し、ソースを共有し、隣接する行において対になったトランジスタを与えるステップと、数 Q の同時許可スイッチング信号を、隣接しない Q 行の素子に電氣的接続を経て供給するステップと、独立信号を非隣接行における各々の許可された素子に供給するステップと、前記信号を各々の許可された表示素子に供給し、光を変調するステップとを含むことができる。本方法は、さらに、上記ステップを、まだ許可されていない素子を有する Q 本の非隣接行の他のグループに対し、前記アレイ全体がアドレスされ、各々の素子が少なくとも一回許可されるようになるまで連続的に繰り返すステップを具えてもよい。 Q を、全体数2又はそれ以上として選択することができる。 10

【0011】

目下の好適実施例の簡単な説明

図1は、表示アレイの隣接する行においてソースを共有するトランジスタを有するAMLCD装置の図式的な図を示す。アレイパネル10は、 M 行 N 列の表示素子20を含む。前記パネルの1画素を表す各々の表示素子を、スイッチング素子として作用するIGFETトランジスタ30又は35に接続することができる。隣接する行(1, 2), (3, 4) . . . ($M-1$, M)における隣接する対を成すトランジスタは、ソース s を共有する。トランジスタソース s を、電極60を経て列ドライバ40の出力部に電氣的に接続することができる。 20

【0012】

トランジスタがソースを共有しない慣例的なアレイパネル(図示しないパネル)において、列ドライバは、1列のトランジスタにおけるすべての C_s キャパシタの並列結合によって表される負荷を認識する。これらの C_s キャパシタ及び補助キャパシタ(図示せず)は、目標 C_{pix} を充電することができる速度を低下させる重大な容量性負荷を与える。しかしながら、図1に示すソース共有トランジスタはいちは、1列における C_s キャパシタの数を半分にする。

【0013】

図1において、列ドライバ70を出力電極50に接続することができ、出力電極50を特定の行におけるすべてのトランジスタのゲート G に接続することができる。トランジスタドレイン D を C_{pix} 25に接続することができる。LCDであってもよい画素20は、種々の電圧が C_{pix} の両端間に印加されるため、光を変調することができる。 30

【0014】

動作において、1フレームのビデオ情報をビデオソース75によって発生することができる。アナログ情報のこのフレームをディジタル形式に変換し、ディジタルピクチャメモリ80に格納することができる。前記ピクチャメモリにおけるビデオフレーム情報を前記LCD画素に移動するために、コントローラ回路90は、アドレスデコーダ100を行ドライバ1に関して許可することができる。これは、行1におけるすべてのトランジスタをスイッチオンし、当該行における各々のLCD画素20はその関連する列ドライバ40からのビデオ信号を受け取ることができるようになる。許可された行1に関して、前記コントローラは、前記画素メモリに命令し、行1全体に関するビデオデータを、列ドライバ40の各々に接続するデータバス110を経て移動することができる。前記ディジタルデータを、列ドライバ1から N において格納し、アナログデータ電圧に変換することができる。 40

【0015】

次に、前記アナログ電圧を、行1内における各々の C_{pix} 25に供給することができる。次に、コントローラ90は、行1におけるすべてのトランジスタスイッチ30をターンオフし、行2におけるすべてのトランジスタスイッチ35をターンオンすることができる。しかしながら、行1におけるトランジスタはスイッチオフするが、電圧は各々の関連する画素キャパシタ C_{pix} と補助格納キャパシタンス(図示せず)によって保持されるため、行1における画素20にすでに供給された画像は持続する。したがって、前記ラン 50

ジスタの行を、行 1 から行 M まで順次にアドレスし、前記 LCD マトリックスアレイ全体に関して 1 行ずつの走査を行うことができる。このようにして、 $M \times N$ アレイ全体の完了した走査は、1 フレームのビデオ情報を表すことができる。ビデオ情報のその後のフレームを、前記 LCD 装置によって、行 1 から M を再アドレスすることによって表示することができる。

【0016】

図 2 は、他の AMLCD 装置の図式的な図を示す。1 行ずつのアドレスの代わりに、この AMLCD 装置は、同時多数行アドレス処理を用いる。加えて、図 2 の装置は、ソース共有トランジスタを使用しない。図 2 において、隣接する行の対 (1, 2), (3, 4), . . . (M-1, M) を、同時にスイッチオン又は“許可”することができる。多数行アドレッシングを可能にするために、前記装置は、2 倍の数の列ドライバ 40 を用いる。各々の列ドライバ 40 を、2 つの別個の列サブドライバ A 及び B から構成してもよく、サブドライバ A 及び B は、単一の列内のアドレッシング負荷を分割する。

10

【0017】

動作において、行 (1, 2) を同時にスイッチオンすることができる。次に行 (3, 4) をスイッチオンし、次に (5, 6) をスイッチオンし、以後、最終行 (M-1, M) がスイッチオンされるまで続ける。列サブドライバ A 及び B の双方は、ユニークな電圧信号を、これらの許可された目標画素に同時に伝えることができる。したがって、図 2 における装置に関して説明したような多数行アドレッシングの用途は、対になった隣接行を同時にアドレスすることを必要とする。図 2 は、同時に 2 行をアドレスする装置を示すが、多数行アドレッシングを、一度に 3, 4 又はそれ以上の行を同時にアドレスすることによって成し遂げてよい。

20

【0018】

図 3 は、本発明による $M \times N$ マトリックスディスプレイの好適実施例を与え、ソース共有トランジスタ 300、35 と、非隣接行の多数行アドレッシングとを結合する。前記トランジスタを IGFE TS とすることができ、前記表示素子を LCD とすることができる。この実施例において、N 個の列ドライバ 40 が存在し、3 個の列サブドライバ A、B 及び C が各々の列ドライバを構成する。各々のサブドライバを前記対になったトランジスタのソース s に取り付けることができる。

【0019】

許可信号を行ドライバ 70 によって発生することができ、各々のドライバは、多数の出力接続部 71、72 及び 73 を有し、これらの出力接続部は、それぞれの目標トランジスタ行のゲート G に接続する。この例において、行ドライバは非隣接行にのみ接続し、1 個の行ドライバの出力接続部の数は 3 であり、A、B 及び C によって表される列サブドライバの数に等しい。

30

【0020】

図 3 に示す好例の装置において、対になった行 (3, 4), (5, 6), . . . (M-1, M) におけるトランジスタは、共通ソース s を共有する。列サブドライバ A を、対になった行 (1, 2), (11, 12), (13, 14), (23, 24), . . . のトランジスタの共通ソースに接続することができ、サブドライバ B を、対になった行 (3, 4), (9, 10), (15, 16), (21, 22) のトランジスタのソースに接続することができ、サブドライバ C を、対になった行 (5, 6), (7, 8), (17, 18), (19, 20) のトランジスタのソースに接続することができる。行ドライバ 1 は行 (1, 3, 5) のトランジスタのゲート G に接続し、行ドライバ 2 は行 (2, 4, 6) に接続し、行ドライバ 3 は行 (7, 9, 11) に接続し、行ドライバ 4 は行 (8, 10, 12) に接続する。

40

【0021】

動作において、多数行アドレッシングを、各々の行ドライバ 1, 2, 3, . . . M を順次にアドレスすることによって行う。すなわち、最初の T_a において、行 (1, 2, 3) を同時に許可してもよく、次の T_a において、行 (2, 4, 6) を同時に許可してもよく、次

50

の T_a において、行 (7, 9, 11) を許可してもよく、これを、前記表示マトリックスにおけるすべての行がアドレスされ、許可されるまで続ける。

【0022】

この多数行アドレッシング方法の用途を、図3の好例の装置において示すようなもの以外のソース共有トランジスタを有する他の装置と共に用いてもよい。Qが同時にアドレスされた行の数を表す場合、Qは、列サブドライバの数も表す。図3は、Qが3に等しい好例の場合を表す。

【0023】

本発明によれば、3以外のQを有する $M \times N$ マトリックスアレイの他の実施例を構成することができる。一般に、Qを2又はそれ以上の整数としなければならない、Qの選択は、利用可能な集積技術と、所望のLCD装置のサイズとにもっぱら依存する。前記表示装置は、多数行アドレッシングとの組み合わせにおいて、隣接行におけるソース共有トランジスタを有するマトリックスアレイを含むことができる。Qが3である場合において、列ドライバ1からNの各々に関する出力接続部の数を $M/2$ として表してもよく、したがって、1個のサブドライバに関する出力接続部の数を $M/6$ とすることができる。一般に、M個の行ドライバの各々を、Q本の非隣接行のトランジスタゲートに電氣的に接続することができ、N個の列ドライバの各々を、 $M/Q \times 2$ 本の行のトランジスタソースに電氣的に接続することができる。

【0024】

同時多数行アドレッシングを用いる本発明の方法の結果、1行に利用可能な走査時間 T_a が増加する。特に、Q個の列サブドライバと、Q個の行接続部を有する各々の行ドライバとに関して、行ごとの走査時間 T_a を、 $T_a = (\text{合計フレーム時間}) / M \times Q$ にしたがって延長することができる。したがって、多数行アドレッシングは、一行に関して利用可能な走査時間を増加することができ、これによって、表示性能を改善する。本発明の付随する利益は、各々の列サブドライバが $N/Q \times 2$ 個の C_s キャパシタンスを認識し、したがって、全体の容量性負荷減少することができ、表示性能を改善することである。このように説明した本発明は、高い表示性能を維持しながら、高い画素総数を可能にすることができる。

【0025】

しかしながら、前記アドレッシング方法の他の実施例は、“事前書き込み”戦略を用いることによってさらに進む。再び図3を参照し、このアドレッシング方法を以下のようにすることができる。最初の T_a において、行ドライバ1、2及び3を同時にターンオンする。これは、行 (1, 3, 5)、(2, 4, 6) 及び (7, 9, 11) を各々許可し、前記列ドライバから信号を受けることを可能にする。次に、列サブドライバA、B及びCは、前記アレイの行 (1, 3, 5) に予定された電圧信号を与えることができる。他の許可された行 (2, 4, 6)、(7, 9, 11) もこの第1ステップにおいて同じ電圧情報を受けが、“事前書き込み”の目的のためのみであることに注意されたい。

【0026】

第2の T_a において、行ドライバ1をスイッチオフすることができ、行ドライバ2及び4はスイッチオンしたままであり、行ドライバ4も同時にスイッチオンすることができる。次に、前記列ドライバは、行 (2, 4, 6) に予定された電圧信号を与える。再び、行ドライバ2に接続された行 (7, 9, 11) と、行ドライバ4に接続された行 (8, 10, 12) とは、事前書き込みデータを受けることができる。次の T_a において、行ドライバ1及び2をターンオフすることができ、行ドライバ3、4及び5をスイッチオンすることができる。このパターンを前記アレイ全体に関し、1フレームが完了するまで繰り返す。事前書き込みは、隣接行におけるソース共有トランジスタ間のクロストークを減少することができ、したがって、行に基づくアーティファクトを除去することができる。

【0027】

本発明を、好適実施例によって説明した。しかしながら本発明は、図示し説明した実施例に限定されず、ここに記載した教えに基づいて当業者によって容易に考案することができ

る他の実施例は、本発明の範囲に入ることを意図する。

【図面の簡単な説明】

【0028】

【図1】隣接行においてソースを共有するトランジスタを有するアクティブマトリックス液晶ディスプレイ（AMLCD）装置の一実施例の図式的な図である。

【図2】2倍の数の列ドライバと、多数行アドレッシング機構とを有するAMLCD装置の一実施例の図式的な図である。

【図3】本発明によるAMLCD装置の一実施例の図式的な図である。

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
19 December 2002 (19.12.2002)

PCT

(10) International Publication Number
WO 02/101708 A1

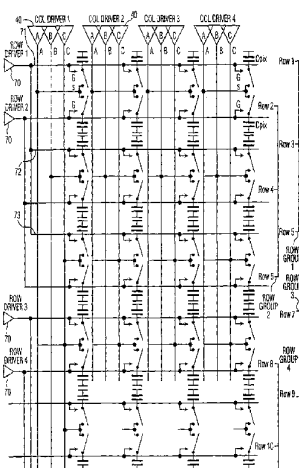
- (51) International Patent Classification: G09G 3/36 (74) Agent: RAAP, Adriaan, Y.; Internationaal Octrooibureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: PCT/IB02/02095
- (22) International Filing Date: 6 June 2002 (06.06.2002) (81) Designated States (national): CN, JP, KR.
- (25) Filing Language: English (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (26) Publication Language: English
- (30) Priority Data: 09/877,425 8 June 2001 (08.06.2001) US Published: — with international search report — before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (72) Inventors: JANSSEN, Peter, J.; Internationaal Octrooibureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). ALBU, Lucian; Internationaal Octrooibureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).

[Continued on next page]

(54) Title: DEVICE AND METHOD FOR ADDRESSING LCD PIXELS



WO 02/101708 A1



(57) Abstract: An electro-optic device comprising a matrix array of an LCD display element, the device having shared-source adjacent transistors in contiguous rows, thereby reducing the capacitive loading on drivers providing voltage signals which modulate the display elements. In addition, a method is provided for utilizing a matrix design that incorporates non-contiguous, multi-row addressing and shared-source transistors. The device and method provide a display device with large pixel count, yet with high display definition and performance.

WO 02/101708 A1 

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

WO 02/101708

1

PCT/IB02/02095

Device and method for addressing LCD pixels

FIELD OF THE INVENTION

The present invention relates to the field of electro-optic display devices. More specifically, the present invention relates to active matrix liquid crystal displays which are multi-row addressable.

5

BACKGROUND OF THE INVENTION

LCD devices used in such applications as high definition television are known to those skilled in the art. Examples of such devices, and in particular active matrix display devices, are provided by U.S. Patent Nos. 4,239,346 and 5,056,895. In the interest of brevity, familiarity with these devices is assumed and the aforementioned patents are incorporated herein by reference in their entirety.

In modern uses of LCD devices, such as high definition television, there is an increasing need for greater display definition and performance. One way of increasing definition is to increase the number of pixel elements within a constant display area. However, increasing the number of elements in a prior art device tends to degrade the performance of the display.

One reason this degradation occurs is that adding pixels decreases the available scanning transfer time T_a for a row of elements, in a row-by-row scanning sequence, relative to the time needed to scan the entire matrix. Unfortunately, because pixels are connected to storage capacitors, C_{pix} , which require some time to fully charge, any reduction in T_a can degrade display performance.

Another reason is that adding pixel elements increases the total capacitive load seen by a column driver driving the pixel elements. In a typical LCD matrix array using transistors switches, a column driver is electrically connected to each transistor source, s , and associated substrate capacitance, C_s , within a column of the array. Therefore a column driver sees C_{pix} , the storage capacitor of a target pixel, as well as all C_s capacitors located in a column in a parallel combination. The combination of all C_s capacitors is substantial relative to the value of a single C_{pix} . The charging speed for the pixel capacitor, C_{pix} , may be

25

WO 02/101708

2

PCT/IB02/02095

slowed if the numbers of C_s capacitors within a column increases. Thus, adding pixels not only reduces the available scanning transfer time, T_a , but compounds the problem by increasing the capacitive load seen by a column driver. Both effects can combine to slow the transfer of a voltage signal to an LCD pixel.

5 In view of current applications requiring high display definition and high pixel count, it would be desirable to provide an array display device that reduces capacitive load seen by a column driver, and moreover, a method to increase scanning time, T_a , and thereby improve display performance.

10 SUMMARY OF THE INVENTION

One aspect of the invention provides an electro-optical display device which may include: an M row by N column matrix array of display elements; a plurality of pairs of transistor switches including a shared source, the source operably connected to the plurality of pairs of display elements, wherein the two elements are separately located in adjacent
15 rows; a plurality of driving connectors operably connected to a plurality of Q non-contiguous rows of display elements; and a plurality of switch connectors operably connected to Q non-contiguous rows of display elements to allow electrical connection with driving signals from column drivers. Q can be a whole number 2 or greater. Sharing the transistors sources can eliminate one-half of substrate capacitance, C_s and the plurality of switch connectors
20 allows concurrent, multi-row addressing of non-contiguous rows of elements.

In addition, the display device may include means to produce switching signals, such as row drivers, which enable a connection between a transistor source and the pixel storage capacitor, C_{pix} . And further, the device may include means for producing driving signals, such as column drivers having A/D converters that output analog voltage
25 signals which charge C_{pix} and modulate light in the LCD pixel element.

In a preferred embodiment, each of M row drivers may be electrically connected to Q number of non-contiguous rows of transistors gates, and each of N column drivers may be electrically connected to $M/Q \times 2$ rows of transistor sources.

Another aspect of the invention provides a method of addressing an array of M
30 by N display elements. The method can include: providing paired transistors, which act as switches to the display elements, the paired transistors sharing a source, and wherein the paired transistors are in contiguous rows; delivering Q number of concurrent enabling switching signals to Q rows of elements through electrical connections, wherein the rows of

WO 02/101708

PCT/IB02/02095

3

elements are non-contiguous; delivering independent signals to each enabled element in the non-contiguous rows; and transferring the signals to each enabled display element to modulate light. The method may further include: successively repeating the above steps to other groups of Q non-contiguous rows having elements not yet enabled, until the entire array has been addressed so that each element is enabled at least once. Q can be selected as a whole number two or greater.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a schematic diagram of one embodiment of an active matrix liquid crystal display (AMLCD) device having shared-source transistors in contiguous rows;

FIG. 2 is a schematic diagram of one embodiment of an AMLCD device having double the number of column drivers and a multi-row addressing scheme; and

FIG. 3 is a schematic diagram of one embodiment of an AMLCD device in accordance with the present invention.

BRIEF DESCRIPTION OF THE PRESENTLY PREFERRED EMBODIMENTS

FIG. 1 depicts a schematic diagram of an AMLCD device having shared-source transistors in contiguous rows of the display array. The array panel 10 includes M rows and N columns of display elements 20. Each display element, representing one pixel of the panel, can be connected to an IGFETS transistor 30 or 35, which acts as a switching element. Adjacent, paired transistors in contiguous rows (1,2), (3,4)...($M-1$, M) share a source, s . The transistor source, s , can be electrically connected to the output of a column driver 40, via electrodes 60.

In a conventional array panel where transistors do not share a source (panel not shown), a column driver sees a load represented by a parallel combination of all C_s capacitors in one column of transistors. These C_s capacitances, as well as auxiliary capacitances (not shown), provide significant capacitive loading which reduces the speed at which a target C_{pix} can be charged. The shared-source transistor arrangement shown in FIG. 1, however, cuts the number of C_s capacitors in a column by one-half.

In FIG. 1, row driver 70 can be connected to output electrode 50, which in turn can be connected to gate, G , of every transistor in a particular row. The transistor drain, D , can be connected to C_{pix} , 25. The pixel 20, which may be an LCD, can modulate light as various voltages are applied across C_{pix} .

WO 02/101708

PCT/IB02/02095

4

In operation one frame of video information can be generated by a video source 75. This frame of analog information can be converted to a digital form and stored in digital picture memory 80. To transfer the video frame information in the picture memory to the LCD pixels, the controller circuit 90 can enable address decoder 100 for row driver 1.

5 This switches on all transistors in row 1 such that each LCD pixel 20 in that row can accept a voltage signal from its respective column driver 40. With row 1 enabled, the controller can instruct the picture memory to transfer the video data for the entire row 1 through the data bus 110 which connects to each of the column drivers 40. The digital data can be stored in the column drivers 1 to N and converted into analog data voltages.

10 Then, the analog voltages can be delivered to each C_{pix} 25 within row 1.

Next, the controller 90 can turn off all transistor switches 30 in row 1 and also turn on all transistor switches 35 in row 2. However, although the transistors in row 1 are switched off, the images already delivered to the pixels 20 in row 1 persist because the voltages are maintained by each respective pixel capacitor, C_{pix} , and any auxiliary storage capacitance

15 (not shown). Hence, the rows of transistors can be sequentially addressed from row 1 to row M, providing row-by-row scanning for the entire LCD matrix array. A completed scan of the entire M by N array thus can represent one frame of video information. Subsequent frames of video information can be displayed by the LCD device by re-addressing rows 1 through M.

20 FIG. 2 depicts a schematic diagram of another AMLCD device. Instead of row-by-row addressing, this AMLCD device employs concurrent, multi-row addressing. Additionally, the device in FIG. 2 does not use shared-source transistors. In FIG. 2, contiguous row pairs (1,2), (3,4) ... (M-1, M) can be switched on or "enabled" concurrently. To permit multi-row addressing, the device employs double the number of column drivers
25 40. Each column driver 40 may be composed of two separate column sub-drivers, A and B, which divide up the addressing load within a single column.

In operation, rows (1,2) can be switched on concurrently. Next, rows (3,4) can be switched on, then (5,6), and so forth, until the final rows (M-1, M) are switched on. Both column sub-drivers A and B can transfer unique voltage signals simultaneously to their
30 enabled, target pixel elements. Thus, an application of multi-row addressing as described for the device in FIG. 2, requires concurrently addressing paired, contiguous rows. While FIG. 2 shows a device that addresses two rows concurrently, multi-row addressing may be accomplished by concurrently addressing, three, four or more rows at a time.

WO 02/101708

5

PCT/IB02/02095

FIG. 3 provides an exemplary embodiment of an M by N matrix display in accordance with the invention, combining shared-source transistors 30, 35 and multi-row addressing of non-contiguous rows. The transistors can be IGFETS and the display elements can be LCDs. In this embodiment there are N column drivers 40 and three column sub-drivers, A, B, and C, composing each column driver. Each sub-driver can be attached to the source, s, of paired transistors.

Enabling signals can be generated by row drivers 70, each driver having multiple output connections 71, 72, and 73, which connect to gates G of respective target transistor rows. In this example, a row driver connects only to non-contiguous rows and the number of output connections of a row driver, which is three, equals the number of column sub-drivers as represented by A, B and C.

In the exemplary device shown in FIG. 3, transistors in paired rows (1,2), (3,4), (5,6)...(M-1, M) share a common source, s. Column sub-driver A can be connected to the common source for transistors of paired rows (1,2), (11,12), (13,14), (23,24)...; sub-driver B can be connected to the source for transistors of paired rows (3,4), (9,10), (15,16), (21,22) ...; and sub-driver C can be connected to the source for transistors of paired rows (5,6), (7,8), (17,18), (19,20) Row driver 1 connects to the gates G of transistors of rows (1,3,5); row driver 2 connects to rows (2,4,6); row driver 3 connects to rows (7,9,11); and row driver 4 connects to rows (8,10,12).

In operation, multi-row addressing is employed by sequentially addressing each row driver 1, 2, 3 ... M. In other words, in the first T_a , rows (1,3,5) may be concurrently enabled in the next T_a , rows (2,4,6) can be concurrently enabled, and in the next T_a , rows (7,9,11) can be enabled, and so forth, until all rows in the display matrix have been addressed and enabled.

It will be appreciated by one skilled in the art that application of this multi-row addressing method may be employed with other devices having shared-source transistors, other than as shown in the exemplary device of FIG. 3. If Q represents the number of rows addressed concurrently, Q may also represent the number of column sub-drivers. FIG. 3 represents an exemplary case where Q equals three.

In accordance with the present invention, it is possible to construct other embodiments of an M by N matrix array having Q other than three. In general Q must be a whole number two or greater, the selection of Q is dependent solely on the available integration technologies and the size of the desired LCD device. The display device can

WO 02/101708

6

PCT/IB02/02095

include a matrix array having shared-source transistors in contiguous rows in combination with multi-row addressing. In the case where Q is three, the number of output connections for each column driver 1 through N may be represented as $M/2$, and thus, the number of output connections for a sub-driver can be $M/6$. Generally, each of M row drivers can be electrically connected to Q number of non-contiguous rows of transistor gates, and each of N column drivers can be electrically connected to $M/Q*2$ rows of transistor sources.

The result of the method of the present invention employing simultaneous, multi-row addressing is to increase the available scanning time T_a for a row. In particular, for Q number of column sub-drivers, and each row driver having Q row connections, the scanning time, T_a , for each row can be extended according to $T_a = (\text{total frame time})/M*Q$. Thus, multi-row addressing can increase the available scanning time for a single row, thereby improving display performance. An attendant benefit of the invention is that each column sub-driver sees $N/Q*2$ number of Cs capacitors and, thus, the overall capacitive load can be reduced, improving display performance. The present invention, thus described, may permit high pixel count, while maintaining high display performance.

Another embodiment of the method of addressing, however, goes further by employing a "pre-write" strategy. Referring again to FIG. 3, this addressing method can be as follows. In the first T_a , row drivers 1, 2, and 3 are turned on concurrently. This enables rows (1,3,5), (2,4,6) and (7,9,11), respectively and allows signals to be received from the column drivers. The column sub-drivers, A, B, and C, may then provide voltage signals meant for rows (1,3,5) of the array. Note that the other enabled rows (2,4,6), (7,9,11) also receive the same voltage information in this first step, but only for the purpose of "pre-writing".

In the second T_a , row driver 1 can be switched off, while row drivers 2 and 3 remain switched on, and row driver 4 can also be switched on concurrently. The column drivers then provide voltage signals meant for rows (2,4,6). Again, rows (7,9,11) connected to row driver 3 and rows (8,10,12) connected to row driver 4 can receive pre-write data. In the next T_a , row drivers 1 and 2 can be turned off and row drivers 3, 4 and 5 can be switched on. This pattern is repeated for the entire array until one frame is completed. Pre-writing can

WO 02/101708

PCT/IB02/02095

7

reduce cross-talk between source-sharing transistors, which are in contiguous rows and thus can eliminate row-based artifacts.

The invention has been described in terms of exemplary embodiments. The invention, however, is not limited to the embodiments depicted and described and it is
5 contemplated that other embodiments, which may be readily devised by persons of ordinary skilled in the art based on the teachings set forth herein, are within the scope of the invention.

WO 02/101708

8

PCT/IB02/02095

CLAIMS:

1. An electro-optical display device comprising:
 - an M row by N column matrix array of display elements;
 - a plurality of pairs of transistors switches, each pair of transistors operably connected to a common source, and each transistor operably connected to one display
- 5 element of the array;
 - a plurality of driving connectors, each driving connector operably connected to one source;
 - a plurality of switch connectors, each switch connector operably connected to
- 10 Q non-contiguous rows of display elements to allow electrical connection with driving signals from column drivers;
 - wherein Q is a whole number 2 or greater.
2. The display device of claim 1 wherein the transistors are IGFETS.
- 15 3. The display device of claim 1 wherein the display elements are LCDs.
4. The display device of claim 1 wherein:
 - the plurality of driving connectors is operably connected to M row drivers;
 - the plurality of switching connectors is operably connected to N column
- 20 drivers; and
 - wherein each of M row drivers are electrically connected to Q non-contiguous rows of transistors gates, and each of N column drivers is electrically connected to M/2 transistor sources and each of Q number of column sub-drivers is connected to M/(2*Q) sources.
- 25 5. The display device of claim 4 wherein the row drivers are D/A converters.
6. The display device of claim 4 wherein Q is 3, and the number of row drivers is M/Q and these drivers are electrically connected to gates of transistors in the rows in the

WO 02/101708

9

PCT/IB02/02095

sequence: row driver 1 (rows: 1,3,5), row driver 2 (rows: 2,4,6), row driver 3, row driver 4 (rows: 8,10,12)...row driver M/Q (rows: M-4, M-2, M); and column drivers are each subdivided into three sub-drivers, A, B, and C, which are connected to a column source as follows: column 1, sub-driver A connected to source of transistors between rows

5 (1,2),(11,12),(13,14), sub-driver B (3,4), (9,10), (15,16)...., sub-driver C (5,6), (7,8), (17,18).

7. A method of addressing an array of M by N display elements comprising:

- 10 (a) providing paired transistors, which act as switches to the display elements, the paired transistors sharing a source, and wherein the paired transistors are in contiguous rows;
- (b) delivering Q number of concurrent enabling switching signals to Q rows of elements through electrical connections, wherein the rows of elements are non-contiguous, and Q is a whole number 2 or greater;
- 15 (c) delivering independent signals to each enabled element in the non-contiguous rows; and
- (d) transferring the signals to each enabled display element.

8. The method of claim 7, further comprising:

- successively repeating steps (b)-(d) to another set of Q non-contiguous rows
- 20 having elements not yet enabled, until the entire array has been addressed.

9. The method of claim 7, wherein the step (b) of delivering Q number of enabling signals is accomplished by a row driver simultaneously delivering Q electrical signals to respective transistor gates, thereby enabling the connected display element.

25

10. The method of claim 9, wherein the step (c) of delivering independent signals is accomplished by N column drivers, each column driver consisting of Q column sub-drivers, each sub-driver delivering an independent signal, which signal is delivered electrically to the source of the transistor associated with a display element (20), wherein the

30

total number of independent signals delivered is Q*N.

11. The method of claim 7 wherein the display element is an LCD connected to a storage capacitor C_{pix} in turn connected to the transistor drain.

WO 02/101708

10

PCT/IB02/02095

12. The method of claim 11 wherein the transistor is an IGFETS.

13. A device for addressing an array of M by N display elements comprising:

- paired transistors, which act as switches to the display elements, the paired
- 5 transistors sharing a source, and wherein the paired transistors are in contiguous rows;
- means for delivering Q number of concurrent enabling switching signals to Q
- rows of elements through electrical connections, wherein the rows of elements are non-
- contiguous, and Q is a whole number 2 or greater;
- means for delivering independent signals to each enabled element in the non-
- 10 contiguous rows; and
- means for transferring the signals to each enabled display element.

14. The device of claim 13, wherein the means for delivering Q number of

15 enabling signals is accomplished by a row driver simultaneously delivering Q electrical

signals to respective transistor gates thereby enabling the connected display element.

15. The device of claim 14, wherein the means of delivering independent signals

is accomplished by N column drivers, each column driver consisting of Q column sub-

drivers, each sub-driver delivering an independent signal, which signal is delivered

20 electrically to the source of the transistor associated with a display element, wherein the total

number of independent signals delivered is Q*N.

16. The device of claim 13 wherein the display element is an LCD connected to a

storage capacitor C_{pix} in turn connected to the transistor drain.

25

17. The method of claim 13 wherein the transistor is an IGFETS.

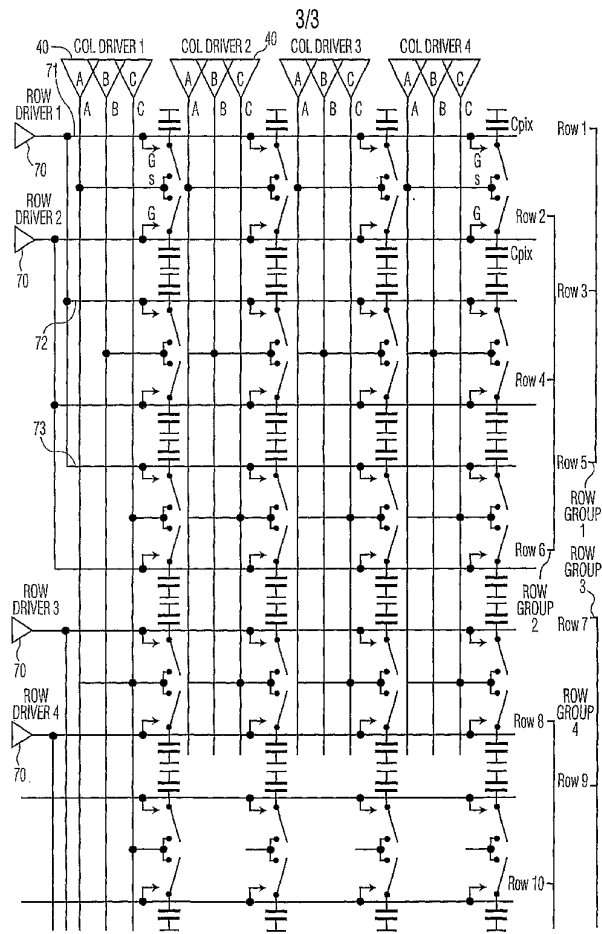
FIG. 1



2/3



FIG. 2



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/JP 02/02095
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 60963/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 6096		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 031 513 A (IKEDA NAOTASU) 29 February 2000 (2000-02-29) the whole document	1-4,7-17
Y		5,6
Y	SEI SAITO ET AL: "PRESENT STATUS AND FUTURE OF DRIVER LSI" ELECTRONICS & COMMUNICATIONS IN JAPAN, PART II - ELECTRONICS, SCRIPTA TECHNICA. NEW YORK, US, vol. 76, no. 12, 1 December 1993 (1993-12-01), pages 31-39, XP000468567 ISSN: 8756-663X the whole document	5,6
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents: *A* document outlining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claims or which is cited to establish the publication date of another citation or other special reason (see specification) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual completion of the international search 8 October 2002		Date of mailing of the international search report 18/10/2002
Name and mailing address of the ISA European Patent Office, P.O. Box 1 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2000, Tx: 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Harke, M

Form PCT/ISA/210 (second sheet) July 1992

INTERNATIONAL SEARCH REPORT

International Application No. PCT/IB 02/02095		
C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	GB 2 050 668 A (SUWA SEIKOSHA KK) 7 January 1981 (1981-01-07) the whole document	1-17
A	EP 0 837 447 A (CANON KK) 22 April 1998 (1998-04-22) the whole document	1-17

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

information on patent family members

International Application No
PCT/JP 02/02095

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 6031513	A	29-02-2000	JP	3052873 B2	19-06-2000
			JP	10221713 A	21-08-1998
GB 2050668	A	07-01-1981	JP	55157780 A	08-12-1980
			JP	1357081 C	13-01-1987
			JP	55157795 A	08-12-1980
			JP	61026074 B	18-06-1986
			DE	3019832 A1	11-12-1980
			FR	2458117 A1	26-12-1980
			US	4393380 A	12-07-1983
EP 0837447	A	22-04-1998	JP	10177190 A	30-06-1998
			CN	1182887 A	27-05-1998
			EP	0837447 A1	22-04-1998
			TW	392088 B	01-06-2000
			US	6078368 A	20-06-2000
			US	6163352 A	19-12-2000
			US	6057897 A	02-05-2000

フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 2 3 Y
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 8 0 G

(72)発明者 ペーター イェー ヤンセン

オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6 インターナ
ショナル オクトローイビューロー ベー フェー

(72)発明者 ルシアン アルブ

オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6 インターナ
ショナル オクトローイビューロー ベー フェー

F ターム(参考) 2H093 NA16 NA43 NC34 NC35 NC40 ND43 ND52

5C006 AF82 BB16 BC02 BC03 BC06 BC11 BC20 BC22 BC23 BF34

EB05 FA11 FA37

5C080 AA10 BB05 DD07 DD08 EE19 FF11 GG07 GG08 JJ02 JJ03

5C094 AA05 AA13 AA53 BA03 BA43 CA19 GA10

专利名称(译)	用于寻址LCD像素的装置和方法		
公开(公告)号	JP2004529397A	公开(公告)日	2004-09-24
申请号	JP2003504374	申请日	2002-06-06
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ペーター イー ヤンセン ルシアン アルブ		
发明人	ペーター イー ヤンセン ルシアン アルブ		
IPC分类号	G02F1/133 G09F9/30 G09F9/35 G09G3/20 G09G3/36		
CPC分类号	G09G3/3648 G09G2310/0205 G09G2310/0251 G09G2310/0297		
FI分类号	G09G3/36 G02F1/133.550 G09F9/30.338 G09F9/35 G09G3/20.621.F G09G3/20.621.M G09G3/20.622.G G09G3/20.622.Q G09G3/20.623.Y G09G3/20.624.B G09G3/20.680.G		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NC34 2H093/NC35 2H093/NC40 2H093/ND43 2H093/ND52 5C006/AF82 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BC22 5C006/BC23 5C006/BF34 5C006/EB05 5C006/FA11 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD07 5C080/DD08 5C080/EE19 5C080/FF11 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ03 5C094/AA05 5C094/AA13 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/GA10		
优先权	09/877426 2001-06-08 US		
外部链接	Espacenet		

摘要(译)

一种电光器件，包括LCD显示元件的矩阵阵列，所述器件具有相邻的晶体管，所述晶体管共享相邻行中的源，由此驱动器中的电容器提供用于调制所述显示元件的电压信号负载为了减少。此外，它提供了一种使用非相邻多行寻址和源共享晶体管的方法。该装置和方法提供了一种具有高总像素数并且具有高显示分辨率和质量的显示装置。

