

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-528607

(P2004-528607A)

(43) 公表日 平成16年9月16日(2004.9.16)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 505	5C006
G09G 3/20	G02F 1/133 550	5C080
	G09G 3/20 611A	
	G09G 3/20 621B	
審査請求 未請求 予備審査請求 未請求 (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2003-502810 (P2003-502810)
 (86) (22) 出願日 平成14年6月4日 (2002.6.4)
 (85) 翻訳文提出日 平成15年12月8日 (2003.12.8)
 (86) 国際出願番号 PCT/IB2002/001851
 (87) 国際公開番号 W02002/099777
 (87) 国際公開日 平成14年12月12日 (2002.12.12)
 (31) 優先権主張番号 0113736.3
 (32) 優先日 平成13年6月6日 (2001.6.6)
 (33) 優先権主張国 英国 (GB)
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR

(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アイン
 ドーフェン フルーネヴァウツウェッハ
 1
 Groenewoudseweg 1, 5
 621 BA Eindhoven, The Netherlands
 (74) 代理人 100072051
 弁理士 杉村 興作

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

【課題】 アクティブマトリクス液晶ディスプレイを部分表示モードで駆動する、従来方法に対して改善された方法を、この方法に従って動作するディスプレイと共に提供する。

【解決手段】 ディスプレイの動作部分(4)を、画像データ(6)を表示すべく駆動して、休止部分(8)を、ほぼ一定のグレースケールレベルの出力を表示すべく駆動する。この方法は、休止部分(8)に関連する各列アドレス電極(18)に信号(40)を供給するステップを具えて、この信号は、対向電極に供給する信号(14)とほぼ同一の信号とキックバック修正とを組み合わせ成り、これにより、休止部分(8)に関連する各画素に供給される結果的なキックバック修正は、休止部分のグレースケールレベルにほぼ対応する。このことは、休止部分(8)の電力消費を低減する働きをして、休止部分(8)部分の画素の両端にほぼ直流の電圧を供給することを回避する。

【特許請求の範囲】

【請求項 1】

アクティブマトリクス液晶ディスプレイを部分表示モードで駆動する方法であって、前記部分表示モードでは、前記ディスプレイの動作部分を、画像データを表示すべく駆動して、前記ディスプレイの休止部分を、ほぼ一定のグレースケールレベルの出力を表示すべく駆動して、前記ディスプレイが、一組の行アドレス導体及び一組の列アドレス導体と、画素のアレイとを具えて、前記画素の各々が、それぞれの前記行アドレス導体及びそれぞれの前記列アドレス導体に接続したそれぞれの電極、及びこの電極に対向する対向電極によって規定され、前記ディスプレイがさらに、前記一組の列アドレス導体に信号を供給する列駆動回路と、所定のグレースケールレベルに対応するキックバック修正を含む信号を前記対向電極に供給する対向電極駆動回路とを具えて、前記方法が、前記休止部分に関連する前記列アドレス導体の各々に、前記対向電極の信号とほぼ同一の信号とキックバック修正とを組み合わせる信号を供給するステップを具えて、これにより、前記休止部分に関連する前記画素の各々に供給される結果的なキックバック修正が、前記休止部分のグレースケールレベルにほぼ対応することを特徴とするアクティブマトリクス液晶ディスプレイの駆動方法。

【請求項 2】

前記休止部分に関連する前記列アドレス導体の各々に供給する信号が、前記対向電極の信号と、前記休止部分のグレースケールレベルにほぼ対応するキックバック修正とを組み合わせる信号を供給することを特徴とする請求項 1 に記載の方法。

【請求項 3】

行反転駆動方式またはフレーム反転駆動方式を採用することを特徴とする請求項 1 または 2 に記載の方法。

【請求項 4】

対向電極変調駆動方式を採用することを特徴とする請求項 1 ~ 3 のいずれかに記載の方法。

【請求項 5】

列反転方式または画素反転方式を採用することを特徴とする請求項 1 に記載の方法。

【請求項 6】

部分表示モードで動作可能なアクティブマトリクス液晶表示デバイスであって、前記部分表示モードでは、前記表示デバイスの動作部分を、画像データを表示すべく駆動して、前記表示デバイスの休止部分を、ほぼ一定のグレースケールレベルの出力を表示すべく駆動して、前記デバイスが、一組の行アドレス導体及び一組の列アドレス導体と、画素のアレイとを具えて、前記画素の各々が、それぞれの前記行アドレス導体及びそれぞれの前記列アドレス導体に接続したそれぞれの電極、及びこの電極に対向する対向電極によって規定され、前記デバイスがさらに、所定のグレースケールレベルに対応するキックバック修正を含む信号を前記対向電極に供給する対向電極駆動回路と、前記列アドレス導体に信号を供給する列駆動回路とを具えて、前記休止部分に関連する前記列アドレス導体に供給する信号が、前記対向電極の信号とほぼ同一の信号から成り、前記デバイスがさらに、前記休止部分に関連する前記列アドレス導体に供給する信号にキックバック修正を加算する手段を具えて、これにより、前記休止部分に関連する前記画素の各々に供給される結果的なキックバック修正が、前記休止部分のグレースケールレベルにほぼ対応することを特徴とするアクティブマトリクス液晶表示デバイス。

【請求項 7】

前記加算手段が、前記対向電極の信号と、前記休止部分のグレースケールレベルにほぼ対応するキックバック修正信号とを組み合わせるべく動作することを特徴とする請求項 6 に記載のデバイス。

【請求項 8】

前記休止部分に関連する前記列アドレス導体を、前記加算手段の出力に接続するスイッチング手段を具えていることを特徴とする請求項 6 または 7 に記載のデバイス。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス表示装置に関するものであり、特に、部分表示モードで動作可能なアクティブマトリクス液晶表示装置（AMLCD）、及びこの装置の駆動方法に関するものである。

【背景技術】

【0002】

【特許文献1】

米国特許US-A-5130829 画素用のスイッチングデバイスとして薄膜フィルムトランジスタを利用するAMLCDは周知である。その例は、米国特許US-A-5130829に記載されており、その内容は参考文献として本明細書に含める。

【0003】

【特許文献2】

欧州特許EP-A-0474231 多くの例では、ディスプレイの電力消費を最小化することが望ましい。このことは、携帯電話機あるいは携帯コンピュータのような移動装置において特に重要であり、これらの装置では、電力消費を低減すれば装置のバッテリーの寿命が延びる。ディスプレイを低電力モードで動作させる1つの方法は、表示領域の「動作」部分のみを、データを表示すべく駆動して、ディスプレイの残り部分をブランク（空白）にすることである。この方法の例は、欧州特許EP-A-0474231に記載されており、ここでは画像データを圧縮して、表示デバイスの行及び列の駆動回路をより少なく使用して、表示領域を減らして表示している。

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明の目的は、アクティブ表示装置を部分表示モードでアドレス指定する、既知の技法に対して改善された方法、及びこの方法を実現する表示装置を提供することにある。

【課題を解決するための手段】

【0005】

本発明は、アクティブマトリクス液晶ディスプレイを部分表示モードで駆動する方法を提供し、部分表示モードでは、ディスプレイの動作部分を、画像データを表示すべく駆動して、休止部分を、ほぼ一定のグレースケールレベルの出力を表示すべく駆動して、ディスプレイが、一組の行アドレス導体及び一組の列アドレス導体、及び画素のアレイを具えて、各画素は、それぞれの行アドレス導体及びそれぞれの列アドレス導体に接続したそれぞれの電極、及びこれに対向する対向電極によって規定され、前記ディスプレイはさらに、前記一組の列アドレス導体に信号を供給する列駆動回路、及び前記対向電極に信号を供給する対向電極駆動回路を具えて、この対向電極駆動回路は、所定のグレースケールレベルに対応するキックバック修正を含み、この方法は、休止に関連する各列アドレス導体に信号を供給するステップを具えて、この信号は、前記対向電極の信号とほぼ同一の信号と前記キックバック修正を組み合わせて成り、これにより、休止部分に関連する各画素に適用される結果的なキックバック修正が、休止部分のグレースケールレベルにほぼ対応する。

【0006】

この技法は、ディスプレイの休止部分の画素の両端にほぼ直流の電圧を発生させることなしに、（各）休止部分を、ほぼ一定の出力を表示すべく駆動することを可能にする。部分表示モードは、画像内容を表示するために使用しないディスプレイのブランク部分の列アドレス導体に対する駆動信号をオフ状態にすることによって達成することができるが、この方法は、これらの列アドレス導体に関連する画素が直流電圧に落ち着くので、問題がある。画素の両端のこうした直流電圧は、ディスプレイの寿命を低減し、そして／あるいは、全画面表示モードに復帰する際に画像アーティファクト（歪み）を生じさせる。

【0007】

本発明の方法の好適例によれば、休止部分に関連する各列アドレス導体に供給する信号は、対向電極信号とキックバック修正とを組み合わせで成り、このキックバック修正は、休止部分のグレースケールレベルにほぼ対応する。これにより、休止部分の電力消費を低減することができる。列アドレス導体は、対向電極に供給するのと同じ信号を用いて効率的に駆動することができる。

【0008】

列アドレス導体に供給される電圧振動を低減するために、従って、列駆動回路が取り扱うことができる必要のある電圧を低減するために、対向電極変調駆動方式を採用することができる。

【0009】

本発明はさらに、部分表示モードで動作可能なアクティブマトリクス液晶表示デバイスを提供し、部分表示モードでは、ディスプレイの動作部分を、画像データを表示すべく駆動して、休止部分を、ほぼ一定のグレースケールレベルの出力を表示すべく駆動して、この表示デバイスは、一組の行アドレス導体及び一組の列アドレス導体、及び画素のアレイを具えて、各画素は、それぞれの行アドレス導体及びそれぞれの列アドレス導体に接続したそれぞれの電極、及びこれに対向する対向電極によって規定され、前記表示デバイスはさらに、前記対向電極に信号を供給する対向電極駆動回路、及び前記一組の列アドレス導体に信号を供給する列駆動回路を具えて、前記対向電極駆動回路は、所定のグレースケールレベルに対応するキックバック修正を含み、休止部分に関連する列アドレス導体に供給する信号は、前記対向電極の信号とほぼ同一の信号から成り、前記表示デバイスはさらに、休止部分に関連する前記列アドレス導体に供給する信号にキックバック修正を追加する手段を具えて、これにより、休止部分に関連する各画素に適用される結果的なキックバック修正が、休止部分のグレースケールレベルにほぼ対応する。

【0010】

前記追加手段は、前記対向電極の信号と、休止部分のグレースケールレベルにほぼ対応するキックバック修正信号とを組み合わせるべく動作することが好ましい。前記表示デバイスは、休止部分に関連する前記列アドレス導体を前記追加手段の出力に接続するスイッチング手段を具えることができる。

【発明を実施するための最良の形態】

【0011】

(実施例1)

以下、本発明の実施例について図面を参照しながら説明する。

なお、各図面は図式的なものであり、一定寸法比で描いたものではない。図の各部分の相対寸法及び比率は、明確さのため、及び図示の都合上、大きさを誇張あるいは縮小してある。

【0012】

図1A及び図1Bに、低電力の部分表示モード中の表示画像の例を示し、このモードは、本発明を具体化する方法及びAMLCDデバイスを用いて達成可能である。各場合において、表示スクリーン2を2つの領域：即ち画像データ6を表示する動作部分4と、ほぼ一定の出力を表示すべく駆動する休止部分8とに分割する。図1Aでは、表示スクリーン2を、2本の隣接する垂直な列アドレス導体（図示せず）の間で、2つの部分4と8に分割しているのに対し、図1Bでは、動作部分4が中央に位置して、休止部分8がこれを包囲している。以下の説明から明らかなように、スクリーンはあらゆる形の2つ以上の部分に分割することができ、各部分は画像を表示することも休止にすることもできる。

【0013】

例として、図2に、対向電極変調を用いて、画像データを表示すべくディスプレイを駆動する通常の電圧波形を示す。図に示すフレーム反転駆動方式は現在技術で周知であり、従って、本明細書では説明しない。選択した画素について、行アドレス導体波形10、列アドレス導体波形12、及び対向電極波形14を示す。対向電極波形14は、0Vから ΔV_{KB} だけオフセット（偏移）して、キックバックに対する修正を行う。

10

20

30

40

50

【 0 0 1 4 】

所定の画素に必要なキックバック修正の量は、前のフレーム期間中の、この液晶画素の両端の電圧に依存する。通常、対向電極に供給するキックバック修正レベルは、ディスプレイの平均的な、中位のグレースケールレベルを選択する。図 3 に、通常の液晶画素の回路図を示し、この回路は、行アドレス導体 16、列アドレス導体 18、及び対向電極導体 20 を具えている。薄膜フィルムトランジスタ (TFT) 22 のゲート端子は行アドレス導体 16 に接続して、TFT 22 のソース端子は列アドレス導体 18 に接続して、TFT 22 のドレイン端子は、LC 画素 26 の一方の側の画素電極 24、及び蓄積キャパシタ 28 の一方の側に接続する。直積キャパシタ 28 の他方の側は、他のキャパシタ電極 (図示せず) に接続する。LC 画素 26 の他方の側が対向電極 30 である。図には、TFT に固有の、ゲート - ドレイン間、及びゲート - ソース間の寄生容量 32、34 も示している。

【 0 0 1 5 】

所定の画素に必要なキックバック修正の量は次式によって支配され：

(数 1)

ここに、 $\Delta V_{KB(GL)}$ は、グレーレベル GL に対応するキックバック修正の量であり、 ΔV は、行をオフ状態にした際の行電圧の変化であり (図 2 参照)、 C_{GD} は、行アドレス導体と画素電極との間にある TFT のゲート - ドレイン間の寄生容量の合計であり、 $C_{LC(GL)}$ は、グレーレベル GL の LC 画素の容量であり、 G_{STORE} は蓄積キャパシタの容量である。 C_{OTHER} は、画素と並列に生じる他のあらゆる寄生容量を表わす。 $G_{LC(GL)}$ の値は、ほとんど画素の両端の電圧と共に変化し、これにより、異なるグレーレベルにおいて必要なキックバック修正の量を実質的に変化させることができる。例えば、 C_{GD} 及び C_{STORE} の通常値は、それぞれ 16 fF (フェムトファラッド) 及び 250 fF であるのに対し、 $C_{LC(GL)}$ の値は、画素のグレースケールが白色 (ホワイト) から黒色 (ブラック) まで変化すると共に、100 fF ~ 300 fF の間で変化し得る。

【 0 0 1 6 】

部分表示モードでは、ディスプレイの休止部分を一樣なグレースケールレベルで駆動することが一般に望まれる。しかし、このレベルが、ディスプレイについて選択した中位のグレースケールレベルとほぼ同一でない場合には、中位のグレーレベルに適用するキックバック修正は休止部分にとって不適切であり、結果的に休止部分の画素に直流電圧が供給されることを、本願の発明者は認知している。

【 0 0 1 7 】

以下、この問題に対する解決法の実現について、図 4 及び図 5 を参照しながら説明し、これらの図は、ディスプレイを対向電極変調モードで駆動する実施例である。この場合には、列アドレス導体を、対向電極に供給するのと同じ、行の低電圧レベルの交流信号で駆動することによって、電力消費を低減することができる。第 1 の近似としては、通常白色のディスプレイでは、ディスプレイの休止部分の画素を 0 V (ピーク - ピーク) で駆動して、これにより白色のグレースケールレベルになる (通常黒色のディスプレイでは黒色になる)。しかし、ディスプレイの休止領域の TFT はまだ、通常行駆動信号によってアドレス指定されているので、通常キックバック効果が発生して、これにより、単に列を対向電極と同じ電圧に接続するだけでは、白色画素のキックバック電圧 $\Delta V_{KB(WHITE)}$ に等しい直流電圧が画素に生じることになる。ディスプレイの設計次第では、この電圧が 1 V に及ぶことがある。

【 0 0 1 8 】

この直流電圧の結果としてのあらゆる画像保持効果を最小化するために、画素の直流レベルは、対向電極の電圧の平均値から $+\Delta V_{KB(WHITE)}$ だけオフセットさせるべきである。このことを図 4 に示す。点線 42 は、対向電極の電圧波形 14 の平均値を表わす。波形 40 は、ディスプレイの休止部分の画素に関連する列アドレス導体に供給する電圧を表わす。その平均電圧レベル 44 は、対向電極の平均電圧レベルから $+\Delta V_{KB(WHITE)}$ だけオフセットさせる。従って波形 40 は、対向電極の波形 14 と同じ交流成分を有する信号から成るが、 $+\Delta V_{KB(WHITE)}$ だけオフセットしている。

10

20

30

40

50

【 0 0 1 9 】

(実施例 2)

上述した方法を実現する駆動回路の具体例を図 5 に示す。列駆動回路 5 0 は、画像データを表現する、列アドレス導体 1 8 用の駆動信号を発生すべく動作し、この駆動信号は、出力線 5 2 上に供給する。加算増幅器 5 4 の形態の加算手段を設けて、その出力 6 4 に、ディスプレイの休止部分の画素の列アドレス導体に供給する信号を発生する。加算増幅器 5 4 の一方の入力 5 6 を対向電極駆動回路 5 8 に接続して、対向電極波形 1 4 を受け取る。増幅器 5 4 の他方の入力 6 0 は、キックバック修正信号発生器 6 2 に接続して、キックバック修正信号発生器 6 2 は、例えば $+ \Delta V_{KB(WHITE)}$ のような、キックバック修正の所望のレベルに対応する直流信号を発生する。

10

【 0 0 2 0 】

ディスプレイの休止モードに切換え可能な部分に関連する列アドレス導体 1 8 毎に 1 つの追加的なスイッチ $S_1 \sim S_N$ を、列駆動回路 5 0 内に含める。これらのスイッチは、各列アドレス導体 1 8 を、それぞれの出力線 5 2 か、あるいは出力 6 4 に選択的に接続するように構成する。これらのスイッチの切換えはスイッチング制御手段 6 6 によって制御し、スイッチング制御手段 6 6 は、線 6 8 を介して列駆動回路の一部を形成することができる。

【 0 0 2 1 】

なお、増幅器 5 4 は、個別 (ディスクリート) IC の形態で設けるか、あるいはディスプレイ内の他の駆動 IC のうちの 1 つの内部に設けることができる。あるいはまた、集積した列駆動回路をディスプレイの基板 (通常はガラスあるいはポリマー材料で形成する) 上に設けることのできる多結晶シリコンの技法を用いて製造するディスプレイの場合には、増幅器 5 4 はディスプレイの基板上に製造することができる。

20

【 0 0 2 2 】

ディスプレイの休止部分の駆動時に消費する電力は、列電圧を、対向電極の電圧及び行の低電圧に一致させる精度に依存する。これらの電圧が異なる速さで変化すれば、より多くの電荷がディスプレイに流入及び流出して、これにより電力が消費される。従って、スイッチ $S_1 \sim S_N$ が、列電圧が対向電極電圧に追従できるような十分低いインピーダンスを有することを保証するのが有利である。これらすべての信号の変化速度を制限することもあり得る、というのは、そうすれば、これらの変化速度をより容易に一致させて、電力消費を低減できるからである。

30

【 0 0 2 3 】

線 6 0 に直流オフセットを加算することは、ディスプレイの休止部分の画素上のあらゆる直流電圧を最小化する働きをする。このことは、休止部分を画像データの表示に切換えた後の一定期間中に不均一な画像を生じさせ得るあらゆる直流電圧によって生じる画像保持効果を最小化する。

【 0 0 2 4 】

本明細書の開示を読めば、他の変形及び変更は当業者にとって明らかである。こうした変形及び変更は、マトリクス表示装置の設計、製造、及び使用上既に知られているのと等価な特徴及び他の特徴、及びマトリクス表示装置の構成部品を含むことができ、そしてこれらの特徴は、本明細書に既に記述した特徴の代わりに、あるいは特徴に加えて用いることができる。

40

【 0 0 2 5 】

本願の請求項は、特徴の特定の組合わせについて構成しているが、本願発明が開示する範囲は、明示的にせよ暗示的にせよ本明細書に開示したあらゆる新規の特徴あるいは特徴の組合わせも含み、あるいは、これらの特徴の一般化も含み、この一般化は、請求項に記載の発明と同じ発明に関係するか否か、及び本発明と同じ技術的問題のいずれか、あるいはすべてを軽減するか否かにはよらないことは明らかである。個々の実施例に関して説明した特徴も、単独の実施例と組み合わせて提供することができる。逆に、単独の実施例に関して簡潔に説明した種々の特徴も、別個に、あるいは適切に組み合わせて提供することができる。なお出願人は、本願、あるいは本願から派生したさらなる出願の手続遂行中

50

に、こうした特徴及び／または特徴の組合わせに則して、新たな請求項を構成することがあり得る。

【図面の簡単な説明】

【0026】

【図1A】部分表示モード中の表示画像の例を示す図である。

【図1B】部分表示モード中の表示画像の例を示す図である。

【図2】対向電極変調を用いたディスプレイの通常の駆動波形を示す図である。

【図3】表示画素の回路図を示す図である。

【図4】本発明の方法により発生した、対向電極及び列アドレス導体の波形を示す図である。

10

【図5】本発明の実施例により列アドレス導体を駆動する回路を示す図である。

【符号の説明】

【0027】

2	表示スクリーン	
4	動作部分	
6	画像データ	
8	休止部分	
10	行アドレス波形	
12	列アドレス波形	
14	対向電極波形	20
16	行アドレス導体	
18	列アドレス導体	
20	対向電極導体	
22	薄膜フィルムトランジスタ	
24	画素電極	
26	LC画素	
28	蓄積キャパシタ	
30	対向電極	
32	ゲート - ドレイン間寄生容量	
34	ゲート - ソース間寄生容量	30
40	列アドレス導体への供給電圧	
42	対向電極電圧平均値	
44	列アドレス導体の平均電圧レベル	
50	列駆動回路	
52	出力線	
54	加算増幅器	
56	入力	
58	対向電極駆動回路	
60	入力	
62	キックバック修正信号発生器	40
64	出力	
66	スイッチング制御手段	
68	線	

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
12 December 2002 (12.12.2002)

PCT

(10) International Publication Number
WO 02/099777 A2

- (51) International Patent Classification: G09G 3/00 (74) Agent: SHARROCK, Daniel, J.; International Octrooibureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: PCT/IB02/01851
- (22) International Filing Date: 4 June 2002 (04.06.2002) (81) Designated States (national): CN, JP, KR.
- (25) Filing Language: English (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (26) Publication Language: English
- (30) Priority Data: 6 June 2001 (06.06.2001) GB Published: without international search report and to be republished upon receipt of that report
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (72) Inventors: KNAPP, Alan, G.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL). HECTOR, Jason, R.; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.



WO 02/099777 A2

(54) Title: ACTIVE MATRIX DISPLAY DEVICE

(57) Abstract: A method of driving an active matrix liquid crystal display in a partial display mode is provided, together with a display operable in accordance therewith. A live portion (4) of the display is driven to display image data (6) and a dormant portion (8) is driven to display a substantially constant grey scale level output. The method comprises applying a signal (40) to each of the column address conductors (18) associated with the dormant portion (8) which comprises a combination of a signal substantially the same as the signal (14) applied to the counter electrode and kickback correction, such that the resultant kickback correction applied to each of the picture elements associated with the dormant portion (8) substantially corresponds to the grey scale level of the dormant portion. This serves to reduce the power consumption of the dormant portion (8), whilst avoiding the application of a substantial DC across the picture elements of the dormant portion (8).

WO 02/099777

PCT/IB02/01851

1

ACTIVE MATRIX DISPLAY DEVICE

5 The present invention relates to active matrix display devices, and more particularly to an active matrix liquid crystal display device (AMLCD) which is operable in a partial display mode and a method of driving the device.

10 AMLCDs utilising thin film transistors as switching devices for the picture elements are well known. An example is described in US-A-5130829, the contents of which are hereby incorporated herein as reference material.

15 In many instances, it is desirable to minimise the power consumption of a display. This is particularly important in mobile devices such as mobile telephones or portable computers where reduced power usage extends the lifetime of the device's battery. One way to operate a display in a low power mode is to only drive a "live" portion of the display area to show data, with the remainder of the display blank. An example of this approach is described in EP-A-0474231 wherein image data is compressed and displayed in a reduced display area using fewer of the row and column driver circuits of the display device.

20 It is an aim of the present invention to provide a method of addressing an active display in a partial display mode in an improved manner relative to known techniques, and a display device for implementing the method.

25 The present invention provides a method of driving an active matrix liquid crystal display in a partial display mode in which a live portion of the display is driven to display image data and a dormant portion is driven to display a substantially constant grey scale level output, the display comprising a set of row address conductors and a set of column address conductors, an array of picture elements each defined by a respective electrode connected to a respective address conductor of both sets and an opposing counter electrode, a column driver circuit for applying signals to the set of column

30

WO 02/099777

PCT/IB02/01851

2

address conductors, and a counter electrode driver circuit for applying a signal to the counter electrode which includes kickback correction corresponding to a predetermined grey scale level, wherein the method comprises applying a signal to each of the column address conductors associated with the dormant portion which comprises a combination of a signal substantially the same as the counter electrode signal and kickback correction, such that the resultant kickback correction applied to each of the picture elements associated with the dormant portion substantially corresponds to the grey scale level of the dormant portion.

10 This technique enables the or each dormant portion of the display to be driven to display a substantially constant output without generating a substantial DC across the picture elements of the dormant portion. Whilst a partial display mode can be achieved by turning off the drive to the column address conductors of the blank portion of the display which is not being used to display image content, this approach is problematic as the picture elements associated with those column address conductors will settle to a DC voltage. This DC across the picture elements may reduce the lifetime of the display and/or may result in image artefacts when a full display mode is restored.

20 According to a preferred embodiment of the method, the signal applied to each column address conductor associated with the dormant portion comprises a combination of the counter electrode signal and kickback correction substantially corresponding to the grey scale level of the dormant portion. The power consumption of the dormant portion can thereby be reduced. The column address conductors may be driven efficiently by using the same signal as is applied to the counter electrode.

25 To reduce the voltage swing applied to the column address conductors, and therefore the voltages which the column driver circuit needs to be able to handle, a counter electrode modulation drive scheme may be employed.

30 The invention further provides an active matrix liquid crystal display device operable in a partial display mode in which a live portion of the display is driven to display image data and a dormant portion is driven to display a substantially constant grey scale level output, the device comprising a set of

WO 02/099777

PCT/IB02/01851

3

row address conductors and a set of column address conductors, an array of picture elements each defined by a respective electrode connected to a respective address conductor of both sets and an opposing counter electrode, a counter electrode driver circuit for applying a signal to the counter electrode which includes kickback correction corresponding to a predetermined grey scale level, a column driver circuit for applying signals to the set of column address conductors, the signal applied to column address conductors associated with the dormant portion comprising a signal substantially the same as the counter electrode signal, and means for adding kickback correction to the signal applied to the column address conductors associated with the dormant portion, such that the resultant kickback correction applied to each of the picture elements associated with the dormant portion substantially corresponds to the grey scale level of the dormant portion.

Preferably, the adding means is operable to combine the counter electrode signal with a kickback correction signal substantially corresponding to the grey scale level of the dormant portion. The display device may include switching means for connecting column address conductors associated with the dormant portion to the output of the adding means.

20

An embodiment of the invention will now be described by way of example and with reference to the accompanying schematic drawings, wherein:

Figures 1A and 1B show examples of display images during partial display modes;

Figure 2 shows typical driving waveforms for a display using counter electrode modulation;

Figure 3 shows a circuit diagram of a display picture element;

Figure 4 shows counter electrode and column address conductor waveforms generated in accordance with the method of the invention; and

Figure 5 shows circuitry for driving column address conductors according to an embodiment of the invention.

WO 02/099777

PCT/IB02/01851

4

It should be noted that the figures are diagrammatic and not drawn to scale. Relative dimensions and proportions of parts of these figures have been shown exaggerated or reduced in size, for the sake of clarity and convenience in the drawings.

Figures 1A and 1B illustrate examples of display images during partial, low power display modes which are achievable using a method and an AMLCD device embodying the present invention. In each case, the display screen 2 is divided into two regions: a live portion 4 which shows image data 6 and a dormant portion 8, which is driven to display a substantially constant output. In Figure 1A, the display screen is divided into the two portions 4 and 8 between two adjacent vertical column address conductors (not shown), whilst in Figure 1B the live portion 4 is positioned centrally and surrounded by the dormant portion 8. As will be appreciated from the following description, the screen could be divided into any configuration of two or more portions, each of which either shows image data or lies dormant.

Figure 2 shows, by way of illustration, typical voltage waveforms for driving a display to show image data using counter electrode modulation. The frame inversion drive scheme shown is well known in the art and is therefore not described here. A row address conductor waveform 10, a column address conductor waveform 12, and the counter electrode waveform 14 are shown for a selected picture element. The counter electrode waveform 14 is offset from 0V by an amount ΔV_{KB} to provide correction for kickback.

The amount of kickback correction required for a given picture element depends on the voltage across the liquid crystal pixel thereof during the previous frame. Normally, the kickback correction level applied to the counter electrode is selected for an average, mid-grey scale level for the display. Figure 3 shows a circuit diagram for a typical liquid crystal picture element, comprising a row address conductor 16, a column address conductor 18, and a counter electrode conductor 20. The gate terminal of a thin film transistor (TFT) 22 is connected to the row address conductor, its source terminal is connected to the column address conductor, and its drain terminal is

WO 02/099777

PCT/IB02/01851

5

connected to a pixel electrode 24, on one side of the LC pixel 26, and one side of a storage capacitor 28. The other side of the storage capacitor is connected to a separate capacitor electrode (not shown). On the other side of the LC pixel is the counter electrode 30. The parasitic gate-drain and gate-source capacitances 32, 34 inherent in the TFT are also shown.

The amount of kickback correction required on a given pixel is governed by the following equation:

$$\Delta V_{KB(GL)} = \Delta V \times \frac{C_{GD}}{C_{GD} + C_{LC(GL)} + C_{STORE} (+C_{OTHER})}$$

where $\Delta V_{KB(GL)}$ is the amount of kickback correction corresponding to a grey level, GL, ΔV is the change in the row voltage when the row is turned off (see Figure 2), C_{GD} is the total parasitic gate-drain capacitance of the TFT between the row address conductor and the pixel electrode, $C_{LC(GL)}$ is the capacitance of the LC pixel at grey level GL, and C_{STORE} is the capacitance of the storage capacitance. C_{OTHER} refers to any other parasitic capacitances that appear in parallel with the pixel. The value of $C_{LC(GL)}$ varies substantially with the voltage across the pixel, which leads to substantial variation in the amount of kickback correction needed at different grey levels. For example, typical values for C_{GD} and C_{STORE} are 16 and 250 fF, respectively, whilst the value of $C_{LC(GL)}$ may vary between 100 and 300 fF, as the pixel grey scale varies from white to black.

In a partial display mode, it will generally be desirable for the dormant portion of the display to be driven to a uniform grey scale level. However, if this level is not substantially the same as the mid-grey scale level selected for the display, the inventors have realised that the kickback correction applied for the mid-grey level will be inappropriate for the dormant portion and result in application of DC to the pixels thereof.

An implementation of a solution to this problem will now be described with reference to Figures 4 and 5, for an embodiment where the display is being driven in counter electrode modulation mode. In that case, the power consumption can be reduced by driving the column address conductors with the same AC signal as is applied to the counter electrode and to the low

WO 02/099777

PCT/IB02/01851

6

voltage level of the rows. To a first approximation, this will drive the pixels in the dormant portion of the display at 0V peak to peak, resulting in a white grey scale level in a normally white display (and black in a normally black display). However, as the TFTs in this area of the display are still being addressed by the normal row drive signal, normal kickback effects will occur, so that simply connecting the columns to the same voltage as the counter electrode will result in a DC voltage on the pixels equal to the kickback voltage for a white pixel, $\Delta V_{KB(WHITE)}$. Depending on the display design, this could be up to 1V.

In order to minimise any image retention effects as a result of this DC voltage, the DC level of the should be offset from the mean counter electrode voltage by an amount $+\Delta V_{KB(WHITE)}$. This is illustrated in Figure 4. Dotted line 42 represents the mean of the counter electrode voltage waveform 14. Waveform 40 represents the voltage applied to the column address conductors associated with the picture elements of the dormant portion of the display. Its mean voltage level 44 is offset from that of the counter electrode by $+\Delta V_{KB(WHITE)}$. The waveform 40 therefore consists of a signal which has the same AC component as the counter electrode waveform 14, but is offset by $+\Delta V_{KB(WHITE)}$.

An embodiment of drive circuitry for implementing the above approach is illustrated in Figure 5. The column drive circuit 50 is operable to generate drive signals representing image data for column address conductors 18 which are fed along output lines 52. An adding means in the form of a summing amplifier 54 is provided to generate a signal at its output 64 for application to the column address conductors of picture elements in a dormant portion of the display. One of its inputs 56 is connected to the counter electrode driver circuit 58 to receive the counter electrode waveform 14. The other amplifier input 60 is connected to a kickback correction signal generator 62 which outputs a DC signal corresponding to the desired level of kickback correction, for example, $+\Delta V_{KB(WHITE)}$.

An array of additional switches S_1 to S_N is included within the column driver circuit 50, one for each of the column address conductors 18 which are

WO 02/099777

PCT/IB02/01851

7

associated with a portion of the display which is switchable into a dormant mode. They are arranged to selectively connect each column address conductor to the respective output line 52 or to the output 64 of the amplifier 54, depending on whether the next picture element to be addressed by the conductor is in a live or dormant portion of the display. The switching of the switches is controlled by switching control means 66, which may form part of the column driver circuit, via line 68.

It will be appreciated that the amplifier 54 may be provided in the form of a discrete IC, or inside one of other driver ICs in the display. Alternatively, in the case of a display manufactured using polycrystalline silicon techniques in which an integrated column driver circuit may be provided on the substrate of the display (which would typically be formed of glass or a polymer material), the amplifier may be fabricated on the display substrate.

The amount of power dissipated in driving a dormant portion of the display depends on how accurately the column voltage matches the counter electrode and low row voltages. If these voltages slew at different rates then more charge flows in and out of the display, which consumes power. It is therefore advantageous to ensure that the switches S_1 to S_N have a low enough impedance to allow the column voltage to follow the counter electrode voltage. It may be advantageous to limit the slew rate of all of these signals as this will make matching the slew rates easier and reduce power consumption.

Addition of the DC offset along line 60 serves to minimise any DC voltage on the pixels of a dormant portion of the display. This minimises image retention effects caused by any DC voltage which could result in a non-uniform image for a period after the dormant portion is switched to display image data.

From reading the present disclosure, other variations and modifications will be apparent to persons skilled in the art. Such variations and modifications may involve equivalent and other features which are already known in the design, manufacture and use of active matrix display devices, and component parts thereof, and which may be used instead of or in addition to features already described herein.

WO 02/099777

PCT/IB02/01851

8

Although Claims have been formulated in this Application to particular combinations of features, it should be understood that the scope of the disclosure of the present invention also includes any novel feature or any novel combination of features disclosed herein either explicitly or implicitly or any
5 generalisation thereof, whether or not it relates to the same invention as presently claimed in any Claim and whether or not it mitigates any or all of the same technical problems as does the present invention. Features which are described in the context of separate embodiments may also be provided in combination in a single embodiment. Conversely, various features which are, for
10 brevity, described in the context of a single embodiment, may also be provided separately or in any suitable subcombination. The Applicants hereby give notice that new Claims may be formulated to such features and/or combinations of such features during the prosecution of the present Application or of any further Application derived therefrom.

WO 02/099777

PCT/IB02/01851

CLAIMS

1. A method of driving an active matrix liquid crystal display in a partial display mode in which a live portion of the display is driven to display image data and a dormant portion is driven to display a substantially constant grey scale level output, the display comprising a set of row address conductors and a set of column address conductors, an array of picture elements each defined by a respective electrode connected to a respective address conductor of both sets and an opposing counter electrode, a column driver circuit for applying signals to the set of column address conductors, and a counter electrode driver circuit for applying a signal to the counter electrode which includes kickback correction corresponding to a predetermined grey scale level, wherein the method comprises applying a signal to each of the column address conductors associated with the dormant portion which comprises a combination of a signal substantially the same as the counter electrode signal and kickback correction, such that the resultant kickback correction applied to each of the picture elements associated with the dormant portion substantially corresponds to the grey scale level of the dormant portion.
2. A method of Claim 1 wherein the signal applied to each column address conductor associated with the dormant portion comprises a combination of the counter electrode signal and kickback correction substantially corresponding to the grey scale level of the dormant portion.
3. A method of Claim 1 or Claim 2 wherein a row or frame inversion drive scheme is employed.
4. A method of any preceding Claim wherein a counter electrode modulation drive scheme is employed.

WO 02/099777

PCT/IB02/01851

10

5. A method of Claim 1 wherein a column or pixel inversion drive scheme is employed.

6. An active matrix liquid crystal display device operable in a partial display mode in which a live portion of the display is driven to display image data and a dormant portion is driven to display a substantially constant grey scale level output, the device comprising a set of row address conductors and a set of column address conductors, an array of picture elements each defined by a respective electrode connected to a respective address conductor of both sets and an opposing counter electrode, a counter electrode driver circuit for applying a signal to the counter electrode which includes kickback correction corresponding to a predetermined grey scale level, a column driver circuit for applying signals to the set of column address conductors, the signal applied to column address conductors associated with the dormant portion comprising a signal substantially the same as the counter electrode signal, and means for adding kickback correction to the signal applied to the column address conductors associated with the dormant portion, such that the resultant kickback correction applied to each of the picture elements associated with the dormant portion substantially corresponds to the grey scale level of the dormant portion.

7. A device of Claim 6 wherein the adding means is operable to combine the counter electrode signal with a kickback correction signal substantially corresponding to the grey scale level of the dormant portion.

8. A device of Claim 6 or Claim 7 including switching means for connecting column address conductors associated with the dormant portion to the output of the adding means.

WO 02/099777

PCT/IB02/01851

1/2

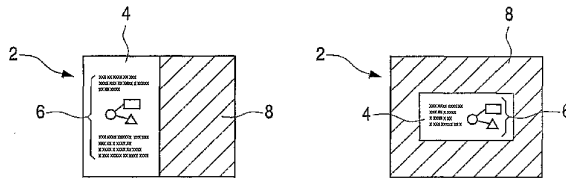


Fig.1A

Fig.1B

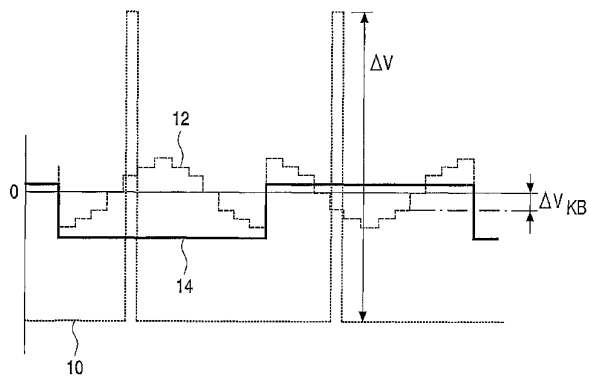


Fig.2

WO 02/099777

PCT/IB02/01851

2/2

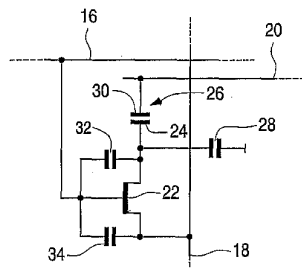


Fig.3

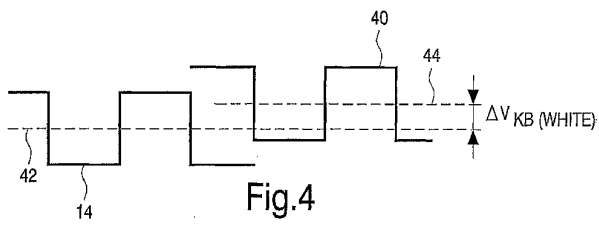


Fig.4

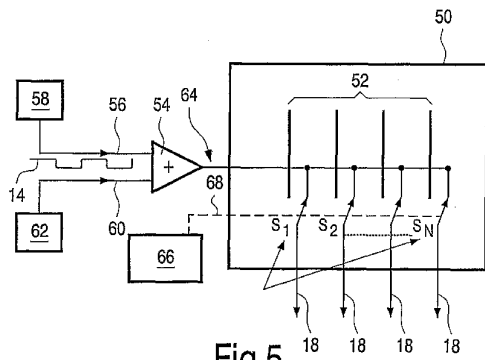


Fig.5

【国際調査報告】

INTERNATIONAL SEARCH REPORT		Internet Application No PCT/IB 02/01851
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G 006F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) WPI Data, PAJ, EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1 093 009 A (ALPS ELECTRIC CO LTD) 18 April 2001 (2001-04-18) abstract paragraphs '0001!-'0012!, '0016!, '0017!; figures 1,5 paragraphs '0028!-'0033!, '0040!-'0043! -/-	1-4,6,7
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 27 October 2003		Date of mailing of the international search report 07/11/2003
Name and mailing address of the ISA European Patent Office, P.B. 5610 Patentkan 2 NL - 2280 HV Rijswijk Tel (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Corst, F

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT		International Application No. PCT/IB 02/01851
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	TOSHIO YANAGISAWA ET AL: "COMPENSATION OF THE DISPLAY ELECTRODE VOLTAGE DISTORTION" PROCEEDINGS OF THE SID, SOCIETY FOR INFORMATION DISPLAY. PLAYA DEL REY, CA, US, vol. 29, no. 1, 1988, pages 99-103, XP000006178 abstract page 99, left-hand column, paragraphs 3-5; figure 1 page 100, left-hand column, paragraphs 2-5; figure 3 page 100, right-hand column, paragraph 3; figure 4 page 101, right-hand column, paragraphs 1-4; figure 11	1-7
A	EP 1 100 067 A (MATSUSHITA ELECTRIC IND CO LTD) 16 May 2001 (2001-05-16) abstract paragraphs '0001!-'0008! paragraph '0031! - paragraph '0035!; figure 1 paragraph '0038! - paragraph '0045!; figures 2-4	1,6

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/18 02/01851

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
EP 1093009	A	18-04-2001	JP	2001117072 A	27-04-2001
			CN	1293380 A	02-05-2001
			EP	1093009 A2	18-04-2001
			US	6529257 B1	04-03-2003
EP 1100067	A	16-05-2001	JP	2001202053 A	27-07-2001
			CN	1295316 A	16-05-2001
			EP	1100067 A2	16-05-2001

フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 4 D
	G 0 9 G 3/20	6 6 0 Q
	G 0 9 G 3/20	6 7 0 K

(72)発明者 アラン ゲー クナッブ
オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

(72)発明者 ヤァソン アール ヘクター
オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

F ターム(参考) 2H093 NA16 NA31 NA32 NB07 NB12 NC34 ND60
5C006 AC25 AC26 AF42 AF43 AF44 BB16 BC11 BC16 BF28 FA38
FA47
5C080 AA10 BB05 DD18 DD26 FF11 JJ01 JJ02 JJ03 JJ04

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2004528607A5	公开(公告)日	2008-12-18
申请号	JP2003502810	申请日	2002-06-04
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	アランゲークナツプ ヤアソンアールヘクター		
发明人	アラン ゲー クナツプ ヤアソン アール ヘクター		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3648 G09G2310/0221 G09G2310/0232 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.550 G09G3/20.611.A G09G3/20.621.B G09G3/20.624.D G09G3/20.660.Q G09G3/20.670.K		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA32 2H093/NB07 2H093/NB12 2H093/NC34 2H093/ND60 5C006/AC25 5C006/AC26 5C006/AF42 5C006/AF43 5C006/AF44 5C006/BB16 5C006/BC11 5C006/BC16 5C006/BF28 5C006/FA38 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD18 5C080/DD26 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	2001013736 2001-06-06 GB		
其他公开文献	JP4641720B2 JP2004528607A		

摘要(译)

要解决的问题：提供一种用于以部分显示模式驱动有源矩阵液晶显示器的改进方法，其中显示器根据该方法操作。驱动显示器的有效部分（4）以显示图像数据（6）并驱动静止部分（8）以显示基本恒定的灰度级的输出。该方法包括向与静止部分（8）相关联的每个列地址电极（18）提供信号（40）的步骤，该信号是与提供给对电极的信号（14）基本相同的信号。和反冲校正，以便提供给与暂停部分（8）相关的每个像素的结果一般的反冲校正大致对应于静止部分的灰度级。这用于降低静止部分（8）的功耗并且避免在静止部分（8）部分的像素上提供几乎DC电压。