

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-361700

(P2004-361700A)

(43) 公開日 平成16年12月24日(2004.12.24)

(51) Int.Cl.⁷

G02F 1/1368

F I

G02F 1/1368

テーマコード(参考)

2H092

審査請求 未請求 請求項の数 12 O L (全 29 頁)

(21) 出願番号 特願2003-160400 (P2003-160400)
(22) 出願日 平成15年6月5日(2003.6.5)(71) 出願人 502356528
株式会社 日立ディスプレイズ
千葉県茂原市早野3300番地
(71) 出願人 000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地
(74) 代理人 100083552
弁理士 秋田 収喜
(72) 発明者 大津 亮一
千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内
(72) 発明者 中山 貴徳
千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内

最終頁に続く

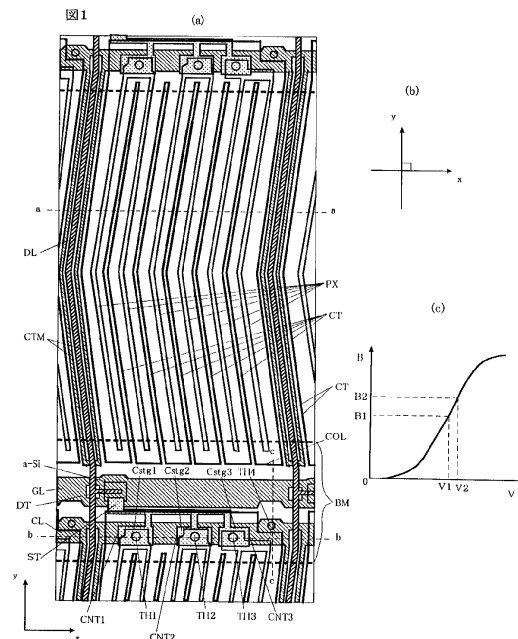
(54) 【発明の名称】 表示装置

(57) 【要約】 (修正有)

【課題】 点欠陥の修復による黒表示の弊害を回避させた液晶表示装置を得る。

【解決手段】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線GLからの走査信号によって駆動されるスイッチング素子を介してドレイン信号からの映像信号が供給される画素電極PXと、この画素電極PXと容量信号線CLとの間に誘電体膜を介して形成される容量素子Cstgとを備えるものであって、画素領域は複数に区分され、それらの区分における各画素電極PXと容量素子Cstgにはスイッチング素子から分岐された経路を経てそれぞれに映像信号が供給される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動されるスイッチング素子を介してドレイン信号からの映像信号が供給される画素電極と、この画素電極と容量信号線との間に誘電体膜を介して形成される容量素子とを備えるものであって、
前記画素領域は複数に区分され、それらの区分における各画素電極と容量素子には前記スイッチング素子から分岐された経路を経てそれぞれに映像信号が供給されることを特徴とする液晶表示装置。

【請求項 2】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動されるスイッチング素子を介してドレイン信号からの映像信号が供給される画素電極と、この画素電極と容量信号線との間に誘電体膜を介して形成される容量素子とを備えるものであって、
前記画素領域は複数に区分され、それらの区分における各画素電極と容量素子には前記スイッチング素子から分岐された経路を経てそれぞれに映像信号が供給され、
かつ、前記スイッチング素子から分岐されたそれぞれの経路は、その一部において、絶縁膜のみが重畳されて形成されていることを特徴とする液晶表示装置。

【請求項 3】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動されるスイッチング素子を介してドレイン信号からの映像信号が供給される画素電極と、この画素電極と容量信号線との間に誘電体膜を介して形成される容量素子とを備えるものであって、
前記画素領域は複数に区分され、それらの区分における画素電極と容量素子には前記スイッチング素子から分岐された経路を経てそれぞれに映像信号が供給され、
かつ、前記スイッチング素子から分岐されたそれぞれの経路は、その一部において、絶縁膜のみが重畳されて形成され、
他方の基板の液晶側の面には、前記スイッチング素子から分岐されたそれぞれの経路の前記一部を少なくとも被うようにしてブラックマトリクスが形成されていることを特徴とする液晶表示装置。

【請求項 4】

少なくとも一の画素領域において、前記スイッチング素子から分岐されたそれぞれの経路の一部のうち少なくとも一つが短絡していることを特徴とする請求項 1 ないし 3 のうちいずれかに記載の液晶表示装置。

【請求項 5】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動されるスイッチング素子を介してドレイン信号からの映像信号が供給される画素電極と、この画素電極と容量信号線との間に誘電体膜を介して形成される容量素子とを備えるものであって、
前記画素領域は複数に区分され、それらの区分における各画素電極と容量素子には前記スイッチング素子から分岐された経路を経てそれぞれに映像信号が供給され、
かつ、当該画素領域に対して前記ドレイン信号線に沿って隣接する他の画素領域の画素電極に前記スイッチング素子からの映像信号が修復によって供給され得る構成になっていることを特徴とする液晶表示装置。

【請求項 6】

前記スイッチング素子から映像信号線が供給される配線層の一部は、当該画素領域に対して前記ドレイン信号線に沿って隣接する他の画素領域の画素電極の一部と絶縁膜を介して重ね合わされて形成されていることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記容量素子は容量信号線に重ね合わされて形成され、該容量信号線を一方の電極として

10

20

30

40

50

構成されていることを特徴とする請求項 1、2、3、5 のうちいずれかに記載の液晶表示装置。

【請求項 8】

前記画素電極は一方向に延在する帯状の複数の電極群から構成されるとともに、これら各画素電極との間に電界を発生せしめる対向電極が該各画素電極を間にして配置される該一方向に延在する帯状の複数の電極群として一方の基板側に形成されていることを特徴とする請求項 1、2、3、5 のうちいずれかに記載の液晶表示装置。

【請求項 9】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動されるスイッチング素子を介してドレイン信号からの映像信号が供給される透光性材料からなる画素電極と、この画素電極と容量信号線との間に誘電体膜を介して形成される容量素子とを備え、
他方の基板の液晶側の各画素領域に該画素領域に共通に形成された透光性材料からなる対向電極とを備えるものであって、
前記画素電極は複数に分割され、これら分割された各画素電極ごとに容量素子を備え、前記スイッチング素子から分岐された経路を経て分割された各画素電極およびそれに備えられた容量素子に映像信号が供給されることを特徴とする液晶表示装置。

【請求項 10】

一方の基板側に分割された各画素電極の分割個所を塞ぐ遮光膜が形成されていることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

前記容量素子は容量信号線に重ね合わされて形成され、該容量信号線を一方の電極として構成されているとともに、該容量信号線の延在部で前記遮光膜を構成していることを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動されるスイッチング素子を介してドレイン信号からの映像信号が供給される透光性材料からなる画素電極と、この画素電極と容量信号線との間に誘電体膜を介して形成される容量素子とを備え、
他方の基板の液晶側の各画素領域に該画素領域に共通に形成された透光性材料からなる対向電極とを備えるものであって、
前記画素電極は複数に分割され、これら分割された各画素電極ごとに容量素子を備え、前記スイッチング素子から分岐された経路を経て分割された各画素電極およびそれに備えられた容量素子に映像信号が供給され、
かつ、各画素領域にて前記対向電極も複数に分割され、それらは前記画素電極の分割方向に前記画素電極の分割とずれて配置されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は表示装置に係り、特に、点欠陥の修復に好適な構成を有する液晶表示装置を提供することにある。

【0002】

【従来の技術】

液晶表示装置は液晶を介して対向配置される基板を外圍器とし、該液晶の広がり方向に多数の画素が形成されて構成されている。そして、各画素は、前記各基板の液晶側の面においてフォトリソグラフィ技術によって微細加工された導電層、絶縁層、および半導体層等が積層された電子回路を備えている。

【0003】

このため、製造工程中における前記導電層の断線等によりいわゆる点欠陥（画素それ自体の欠陥）が発生してしまう場合があり、それを修復する技術が知られ（特許文献 1、特許

文献 2 参照)、該画素を常時黒表示することで、該欠陥を目視し難くしている。

【特許文献 1】

特開平 11-125840 号公報

【特許文献 2】

特開 2001-135809 号公報

【0004】

【発明が解決しようとする課題】

しかし、近年、TV 用の液晶表示装置等のように、その一画素当りのサイズが大きくなってくると、上記したような修復だけでは充分でなくなり、点欠陥による弊害が目視できるようになってきていることが指摘されるに至った。

10

【0005】

たとえば、カラー用液晶表示装置は、互いに隣接する 3 つの画素にそれぞれ赤 (R)、緑 (G)、青 (B) の色を担当させて構成している。このため、たとえば一方向に並設される各画素はその一方の側から、…赤 (R)、緑 (G)、青 (B) 赤 (R)、緑 (G)、青 (B)、赤 (R)、緑 (G) …というように配置される。そして、このうちたとえば赤 (R) の色を担当する一の画素に欠陥が生じ、これを修復して黒表示させた場合、その修復した画素も含んでその両脇のそれぞれ一つあるいは二つの画素に及んでいわゆるシアンの色で目視されるようになる。

【0006】

このことから、従来のように欠陥が生じた一画素を黒表示するだけでは充分でなくなり、その黒表示する部分の面積を極力小さくするように修復することが要望されるに至った。

20

【0007】

本発明は、このような事情に基づいてなされたもので、その目的は、いわゆる点欠陥の修復による黒表示の弊害を回避させた表示装置を提供することにある。

【0008】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0009】

手段 1.

30

本発明による表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動されるスイッチング素子を介してドレイン信号からの映像信号が供給される画素電極と、この画素電極と容量信号線との間に誘電体膜を介して形成される容量素子とを備えるものであって、前記画素領域は複数に区分され、それらの区分における各画素電極と容量素子には前記スイッチング素子から分岐された経路を経てそれぞれに映像信号が供給されることを特徴とするものである。

【0010】

手段 2.

40

本発明による表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動されるスイッチング素子を介してドレイン信号からの映像信号が供給される画素電極と、この画素電極と容量信号線との間に誘電体膜を介して形成される容量素子とを備えるものであって、前記画素領域は複数に区分され、それらの区分における各画素電極と容量素子には前記スイッチング素子から分岐された経路を経てそれぞれに映像信号が供給され、かつ、前記スイッチング素子から分岐されたそれぞれの経路は、その一部において、絶縁膜のみが重畳されて形成されていることを特徴とするものである。

【0011】

手段 3.

50

本発明による表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基

板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動されるスイッチング素子を介してドレイン信号からの映像信号が供給される画素電極と、この画素電極と容量信号線との間に誘電体膜を介して形成される容量素子とを備えるものであって、前記画素領域は複数に区分され、それらの区分における画素電極と容量素子には前記スイッチング素子から分岐された経路を経てそれぞれに映像信号が供給され、かつ、前記スイッチング素子から分岐されたそれぞれの経路は、その一部において、絶縁膜のみが重畳されて形成され、他方の基板の液晶側の面には、前記スイッチング素子から分岐されたそれぞれの経路の前記一部を少なくとも被うようにしてブラックマトリクスが形成されていることを特徴とするものである。

10

【0012】

手段4.

本発明による表示装置は、たとえば、手段1ないし3の構成のいずれかを前提とし、少なくとも一の画素領域において、前記スイッチング素子から分岐されたそれぞれの経路の一部のうち少なくとも一つが短絡していることを特徴とするものである。

【0013】

手段5.

本発明による表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動されるスイッチング素子を介してドレイン信号からの映像信号が供給される画素電極と、この画素電極と容量信号線との間に誘電体膜を介して形成される容量素子とを備えるものであって、前記画素領域は複数に区分され、それらの区分における各画素電極と容量素子には前記スイッチング素子から分岐された経路を経てそれぞれに映像信号が供給され、かつ、当該画素領域に対して前記ドレイン信号線に沿って隣接する他の画素領域の画素電極に前記スイッチング素子からの映像信号が修復によって供給され得る構成になっていることを特徴とするものである。

20

【0014】

手段6.

本発明による表示装置は、たとえば、前記スイッチング素子から映像信号線が供給される配線層の一部は、当該画素領域に対して前記ドレイン信号線に沿って隣接する他の画素領域の画素電極の一部と絶縁膜を介して重ね合わされて形成されていることを特徴とするものである。

30

【0015】

手段7.

本発明による表示装置は、たとえば、手段1、2、3、5のいずれかの構成を前提とし、前記容量素子は容量信号線に重ね合わされて形成され、該容量信号線を一方の電極として構成されていることを特徴とするものである。

【0016】

手段8.

本発明による表示装置は、たとえば、手段1、2、3、5のいずれかの構成を前提とし、前記画素電極は一方向に延在する帯状の複数の電極群から構成されるとともに、これら各画素電極との間に電界を発生せしめる対向電極が該各画素電極を間にして配置される該一方向に延在する帯状の複数の電極群として一方の基板側に形成されていることを特徴とするものである。

40

【0017】

手段9.

本発明による表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動されるスイッチング素子を介してドレイン信号からの映像信号が供給される透光性材料からなる画素電極と、この画素電極と容量信号線との間に誘電体膜を介して形成される容量素子とを備え、

50

他方の基板の液晶側の各画素領域に該画素領域に共通に形成された透光性材料からなる対向電極とを備えるものであって、

前記画素電極は複数に分割され、これら分割された各画素電極ごとに容量素子を備え、前記スイッチング素子から分岐された経路を経て分割された各画素電極およびそれに備えられた容量素子に映像信号が供給されることを特徴とするものである。

【0018】

手段10.

本発明による表示装置は、たとえば、手段9の構成を前提とし、一方の基板側に分割された各画素電極の分割個所を塞ぐ遮光膜が形成されていることを特徴とするものである。

【0019】

手段11.

本発明による表示装置は、たとえば、手段10の構成を前提とし、前記容量素子は容量信号線に重ね合わされて形成され、該容量信号線を一方の電極として構成されているとともに、該容量信号線の延在部で前記遮光膜を構成していることを特徴とするものである。

【0020】

手段12.

本発明による表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の各画素領域に、ゲート信号線からの走査信号によって駆動されるスイッチング素子を介してドレイン信号からの映像信号が供給される透光性材料からなる画素電極と、この画素電極と容量信号線との間に誘電体膜を介して形成される容量素子とを備え、
他方の基板の液晶側の各画素領域に該画素領域に共通に形成された透光性材料からなる対向電極とを備えるものであって、

前記画素電極は複数に分割され、これら分割された各画素電極ごとに容量素子を備え、前記スイッチング素子から分岐された経路を経て分割された各画素電極およびそれに備えられた容量素子に映像信号が供給され、

かつ、各画素領域にて前記対向電極も複数に分割され、それらは前記画素電極の分割方向に前記画素電極の分割とずれて配置されていることを特徴とするものである。

【0021】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【0022】

【発明の実施の形態】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

実施例1.

図1(a)は、本発明による液晶表示装置の画素の構成を示す平面図である。また、図1(a)のa-a線における断面図を図2(a)に、b-b線における断面図を図2(b)に、c-c線における断面図をそれぞれ図2(c)に示している。

【0023】

本発明による液晶表示装置の各画素はマトリクス状に配置され、図1(a)に示す画素に対して上下左右に配置される各画素も同様の構成となっている。

【0024】

図1(a)において、透明基板SUB1(図2参照)の液晶側の面に、まず、x方向に延在しy方向に並設されるゲート信号線GL(図1では1個のみ示している)が形成されている。

【0025】

これらゲート信号線GLは後述のドレイン信号線DLとともに矩形状の領域を囲むようになっており、この領域を画素領域として構成するようになり、これら画素領域の集合が液晶表示領域として構成されるようになる。

【0026】

また、各ゲート信号線GLの間の領域であって、図中下側のゲート信号線GLに近接して

10

20

30

40

50

、かつ平行に配置された容量信号線 C L が形成されている。これらゲート信号線 G L および容量信号線 C L はたとえば同一の材料から構成され、同一の工程で製造されるようになっている。

【0027】

なお、この容量信号線 C L は後述のドレイン信号線 D L の形成領域の両脇にそれぞれ沿って一对の分岐信号線 C T M となって図中下側に延在され、ゲート信号線 G L の近傍にて互いに接続されたパターンをなしている。換言すれば、ドレイン信号線 D L は画素領域内において、容量信号線 C L によって囲まれるようにして形成される。ドレイン信号線 D L からの電界が該ドレイン電極 D L の両脇に形成される容量信号線 C L の分岐信号線 C T M に終端させやすくし、後述する画素電極 P X に終端するのを回避せんがためである。ドレイン信号線 D L からの電界が該画素電極 P X に終端すると該電界がノイズとして作用するようになってしまうからである。

10

【0028】

そして、透明基板 S U B 1 の表面には、ゲート信号線 G L および容量信号線 C L をも被って第 1 絶縁膜 G I が形成されている。この第 1 絶縁膜 G I は後述する薄膜トランジスタ T F T のゲート絶縁膜として機能するとともに、該ゲート信号線 G L および容量信号線 C L に対する後述のドレイン信号線 D L の層間絶縁膜としての機能をも有するようになっている。

【0029】

そして、この第 1 絶縁膜 G I の表面であって、前記ゲート信号線 G L の一部の領域に重畳するようにしてたとえばアモルファス S i からなる半導体層 a - S i が形成されている。

20

【0030】

この半導体層 a - S i は、薄膜トランジスタ T F T のそれであって、その上面にドレイン電極 D T およびソース電極 S T を形成することにより、前記ゲート信号線 G L の一部をゲート電極とする逆スタガ構造の M I S 型トランジスタを構成することができる。

【0031】

ここで、前記ドレイン電極 D T およびソース電極 S T はドレイン信号線 D L の形成の際に同時に形成されるようになっている。

【0032】

すなわち、y 方向に延在され x 方向に並設されるドレイン信号線 D L が形成され、その一部が前記半導体層 a - S i の上面にまで延在されてドレイン電極 D T が形成され、また、このドレイン電極 D T と薄膜トランジスタ T F T のチャネル長分だけ離間されてソース電極 S T が形成されている。

30

【0033】

このソース電極 S T は半導体層 a - S i 面から画素領域（この図では図中下側の画素領域）側の容量信号線 C L の上方に至るまで若干延在され、この延在部によって後述の画素電極 P X との接続を図るためのコンタクト部を構成するようになっている。

【0034】

ここで、このコンタクト部はその面積が比較的大きくたとえば 3 個形成され、これらの各コンタクト部 C N T 1、C N T 2、C N T 3 は前記容量信号線 C L 上にて並設して配置されている。

40

【0035】

各コンタクト部 C N T 1、C N T 2、C N T 3 を前記容量信号線 C L 上に配置させることで、これらの間には第 1 絶縁膜 G I を誘電体膜とする容量素子 C s t g 1、C s t g 2、C s t g 3 が形成されるようになる。これら容量素子 C s t g 1、C s t g 2、C s t g 3 は、それぞれ後述する画素電極 P X に供給される映像信号を該画素電極 P X に比較的長く蓄積させる等の機能をもたせるようになっている。

【0036】

このように薄膜トランジスタ T F T、ドレイン信号線 D L、ドレイン電極 D T、およびソース電極 S T が形成された透明基板 S U B 1 の表面にはたとえば S i N からなる保護膜 P

50

A S 1、たとえば樹脂からなる保護膜 P A S 2 が形成されている。これら保護膜 P A S 1、P A S 2 は前記薄膜トランジスタ T F T の液晶との直接の接触を回避する膜で、該薄膜トランジスタ T F T の特性劣化を防止せんとするようになっている。また、保護膜 P A S 2 の材料として樹脂を用いているのは保護膜 P A S 1、P A S 2 の全体の誘電率を低減させるためと、表面を平坦化するためである。

【0037】

そして、前記保護膜 P A S 2 の上面には画素電極 P X が形成されている。この画素電極 P X は y 方向に延在され x 方向に並設されたたとえば 6 個の電極群から構成されている。これら各画素電極 P X は隣接するもの同志で 2 個ずつグループ化され、それぞれのグループの画素電極 P X は前記コンタクト部 C N T のうち近接する一のコンタクト部上の保護膜 P A S 2、P A S 1 を貫通するスルーホール T H をとおして該コンタクト部に電氣的に接続されている。 10

【0038】

すなわち、画素内に配置される各画素電極 P X のうち、図中左側から 2 個の画素電極 P X はスルーホール T H 1 を通して容量信号線 C L との間に容量素子 C s t g 1 を構成するコンタクト部 C N T 1 に接続され、前記薄膜トランジスタ T F T のソース電極 S T に接続されている。また、さらに図中右側へ 2 個の画素電極 P X はスルーホール T H 2 を通して容量信号線 C L との間に容量素子 C s t g 2 を構成するコンタクト部 C N T 2 に接続され、前記薄膜トランジスタ T F T のソース電極 S T に接続されている。また、さらに図中右側へ 2 個の画素電極 P X はスルーホール T H 3 を通して容量信号線 C L との間に容量素子 C s t g 3 を構成するコンタクト部 C N T 3 に接続され、前記薄膜トランジスタ T F T のソース電極 S T に接続されている。 20

【0039】

このように画素電極 P X が形成された保護膜 P A S 2 の表面には、対向電極 C T も形成されている。対向電極 C T の材料としては導電材なら何でもよいが、この実施例ではたとえば、I T O (I n d i u m T i n O x i d e)、I T Z O (I n d i u m T i n Z i n c O x i d e)、I Z O (I n d i u m Z i n c O x i d e)、S n O₂ (酸化スズ)、I n₂ O₃ (酸化インジウム) 等の光透過性の材料で構成されている。画素のいわゆる開口率を向上させるためである。

【0040】

この対向電極 C T は、図中 y 方向に延在する前記各画素電極 P X の両脇においてそれぞれ該画素電極 P X と平行に図中 y 方向に延在する 7 個の電極群から構成されている。 30

【0041】

そして、そのうちの 2 個はドレイン信号線 D L およびその両脇の容量信号線 C L の分岐信号線 C T M をも十分に被った線幅として構成されている。ドレイン信号線 D L からの電界が該ドレイン電極 D L の上方に形成される対向電極 C T に終端させやすくしているためである。

【0042】

さらに、対向電極 C T を構成する材料層は、該対向電極 C T に接続された状態で、前記容量素子 C s t g 1、C s t g 2、C s t g 3 の形成領域を回避させてゲート信号線 G L をも充分被うようにして形成されている。同様の趣旨で、ゲート信号線 G L からの電界を該材料層 (対向電圧信号線 C O L) に終端させるためである。なお、この材料層は保護膜 P A S 2、保護膜 P A S 1、第 1 絶縁膜 G I を貫通するスルーホール T H 4 を通して容量信号線 C L に接続されている。容量信号線 C L と対向電極 C T との電位を同じにするためである。 40

【0043】

このため、前記ゲート信号線 G L を充分に被い、かつ対向電極 C T と同電位に保持される前記材料層は、該対向電極 C T に信号を供給するための対向電圧信号線 C O L としての機能を有するようになる。

【0044】

このようにして構成される画素電極 P X と対向電極 C T は、一方の側のドレイン信号線 D L から他方の側のドレイン信号線 D L にかけて、対向電極 C T、画素電極 P X、対向電極 C T、画素電極 P X、……、対向電極 C T の順にそれぞれ等間隔に配置されるようになる。互いに隣接して配置された画素電極 P X と対向電極 C T との間には、透明基板 S U B 1 の面とほぼ平行な成分を有する電界が発生され、この電界によって液晶を挙動させ、その光透過率を制御させるようになっている。

【0045】

なお、この実施例では、画素電極 P X および対向電極 C T は、画素領域のほぼ中央を境にして屈曲されたパターンをなし、それにともない、ドレイン信号線 D L およびその両脇の分岐信号線 C T M (容量信号線 C L) も屈曲されたパターンをなしていわゆるマルチドメイン方式を採用している。すなわち、液晶はその分子配列が同じ状態でも、液晶表示装置に入射する光の入射方向によって透過光の偏光状態が変化するので、入射方向に対応して光の透過率が異なってしまう。このような液晶表示装置の視角依存性は視角方向に対し視点を斜めに傾けると、輝度の逆転現象を引き起こすことになり、カラー表示の場合に画像が色づくという表示特性を有する。このため、画素電極 P X をその延在方向に少なくとも一つの屈曲部を形成したパターンとし、さらにこのパターンを平行にシフトした形状で対向電極 C T を形成し、これら各電極の屈曲点を結んだ仮想の線を境にし一方の領域と他方の領域とで各電極間に作用する電界の方向を異ならしめ、これにより、視野角に依存する画像の色づきを補償するようにしたものである。

10

【0046】

このように、画素電極 P X、対向電極 C T 等が形成された保護膜 P A S 2 の上面には、該画素電極 P X、対向電極 C T 等をも被って配向膜 A L が形成されている。この配向膜 A L はそれに接触して配置される液晶の初期配向方向を決定するための膜である。

20

【0047】

なお、このように構成された透明基板 S U B 1 と液晶を介して対向配置される透明基板 S U B 2 の液晶側の面には、図 2 に示すように、カラーフィルタ C F、ブラックマトリクス B M、平坦化膜 O C、配向膜 A L が形成されている。ブラックマトリクス B M は、ゲート信号線 G L および容量信号線 C L を十分に被うように、図中 x 方向に延在された帯状に延在されたパターンをなし、前記画素電極 P X および対向電極 C T のそれぞれの先端は該ブラックマトリクス B M によって目視できないようになっている。

30

【0048】

ここで、前記液晶はいわゆるノーマリーブラックと称されるものが用いられている。すなわち、画素電極 P X と対向電極 C T との間に電界が発生していない場合に黒表示がなされ、電界が発生している場合にその電界の強度に応じて黒表示から白表示に移行する態様となっている。

【0049】

また、透明基板 S U B 1 および透明基板 S U B 2 のそれぞれに、液晶と反対側の面に偏光板 P O L 1、P O L 2 が貼付され、これにより液晶の挙動を可視化できるようにしているが、図 1 (b) に示すように、一方の透明基板、たとえば透明基板 S U B 1 の偏光板 P O L 1 の偏光透過軸は y 方向に一致づけられ、透明基板 S U B 2 の偏光板 P O L 2 の偏光透過軸は x 方向に一致づけられるように構成されている。

40

【0050】

このように構成した液晶表示装置は、一の画素領域を 3 つの領域に区分させ、当該画素に備えられる一の薄膜トランジスタ T F T からの映像信号を 3 つに分岐させて、それぞれの各領域の画素電極 P X に供給させるとともに、これら各領域毎に該映像信号を蓄積させるための容量素子を備えさせたものである。

【0051】

このため、図 3 に示すように、画素領域の一部に異物 S T M が残存し、この異物 S T M によって画素電極 P X と対向電極 C T との短絡が生じた場合に、該画素電極 P X の薄膜トランジスタ T F T のソース電極 S T との接続部、より詳しくは、該画素電極 P X によって形

50

成される容量素子C s t g（図では容量素子C s t g 1）と前記薄膜トランジスタT F Tのソース電極S Tとの間の接続部をたとえばレーザ光によって切断し、切断部C U Tを形成することができる。

【0052】

これにより、画素領域の1／3は修復後に黒表示がなされるようになるが、残りの2／3の画素領域において画素としての機能が回復するようになる。

【0053】

そして、前記切断によって、前記薄膜トランジスタT F Tに対し前記容量素子C s t gおよび液晶の容量も分離されることになる。このことは、該薄膜トランジスタT F Tにとって信号を書き込むべき容量は残存された領域の容量素子C s t gと液晶の容量となるので、容量が軽くなる。この結果、欠陥修正を行った画素において薄膜トランジスタT F Tの書き込み特性が向上し、他の画素より高い電圧の信号が書き込まれる効果を有する。

10

【0054】

ノーマリーブラックの場合、これは該画素で他の正常な画素より同じ映像信号電圧に対してサブ領域辺りの輝度が向上することを意味する。これにより、欠陥修正で画素内に動作しない領域が生じることになるが、他の領域が修正前より中間調での輝度が向上するために、動作する領域の低減による輝度低下をある程度補償することが可能となる。すなわち、欠陥修正による画素全体の輝度低下の抑制が実現し、より広い面積での欠陥修正に対応することができる、歩留まりの劇的な改善が実現することになる。

【0055】

ここで、液晶の印加される電界（電圧）に対する輝度の特性図である図1（c）に示すように、特に変色輝点が問題になる中間調で、短絡の生じてないサブ領域の面積当たりの輝度は、修復前において、書き込み電圧V 1で輝度B 1に対し、修正で薄膜トランジスタT F Tの書き込むべき容量が低減するので、修復後において、書き込み電圧V 2で輝度B 2に増大するようになる。これにより、欠陥修正で変色輝点を修正する際に、欠陥が生じた画素の輝度低下を抑制でき、修正率の大幅向上が実現する。

20

【0056】

なお、上述した実施例では、容量素子C s t gを3個設け、それぞれの容量素子C s t gに対して2個の画素電極P Xを割り当てて構成したものである。しかし、これらの数は特に限定されるものではなく、容量素子C s t gは3個以上であっても、また、それぞれの容量素子C s t gに割り当てられる画素電極P Xは何個でもよい。本実施例の場合はスルーホールT Hの数を低減させる趣旨から1個の容量素子C s t gに割り当てられる画素電極P Xは複数であることが好ましい。

30

【0057】

実施例2.

図4は、本発明による液晶表示装置の他の実施例を示す平面図で、図1（a）に対応した図となっている。

【0058】

図1（a）の場合と比較して異なる構成は、ブラックマトリクスB Mの配置個所にある。ゲート信号線G Lの延在方向に平行に配置されるブラックマトリクスB Mは、該ゲート信号線G Lを十分に被っているが、容量信号線C L側の辺において、該辺からは該容量信号線C Lの一部が露出されるように形成されている。換言すれば、該辺は該容量信号線C Lに重なり合うように位置づけられている。

40

【0059】

ゲート信号線G Lと画素電極P Xの間はいわゆるドメインが生じ易いのに対し、容量信号線C Lと画素電極P Xの間は該ドメインが生じ難いことに基づく構成である。これにより、画素のいわゆる開口率を向上させることができる。

【0060】

なお、実施例1に示した構成も同様であるが、ゲート信号線G Lとこれに近接される容量信号線C Lとの間の領域は前記ブラックマトリクスB Mによって被われた構成となってい

50

る。この領域は、修復時にたとえばレーザー光線等で薄膜トランジスタTFTのソース電極STとそれに接続される画素電極PXとの切り離しをする個所に相当することから、該レーザー光線によってカラーフィルタCFが変質あるいは変色するのを該ブラックマトリクスBMで隠す必要があるからである。

【0061】

実施例3.

図5は、本発明による液晶表示装置の他の実施例を示す平面図で、図1(a)に対応した図となっている。また、図6(a)は図5のa-a線における断面図を、図6(b)は図5のb-b線における断面図を、図6(c)は図5のc-c線における断面図を示している。

10

【0062】

図1(a)の場合と比較して異なる構成は、まず、対向電極CTが画素電極PXと同層に形成されたものではなく、ゲート信号線GL(容量信号線CL)および第1絶縁膜GIの下層に形成されていることにある。

【0063】

また、この対向電極CTはITO等の透光性材料から構成され、画素領域のほぼ全域を被って形成され、前記容量信号線CLの一部に重畳されて形成されている。

【0064】

すなわち、平板状に形成された対向電極CTの上面に絶縁膜(第1絶縁膜GI、第1保護膜PAS1)を介して複数の電極群からなる画素電極PXが形成された構成となっており、これら各電極の間に発生する電界によって液晶の光透過率を制御させるようになっている。

20

【0065】

そして、薄膜トランジスタTFTの液晶の直接の接触を回避させるための保護膜が第1保護膜PAS1のみとなっており、第2保護膜PAS2が形成されていない構成となっている。対向電極CTと画素電極PXとの間に発生する電界の強度を低減させないためである。

【0066】

このように構成した液晶表示装置においても、一つの画素領域をたとえば3つの領域に区分させ、当該画素に備えられる一つの薄膜トランジスタTFTからの映像信号を3つに分歧させ、それぞれの各領域の画素電極PXに供給させるとともに、これら各領域毎に該映像信号を蓄積させるための容量素子を備えさせた構成となっており、実施例1と同様の効果を奏する。

30

【0067】

なお、この実施例では、ブラックマトリクスBMは、たとえば各画素にて他の隣接する画素との間を画するように格子状に形成したパターンを用いている。しかし、これに限定されないことはもちろんである。

【0068】

実施例4.

図7は、本発明による液晶表示装置の他の実施例を示す平面図で、図1(a)に対応した図となっている。

40

【0069】

図1(a)の場合と比較して異なる構成は、まず、薄膜トランジスタTFTのソース電極STとこれに接続される画素電極PXの間に形成される容量素子Cstgの構成にある。

【0070】

図1(a)の場合、各容量素子Cstgは複数の画素電極PXに共通となって構成されたものであるが、図7の場合においては、一の画素電極PXに対して一の容量素子Cstgを備える当該画素電極PXを有するようになっている。

【0071】

これにより、薄膜トランジスタTFTのソース電極STから各容量素子Cstgを介して

50

画素電極 P X への分岐数を増大させて、修復後における画素の輝度低下を極力低減させるようにできる。

【0072】

この場合、該容量素子 C s t g の形成部分において、その電極と画素電極 P X を電氣的に接続させるためのスルーホール T H が前記分岐数の増大にともなって増大するようになる。このため、この実施例では、図中 x 方向に並設される各スルーホール T H を一つ置きに y 方向にずらして配置させ、これにより各スルーホール T H は隣接する他のスルーホール T H との離間距離をなるべく遠ざけるように配慮されている。

【0073】

この実施例では、図 7 に示すように、各容量素子 C s t g のうち複数の画素電極 P X を共通に担当させたものも存在するが、このような構成は一のスルーホール T H と隣接する他のスルーホール T H との離間距離で決定されるものであり、必ずしも、薄膜トランジスタ T F T のソース電極からの分岐は各画素電極 P X ごとに定める必要のないものである。

【0074】

実施例 5.

図 8 (a) は、本発明による液晶表示装置の他の実施例を示す平面図で、図 1 (a) に対応した図となっている。

【0075】

図 1 (a) の場合と比較して異なる構成は、まず、薄膜トランジスタ T F T がそれを介して映像信号を供給する画素に対し、ドレイン信号線 D L に沿ってそれに隣接する他の画素 (図中上側の画素) の画素電極 P X にも同一の映像信号線を供給する準備がある構成として

【0076】

すなわち、まず、前記薄膜トランジスタ T F T はドレイン信号線 D L に接続されるドレイン電極 D T を間にして、図中下側に形成したソース電極 S T の他に図中上側にも第 2 ソース電極 S T 2 が形成されている。そして、この第 2 ソース電極 S T 2 はそれが形成された側の画素領域に及んで延在され、かつ分岐されて、それぞれ前記画素領域にて区分された複数 (図では 3 つ) の領域における各画素電極 P X の先端部に重ねられるまで延在されて構成されている。

【0077】

なお、これにより、前記薄膜トランジスタ T F T はドレイン電極 D T を共通とし、ソース電極 S T との間で動作する薄膜トランジスタ T F T を駆動用トランジスタと称し、第 2 ソース電極との間で動作する薄膜トランジスタ T F T を修正用トランジスタと称することができる。

【0078】

通常 (修復前) の状態で、前記各画素電極 P X の先端部と薄膜トランジスタ T F T の第 2 ソース電極 S T 2 は電氣的に接続されていないようになっている。図 8 (b) の断面図で示すように、薄膜トランジスタ T F T の第 2 ソース電極 S T 2 は第 1 保護膜 P A S 1 の下層に配置されているのに対し、前記各画素電極 P X は第 2 保護膜 P A S 2 の上層に配置されているからである。なお、図 8 (b) は図 8 (a) の b - b 線における断面図を示して

【0079】

このような構成において、その製造工程中に、図 9 (a) に示すように、薄膜トランジスタ T F T からの配線の一部に不良、例えば断線 (図中 F G で示す) が生じた場合、薄膜トランジスタ T F T からの信号が画素電極 P X に供給されず、当該薄膜トランジスタ T F T で駆動されるべき画素が全域にわたって黒点となってしまう。

【0080】

この実施例では、該不良画素に対して隣接する他のゲート信号線 G L により駆動される欠陥修正用の薄膜トランジスタ T F T から信号を供給し得るようにすることで、表示を回復することができる。

【0081】

すなわち、前記欠陥FGが発生し、この欠陥FGによって駆動用薄膜トランジスタTF Tから画素電極PXへの信号が供給されない状態になったとき、修正用薄膜トランジスタTF Tからの出力と画素電極PXをレーザー光線等を用いて、それらを電氣的に導通状態にする（図中SHRTで示す）。これにより、修正用薄膜トランジスタTF Tから画素電極PXへ映像信号が供給される状態に戻るため、表示上点欠陥が修復される。

【0082】

ここで、修復された画素に表示される画像は1画素分ずれたものとなるが、同じ色の隣接する画素間で同一の表示を行えば、通常の使用状態で該画素に欠陥があることを認識することは困難であり、実使用上、ほぼ正常な動作に回復することができる。

10

【0083】

なお、レーザー光線による導通を容易にするため、修正用薄膜トランジスタTF Tからの出力は金属層で配線され、絶縁膜を介して画素電極PXと重畳させる構成が望ましい。熱吸収率の良い金属層により、透明基板SUB1の裏面からのレーザー照射による接続が容易に行えるからである。

【0084】

図9（b）は、図9（a）のb-b線における断面図を示し、レーザー光線の照射によって薄膜トランジスタTF Tの第2ソース電極ST 2と画素電極PXとが電氣的に接続されていることを示している。

【0085】

また、図9（c）は、改良された他の実施例を示す図で、図9（b）に対応した図となっている。薄膜トランジスタTF Tの第2ソース電極ST 2と画素電極PXの修復の際の接続を図る個所において、第2絶縁膜PAS 2に孔開けを行なっている。これにより、レーザー光線による前記各部材の接続を容易に行なえる構成としている。図9（d）は、図9（c）の構成において該接続を図った際の断面を示す図である。

20

【0086】

実施例6.

図10は、図9に示した構成の液晶表示装置において、ドレイン信号線DLと薄膜トランジスタTF Tのソース電極STであって、その分岐前の部分とが短絡した場合（図中FGで示す）、その修復の態様を示した図である。

30

【0087】

この場合、前記薄膜トランジスタTF Tのソース電極STから画素領域の区分された各領域における画素電極PXへの接続のための分岐部をたとえばレーザー光線で切断するとともに（図中CUTで示す）、当該画素の図中下側に位置づけられる画素を駆動する薄膜トランジスタTF Tの第2ソース電極ST 2と当該画素電極PXとの接続を図る（図中SHRTで示す）。

【0088】

この修復にあっても、修復された画素に表示される画像は1画素分ずれたものとなるが、同じ色の隣接する画素間で同一の表示を行えば、通常の使用状態で該画素に欠陥があることを認識することは困難であり、実使用上、ほぼ正常な動作に回復することができる。

40

【0089】

実施例7.

図11は、本発明による液晶表示装置の他の実施例を示す図で、図9（a）に対応した図となっている。

【0090】

図9（a）の場合と比較して異なる構成は、まず、薄膜トランジスタTF Tの第2ソース電極ST 2は、その一部がゲート信号線GLおよび容量信号線CLを被い、かつ対向電極CTと同電位に保持される材料層（対向電圧信号線COL）から露出して延在した後に分岐され、その分岐経路の一部が前記材料層側に延在して再度重畳するようにし、該重畳部の一部に設けられたスルーホールTH 5を介して前記第2ソース電極ST 2と前記材料層

50

とを導通状態にした構成となっていることにある。

【0091】

この場合、薄膜トランジスタTFTの第2ソース電極ST2と当該画素の画素電極PXは、図11(a)のb-b線における断面図である図11(b)に示すように、第2保護膜PAS2、第1保護膜PAS1を介して重畳しており、その部分で容量が生じる。

【0092】

このため、この容量により隣接する図中下側の画素の画素電極PXの電位によって前記第2ソース電極ST2の電位が影響されることになる。

【0093】

一方、薄膜トランジスタTFTの第2ソース電極ST2はゲート信号線GLに重畳して形成され、前記第2ソース電極ST2の電位に大幅な変動があると、前記ゲート信号線GLの書き込み特性に影響を及ぼすことがあり得る。特に、表示画像の電圧に大きな差がある場合、例えば隣接する画素で白表示と黒表示がされるような場合に、書き込み特性への影響が生じる。

【0094】

この結果、白と黒の境界部の1ラインで輝度が白と黒の間の値になり、境界が若干ぼやけたように見えるようになる。これは重畳部の容量などの設計で解消することもできるが、原理的に回避するほうが設計の自由度を増し、薄膜トランジスタTFTの第2ソース電極ST2と画素電極PXの重畳部の面積を大きくして欠陥修正をより容易にする上で望ましい。

【0095】

本実施例における構成では、正常な状態において薄膜トランジスタTFTの第2ソース電極ST2の電位がいわゆるコモン電位となって安定化するため、該修正用の薄膜トランジスタTFTによるゲートの書き込みへの影響は画面全体で均一になり、局所的な輝度変動は原理的に生じなくなる。したがって、表示画像としては修正用の薄膜トランジスタTFTによる影響は原理的に解消されることになる。

【0096】

実施例8.

図12(a)は、図11に示した構成の液晶表示装置において、ドレイン信号線DLと薄膜トランジスタTFTのソース電極STであって、その分岐前の部分とが短絡した場合(図中FGで示す)、その修復の態様を示した図である。

【0097】

この場合、前記薄膜トランジスタTFTのソース電極STから画素領域の区分された各領域における画素電極PXへの接続のための分岐部をたとえばレーザー光線で切断するとともに(図中CUTで示す)、当該画素の図中下側に位置づけられる画素を駆動する薄膜トランジスタTFTの第2ソース電極ST2と当該画素電極PXとの接続を図る(図中SHRTで示す)。

【0098】

そして、前記薄膜トランジスタTFTの第2ソース電極ST2と、ゲート信号線GLおよび容量信号線CLを被い、かつ対向電極CTと同電位に保持される材料層とを接続する経路をたとえばレーザー構成の照射によって切断する(図中CUT2で示す)。

【0099】

これにより、前記薄膜トランジスタTFTの第2ソース電極ST2から当該画素への映像信号の供給が可能となり、欠陥修復ができるようになる。

【0100】

欠陥修復後における、図12(a)のb-b線における断面図を図12(b)に示す。

【0101】

この修復にあっても、修復された画素に表示される画像は1画素分ずれたものとなるが、同じ色の隣接する画素間で同一の表示を行えば、通常の使用状態で該画素に欠陥があることを認識することは困難であり、実使用上、ほぼ正常な動作に回復することができる。

【0102】

実施例 9.

図 13 は、本発明による液晶表示装置の他の実施例を示す図で、図 11 (a) に対応した図となっている。

【0103】

図 11 (a) の場合と比較して異なる構成は、まず、薄膜トランジスタ T F T のソース電極 S T の構造にある。

【0104】

該薄膜トランジスタ T F T のチャネル領域のチャネル長はゲート信号線 G L の延在方向に一致づけられて形成されている。これにより、該薄膜トランジスタ T F T のソース電極 S T はゲート信号線 G L の延在方向に直交する方向に延在し、その一端は図中下側に位置づけられる画素領域に延在し、他端は図中上側に位置づけられる画素領域に延在されて形成されている。 10

【0105】

図中下側に位置づけられる画素領域に延在するソース電極 S T は該画素を駆動するための映像信号が供給されるように構成されるが、図中上側に位置づけられる画素領域に延在するソース電極 S T は修復時において該画素の各画素電極 P X に接続し得るように構成されている。

【0106】

このように構成した場合、図 11 に示したように、図中上側に位置づけられる画素領域に延在するソース電極 S T は、ゲート信号線 G L および容量信号線 C L をも被い、かつ対向電極 C T と同電位に保持される材料層 (対向電圧信号線 C O L) との電氣的接続を必要としなくなる。 20

【0107】

図中上側に位置づけられる画素領域に延在するソース電極 S T は図中下側に位置づけられる画素領域に延在するソース電極 S T と同電位になり、図中下側に位置づけられる画素領域に形成される容量素子 C s t g によってその電位は安定化されるようになるからである。

【0108】

実施例 10.

図 14 (a) は、本発明による液晶表示装置の他の実施例を示す図で、図 12 (a) に対応した図となっている。なお、図 14 (a) の b - b 線における断面図を図 14 (b) に示す。 30

【0109】

図 12 (a) の場合と比較して異なる構成は、まず、薄膜トランジスタ T F T に対して図中上側に位置づけられる画素領域に延在される該薄膜トランジスタ T F T の第 2 ソース電極 S T 2 が形成されていないことにある。

【0110】

そして、ゲート信号線 G L およびそれに近接して隣接配置される容量信号線 C L のいずれも交差するようにして形成された導電層 P X M を有し、この導電層 P X M はたとえばドレイン信号線 D L と同層に形成されている。 40

【0111】

該導電層 P X M の一端は、図中上側に位置づけられる画素領域の画素電極 P X の一端に重畳するようにして延在され、その延在部にて第 2 保護膜 P A S 2、第 1 保護膜 P A S 1 を貫通するスルーホール T H 5 を通して該画素電極 P X に接続されている。また、該導電層 P X M の他端は前記容量信号線 C L に第 1 絶縁膜 G I を介して重畳されている。

【0112】

このように構成した場合、図中上側に位置づけられる画素領域の画素電極 P X は、該画素領域とは異なる隣接画素領域のゲート信号線 G L との間に容量 C a d d を構成し、容量信号線 C L との間に容量 C s t g を構成するようになる。 50

【0113】

他の実施例として、図中上側に位置づけられる画素領域の画素電極 P X をそのまま延在させ、該画素領域とは異なる隣接画素領域のゲート信号線 G L および容量信号線 C L に交差するように構成しても同様な効果を奏するが、本実施例の場合、前記ゲート信号線 G L および容量信号線 C L を被い、かつ対向電極 C T と同電位の材料層（対向電圧信号線 C O L）が該画素電極 P X と同層で存在するため、該画素電極 P X と異なる層で形成した前記導電層 P X M によって、前記各容量 C a d d、C s t g を設けるようにしている。

【0114】

実施例 11.

図 15 (a) は、図 14 に示した構成の液晶表示装置において、たとえばその薄膜トランジスタ T F T のソース電極 S T が図中下側の画素領域の各画素電極 P X への接続経路にて断線（図中 F G で示す）が生じ、いわゆる点欠陥が発生した場合の修復の態様を示す図である。 10

【0115】

まず、図中下側の画素領域における容量信号線 C L を電氣的に孤立させるため、各容量素子 C s t g 1、C s t g 2、C s t g 3 を間にした各脇部をたとえばレーザー光線で切断する（図中 C U T 1、C U T 2 で示す）。これにより、フローティングの導電層が得られる。

【0116】

そして、このフローティングされた導電層と前記導電層 P X M とをたとえばレーザー光線を用いて電氣的に接続し（図中 S H R T で示す）、さらに、該導電層 P X M とその下層の容量信号線 C L とをたとえばレーザー光線を用いて電氣的に接続する。 20

【0117】

これにより、図中下側の画素領域の各画素電極 P X は、図中上側の画素領域の各画素電極 P X と同電位になり、換言すれば、図中下側の画素領域の各画素電極 P X に図中上側の画素領域の映像信号が供給されることになる。したがって、画素の欠陥を回復することができる。

【0118】

図 15 (a) の b-b 線における断面図である図 15 (b) に示すように、ソース電極 S T と画素電極 P X の接続が示されていないが、平面図から明らかなように、スルーホール T H 3 により該ソース電極 S T と画素電極 P X が接続しているため、ソース電極 S T と容量信号線 C L を接続すれば隣接する 2 個の画素の画素電極 P X が電氣的に接続できる。 30

【0119】

なお、対向電極 C T は容量信号線 C L とスルーホール T H 4 で接続されているため、たとえば容量信号線 C L を上述のように切断しても他の画素経由で容量信号線 C L と対向電極 C T の電氣的接続は正常に維持されることになる。

【0120】

ここで、図 15 (a) にも示されているように、ゲート信号線 G L を充分被って形成され、かつ対向電極 C T と同電位に保持される材料層（対向電圧信号線 C O L）は、容量信号線 C L 上の容量素子 C s t g 1、C s t g 2、C s t g 3 が形成されている部分を露出するように形成され、これにより、該容量信号線 C L のレーザー光線による切断を容易にする構成となっている。 40

【0121】

また、この切断は直線状で実施することにより修正時間の短縮、確実化が図れるため、本実施例ではゲート信号線 G L の一部を切り欠いて、他の電極からゲート信号線 G L が露出した直線状の領域を確保している。

【0122】

実施例 12.

図 16 は、本発明による液晶表示装置の他の実施例を示す図で、図 14 (a) に対応する図である。図 14 (a) の場合と比較して異なる構成は、薄膜トランジスタ T F T のソー 50

ス電極 S T から、たとえば 3 つに区分された画素領域の各画素電極 P X にそれぞれ分岐されて映像信号が供給される経路において、もう一つの分岐経路を形成し、この分岐経路 S P を容量信号線 C L に第 1 絶縁膜 G I を介して重畳させて構成したものである。

【0123】

この場合、実施例 1 1 に示したような点欠陥が生じた際には、該実施例 1 1 に示したように容量信号線 C L とたとえば 3 つに区分された画素領域の各画素電極 P X との短絡作業を、容量信号線 C L と前記分岐経路 S P との短絡作業に替えることができる。これにより、修復作業の効率化が図れるようになる。

【0124】

実施例 1 3 .

10

図 1 7 は、本発明による液晶表示装置の画素の他の実施例を示す平面図である。

図 1 7 に示す画素は上述の各実施例と示した画素と異なりいわゆる縦電界方式と称されるものである。すなわち、液晶を介して対向配置される各透明基板のうち一方の透明基板 S U B 1 の液晶側の面の各画素領域のそれぞれにそのほぼ全域を被って透光性の導電層からなる画素電極 P X が形成され、他方の透明基板 S U B 2 の液晶側の面には各画素領域に共通なやはり透光性の導電層からなる対向電極 C T が形成されている。

【0125】

各画素領域において独立に映像信号が供給される画素電極 P X と該映像信号に対して基準となる基準信号が供給される対向電極 C T との間に、すなわち透明基板に対してほぼ垂直方向の電界が発生することにより、それら電極の間の液晶の光透過率を制御できるように構成されている。

20

【0126】

なお、各画素領域は、上述した各実施例の画素と同様に、たとえば x 方向に延在し y 方向に並設されるゲート信号線 G L と y 方向に延在し x 方向に並設されるドレイン信号線 D L とで囲まれた領域とし、この画素領域の前記画素電極 P X には、片側のゲート信号線 G L からの走査信号によって O N される薄膜トランジスタ T F T を介して片側のドレイン信号線 D L から映像信号が供給されるようになっている。

【0127】

そして、前記画素領域は、図中 x 方向にたとえば 3 つの領域に区分けされ、それぞれの各領域にそれぞれ電氣的に独立した画素電極 P X 1、P X 2、P X 3 が形成されている。

30

【0128】

これらの各画素電極 P X 1、P X 2、P X 3 には、当該画素を駆動させる薄膜トランジスタ T F T のソース電極 S T から 3 つに分岐された経路を介して映像信号が供給されるように構成されている。

【0129】

また、前記各画素電極 P X 1、P X 2、P X 3 と前記薄膜トランジスタ T F T との間には該薄膜トランジスタ T F T を駆動させるゲート信号線 G L と近接かつ平行に配置される容量信号線 C L が形成され、この容量信号線 C L 上にて区分された画素領域の各領域ごとに容量素子 C s t g 1、C s t g 2、C s t g 3 が形成されている。

【0130】

40

すなわち、前記薄膜トランジスタ T F T のソース電極 S T から前記経路を経て分岐された一の映像信号は画素電極 P X 1 に供給されるとともにその映像信号は容量素子 C s t g 1 によって蓄積され、他の一の映像信号は画素電極 P X 2 に供給されるとともにその映像信号は容量素子 C s t g 2 によって蓄積され、他の残りの映像信号は画素電極 P X 3 に供給されるとともにその映像信号は容量素子 C s t g 3 によって蓄積されるようになっている。

【0131】

ここで、各容量素子 C s t g 1、C s t g 2、C s t g 3 はそれぞれ、実施例 1 に示した構成と同様、容量信号線 C L、その上面に形成された第 1 絶縁膜 G I、その上面に形成されたソース電極 S T の分岐された延在部、その上面に形成された第 1 保護膜 P A S 1、第

50

2 保護膜 P A S 2、その上面に形成され、かつ第 2 保護膜 P A S 2、第 1 保護膜 P A S 1 を貫通するスルーホール T H 1、T H 2、T H 3を通して前記ソース電極 S T の分岐された各延在部と電氣的に接続される画素電極 P X 1、P X 2、P X 3とで形成されている。

【0132】

図 18 (a) は、図 17 の X V I I I - X V I I I 線における断面図を示しており、前記画素電極 P X は 3 個に分離されて画素電極 P X 1、P X 2、P X 3 から構成されていることを明らかにし、また、透明基板 S U B 2 の液晶側の面には各画素に共通に形成された対向電極 C T が備えられている。

【0133】

この場合、液晶 L C は透明基板 S U B 1、S U B 2 に垂直な成分を有する電界によって挙動するものを用いているため、各画素電極 P X 1、P X 2、P X 3 の分離部においていわゆるドメインが発生する憂いが生じる。 10

【0134】

図 18 (b) は、このような憂いを解消した他の実施例を示す断面図で、図 18 (a) に対応する図となっている。前記対向電極 C T にたとえばスリット S L T を形成し、このスリット S L T は各画素電極 P X 1、P X 2、P X 3 のほぼ中央に対向して y 方向に延在するように配置されるようにしたものである。換言すれば、一画素領域において、各画素電極 P X 1、P X 2、P X 3 とほぼ同様のパターンからなる各対向電極 C T が、該画素電極 P X に対してずれて配置されている。図では、一例として半ピッチ分 x 方向にシフトしたように配置されている。 20

【0135】

この場合、液晶 L C としては、透明基板 S U B 1、S U B 2 の垂直方向に対して僅かな角度を有する方向に沿った成分を有する電界によって挙動するものを用いる。これは、いわゆる垂直配向方式と称されるものである。

【0136】

このように構成することによって、いわゆるドメインが発生することはなく、画素電極 P X を分離させた場合における不都合を解消することができる。

【0137】

実施例 14.

図 19 は、本発明による液晶表示装置の他の実施例を示す平面図で、図 17 に対応した図である。 30

【0138】

図 17 の場合と比較して異なる構成は、一画素領域の区分けされた各領域にそれぞれ画素電極 P X 1、P X 2、P X 3 を形成した結果、該画素電極 P X 1 と P X 2 との分離個所、および該画素電極 P X 2 と P X 3 との分離個所にそれぞれ遮光層 S M を形成し、この部分に発生するいわゆるドメインを目視できないように構成していることにある。

【0139】

このため、該遮光層 S M は、各画素電極 P X の分離個所を十分に被うため、その延在方向に対して左右両側の辺は分離された各画素電極 P X の辺と重畳できるように、十分な幅を有している。 40

【0140】

図 19 の I I X - I I X 線における断面図である図 20 (a) に示すように、前記遮光層 S M は、たとえば透明基板 S U B 1 側において、ドレイン信号線 D L と同層に、すなわち第 1 絶縁膜 G I の上面に、該ドレイン信号線 D L の材料と同一の材料で形成されている。

【0141】

また、他の実施例として、前記遮光層 S M は、図 20 (a) に対応する図である図 20 (b) に示すように、やはり透明基板 S U B 1 側において、ゲート信号線 G L と同層に、すなわち透明基板 S U B 1 の上面に、該ゲート信号線 G L の材料と同一の材料で形成するようにしてもよい。

【0142】

実施例 15.

図 21 (a) は、本発明による液晶表示装置の他の実施例を示す平面図で、図 19 に対応した図である。なお、図 21 (b) は図 21 (a) の b-b 線における断面図を示している。

【0143】

図 19 の場合と比較して異なる構成は、画素電極 P X 1 と P X 2 の分離個所および画素電極 P X 2 と P X 3 の分離個所に形成された遮光膜 S M は、走査信号線 G L と同層に、すなわち透明基板 S U B 1 の上面に形成し、かつ該走査信号線 G L と電氣的に接続されるように形成したことにある。

【0144】

このように構成することにより、各画素電極 P X の分離個所における前記遮光膜 S M との重畳部分は第 2 保護膜 P A S 2、第 1 保護膜 P A S 1、第 1 絶縁膜 G I を誘電体膜とする容量素子 C a d d 1、C a d d 2、C a d d 3 が形成されることになる。このため、他の容量素子 C s t g 1、C s t g 2、C s t g 3 とともに、容量素子の容量を大きく形成することができる効果を奏する。

【0145】

なお、図 22 は、図 21 (b) に対応する図であり、遮光膜 S M と各画素電極 P X との間に容量素子 C a d d が形成されていることを断面的に示したものである。

【0146】

なお、この遮光膜 S M は走査信号線 G L と接続する代わりに、容量信号線 C L と接続してもよい。この場合、容量素子 C s t g 1、C s t g 2、C s t g 3 として容量素子 C s t g の容量を増加できる。

【0147】

実施例 16.

図 23 は、本発明による液晶表示装置の他の実施例を示す平面図で、図 21 (a) に対応した図である。

【0148】

図 21 (a) の場合と比較して異なる構成は、まず、画素電極 P X 1 と P X 2 の分離個所に形成された遮光膜 S M は、ゲート信号線 G L と同層に、すなわち透明基板 S U B 1 の上面に形成し、かつ該ゲート信号線 G L と電氣的に接続されるように形成したことにある。そして、この液晶表示装置において、容量信号線 C L を形成しない構成としている。

【0149】

各画素領域に形成する容量素子が、各画素電極 P X の分離個所における前記遮光膜 S L との重畳部分にて形成される容量素子 C a d d 1、C a d d 2、C a d d 3 で十分な場合に適用でき、このため、画素電極 P X と容量信号線 C L との間に形成する容量素子 C s t g 1、C s t g 2、C s t g 3 を特に設けることのない構成としている。

【0150】

また、このような構成によれば、容量信号線 C L を形成しない構成となっていることから、各画素の面積を大きくできることになる。

【0151】

実施例 17.

図 24 は、本発明による液晶表示装置の他の実施例を示す平面図で、図 17 に対応した図となっている。また、図 24 の I I X V-I I X V 線における断面図を図 25 に示している。

【0152】

図 17 の場合と比較して異なる構成は、各画素電極 P X 1、P X 2、P X 3 のそれぞれは、その中央部にて屈曲されたパターンをなし、ほぼ“く”の字状をなしている。

【0153】

これにともない、画素電極 P X 1、P X 3 に隣接して配置されるドレイン信号線 D L もほぼ“く”の字状をなして形成されている。

10

20

30

40

50

【0154】

この場合においても、図17に示したと同様、前記各画素電極PX1、PX2、PX3と薄膜トランジスタTFTとの間には該薄膜トランジスタTFTを駆動させるゲート信号線GLと近接かつ平行に配置される容量信号線CLが形成され、この容量信号線CL上にて区分された画素領域の各領域ごとに容量素子Cstg1、Cstg2、Cstg3が形成されている。

【0155】

すなわち、前記薄膜トランジスタTFTのソース電極STから前記経路を経て分岐された一の映像信号は画素電極PX1に供給されるとともにその映像信号は容量素子Cstg1によって蓄積され、他の一の映像信号は画素電極PX2に供給されるとともにその映像信号は容量素子Cstg2によって蓄積され、他の残りの映像信号は画素電極PX3に供給されるとともにその映像信号は容量素子Cstg3によって蓄積されるようになっている。

10

【0156】

この場合においても、図25(a)に示すように、透明基板SUB2側に形成する対向電極CTは各画素に共通に全面的に導電層を形成して構成してもよく、また、図25(b)に示すように、該対向電極CTにたとえばスリットSLTを形成し、このスリットSLTは各画素電極PX1、PX2、PX3のほぼ中央に対向してy方向に延在するように配置されるようにしたものである。この場合のスリットSLTは屈曲を有することはいうまでもない。

20

【0157】

実施例18.

図26は、本発明による液晶表示装置の他の実施例を示す平面図で、図24に対応した図となっている。

【0158】

図24の場合と比較して異なる構成は、まず、容量信号線CLが存在しない構成となっている。そして、各画素電極PX1、PX2、PX3の各一端部はゲート信号線GLに重畳するように延在され、その重畳部には、それぞれ容量素子Cadd1、Cadd2、Cadd3を構成するようになっている。

【0159】

なお、この構成では、透明基板SUB2側の対向電極CTは、各画素電極PX1、PX2、PX3とほぼ同様のパターンからなり、該画素電極PXに対して半ピッチ分x方向にシフトしたように配置されるようになっており、これにより、各画素電極PXの分離個所におけるいわゆるドメインの発生を防止している。

30

【0160】

また、前記容量素子Cadd1、Cadd2、Cadd3の形成領域は、ブラックマトリクスBMに覆われており、換言すれば、このブラックマトリクスBMの下方にて前記容量素子Cadd1、Cadd2、Cadd3を形成していることから、画素のいわゆる開口率を向上させることができる。

【0161】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

40

【0162】

また、点欠陥を低減できる本発明は、有機、有機EL等、液晶以外の表示装置にも適用できることはいうまでもない。

【0163】

【発明の効果】

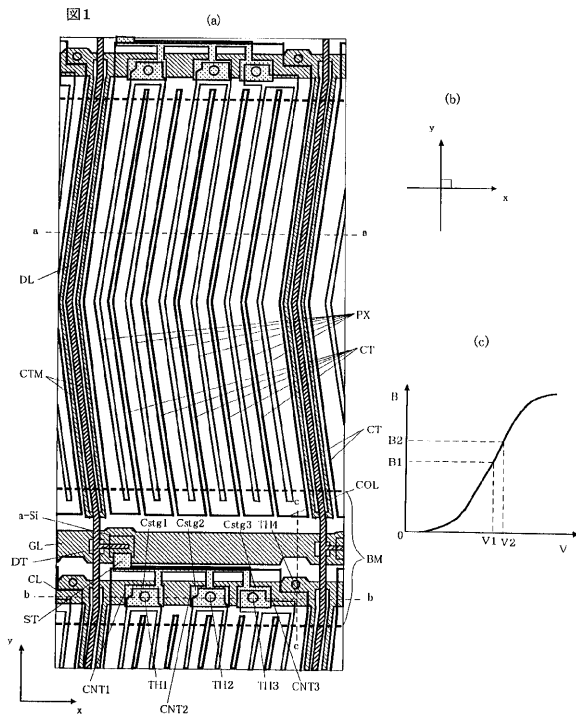
以上説明したことから明らかとなるように、本発明による液晶表示装置によれば、点欠陥の修復による黒表示の弊害を回避させた液晶表示装置を提供するにある。

【図面の簡単な説明】

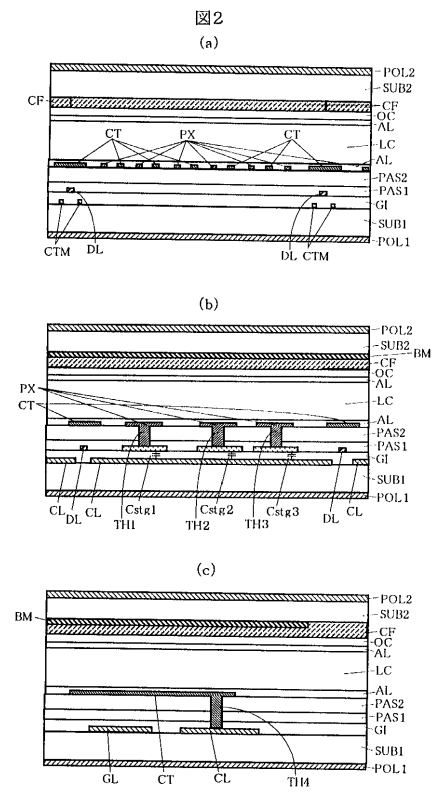
50

- 【図 1】本発明による液晶表示装置の画素の一実施例を示す平面図である。
- 【図 2】図 1 の要部における断面を示した図である。
- 【図 3】図 1 に示す液晶表示装置の画素欠陥の修復の態様を示す図である。
- 【図 4】本発明による液晶表示装置の画素の他の実施例を示す平面図である。
- 【図 5】本発明による液晶表示装置の画素の他の実施例を示す平面図である。
- 【図 6】図 5 の要部における断面を示した図である。
- 【図 7】本発明による液晶表示装置の画素の他の実施例を示す平面図である。
- 【図 8】本発明による液晶表示装置の画素の他の実施例を示す平面図である。
- 【図 9】本発明による液晶表示装置の画素の他の実施例を示す構成図である。
- 【図 10】本発明による液晶表示装置の画素の他の実施例を示す平面図である。 10
- 【図 11】本発明による液晶表示装置の画素の他の実施例を示す構成図である。
- 【図 12】図 11 に示す液晶表示装置の画素欠陥の修復の態様を示す図である。
- 【図 13】本発明による液晶表示装置の画素の他の実施例を示す平面図である。
- 【図 14】本発明による液晶表示装置の画素の他の実施例を示す構成図である。
- 【図 15】本発明による液晶表示装置の画素の他の実施例を示す構成図である。
- 【図 16】本発明による液晶表示装置の画素の他の実施例を示す平面図である。
- 【図 17】本発明による液晶表示装置の画素の他の実施例を示す平面図である。
- 【図 18】図 17 の X V I I I - X V I I I 線における断面図である。
- 【図 19】本発明による液晶表示装置の画素の他の実施例を示す平面図である。
- 【図 20】図 19 の I I X - I I X 線における断面図である。 20
- 【図 21】本発明による液晶表示装置の画素の他の実施例を示す平面図および断面図である。
- 【図 22】図 21 に示す構成において容量素子が形成されていることを断面的に示した図である。
- 【図 23】本発明による液晶表示装置の画素の他の実施例を示す平面図である。
- 【図 24】本発明による液晶表示装置の画素の他の実施例を示す平面図である。
- 【図 25】図 24 の I I X V - I I X V 線における断面図である。
- 【図 26】本発明による液晶表示装置の画素の他の実施例を示す平面図である。
- 【符号の説明】
- S U B …透明基板、G L …ゲート信号線、D L …ドレイン信号線、T F T …薄膜トランジスタ、D T …ドレイン電極、S T …ソース電極、P X …画素電極、C T …対向電極、C L …容量信号線、C O L …対向電圧信号線、C s t g、C a d d …容量素子、B M …ブラックマトリクス、T H …スルーホール、S M …遮光膜。 30

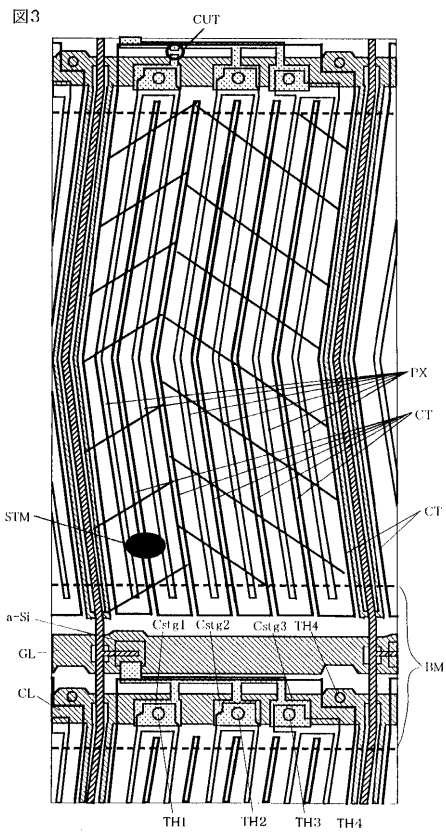
【図 1】



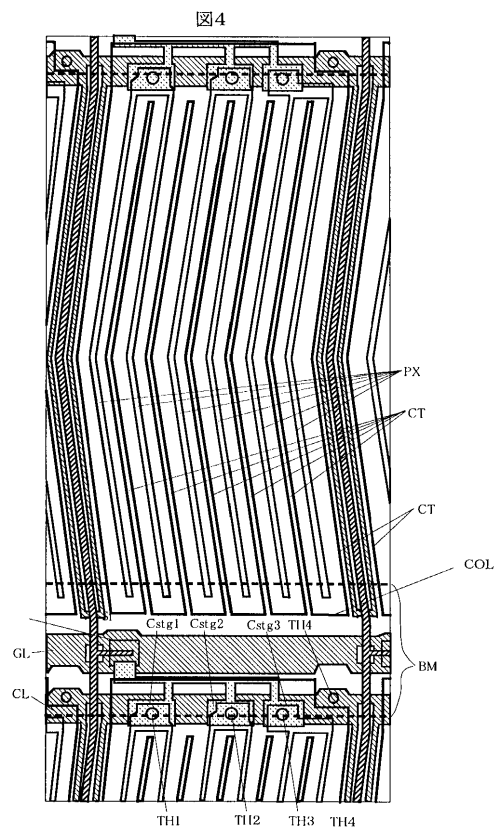
【図 2】



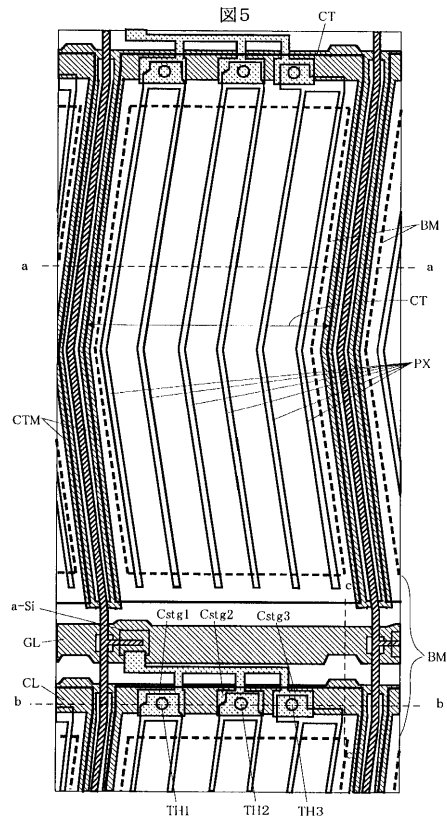
【図 3】



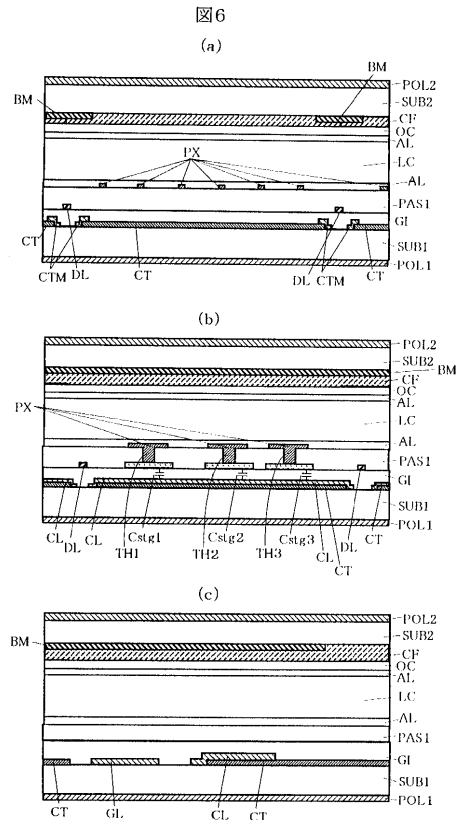
【図 4】



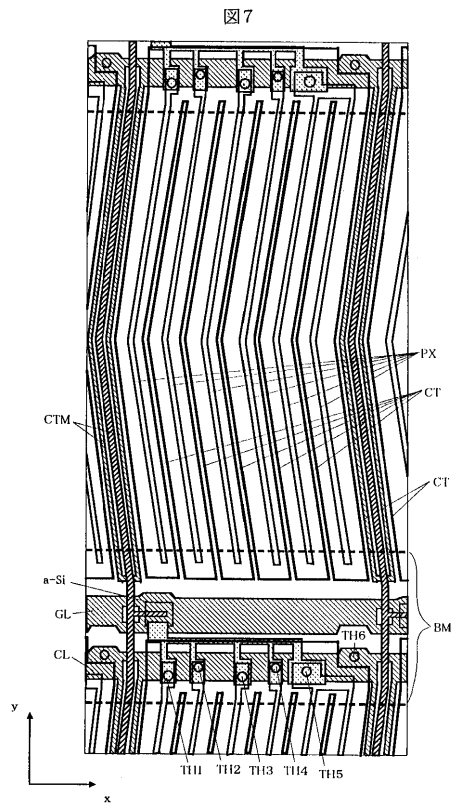
【 図 5 】



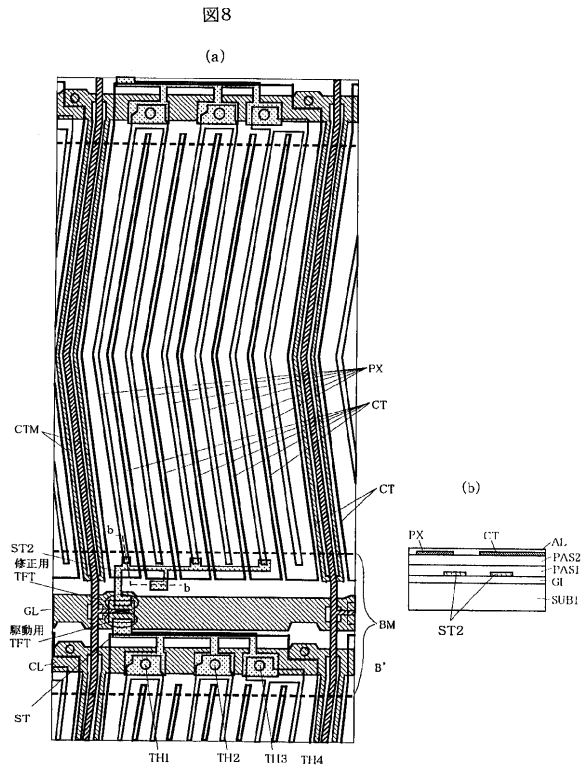
【図 6】



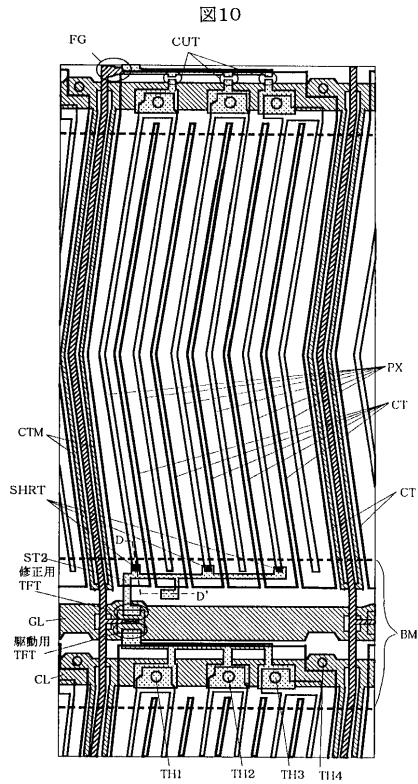
【图 7】



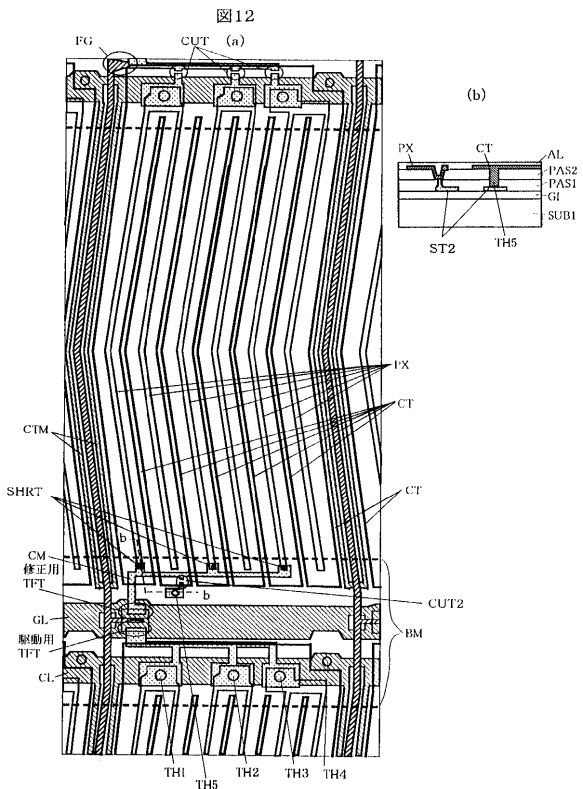
【 図 8 】



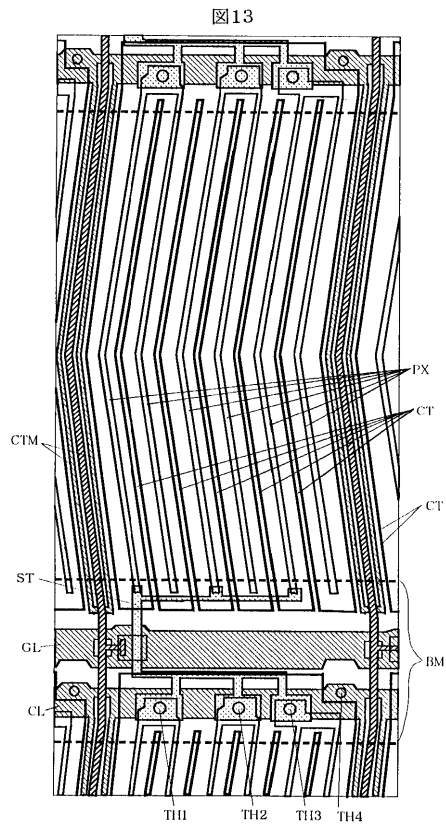
【 図 1 0 】



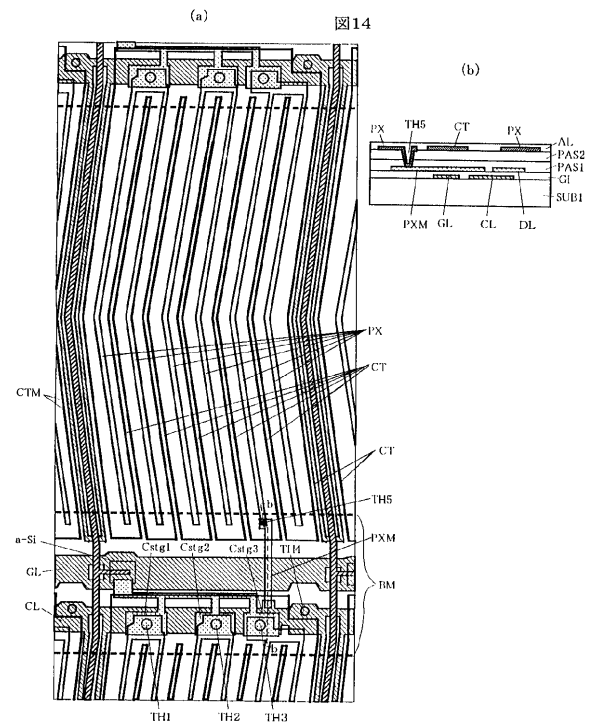
【图 12】



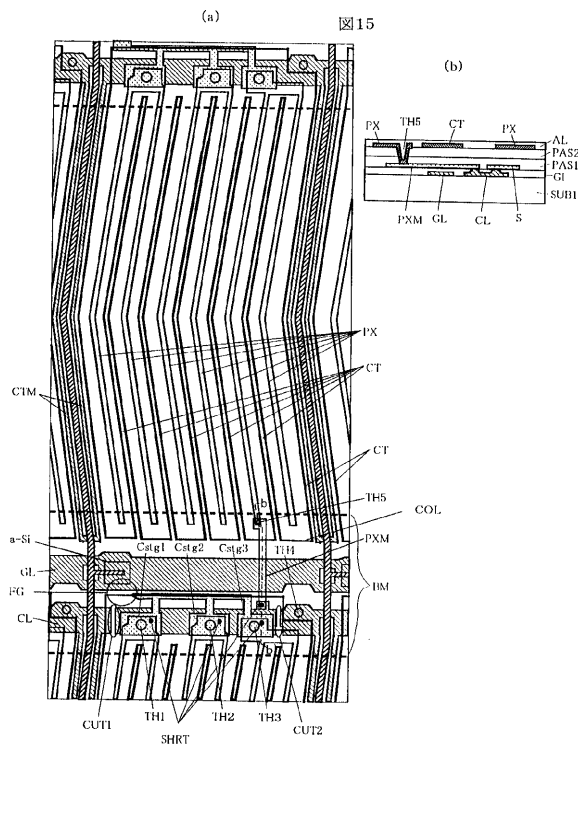
【図 13】



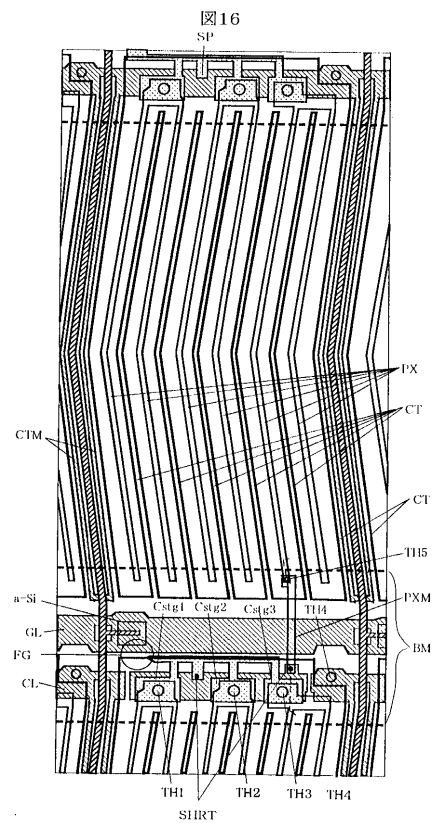
【図 14】



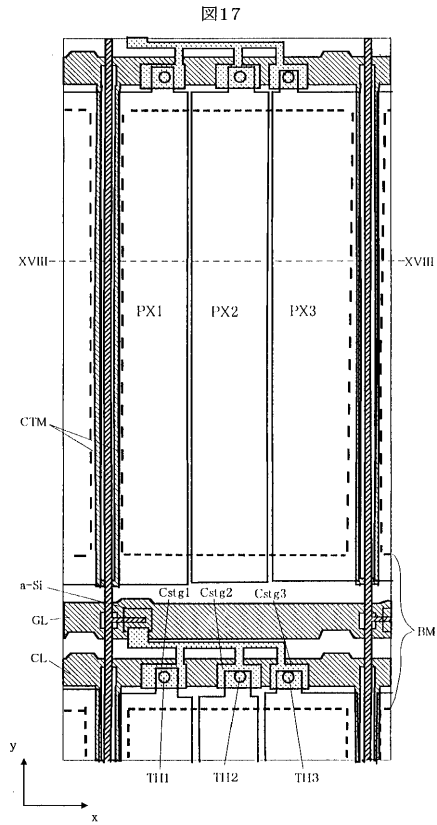
【図 15】



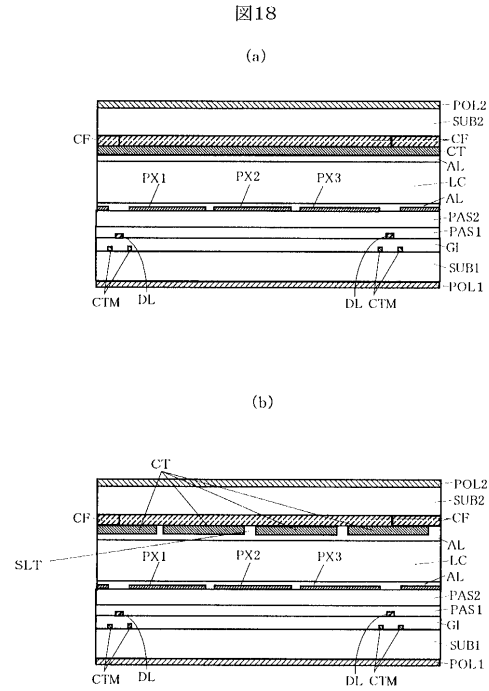
【図 16】



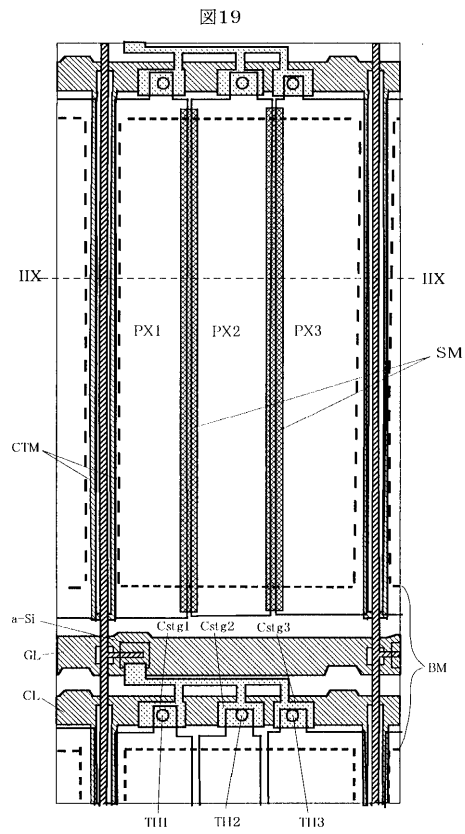
【図 17】



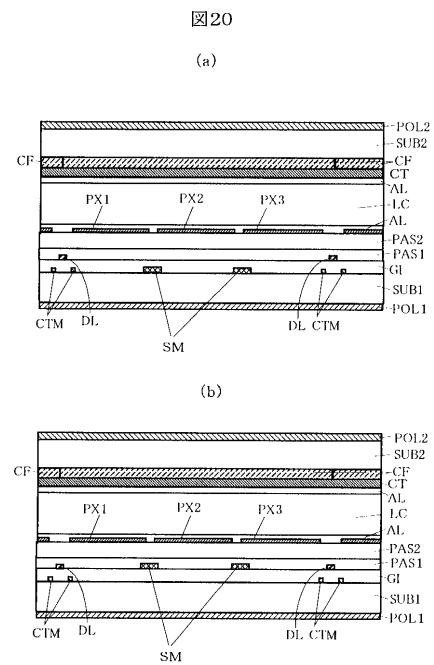
【図 18】



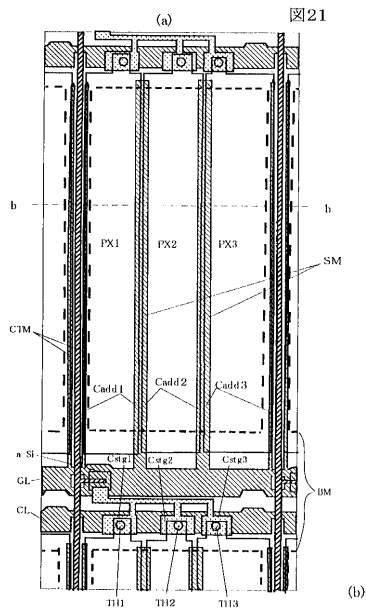
【図 19】



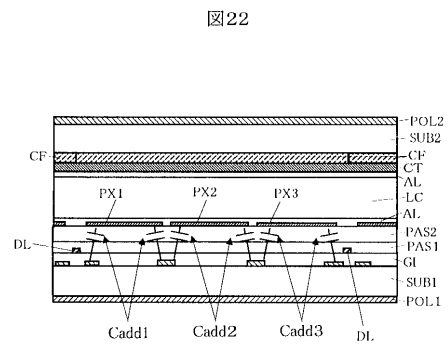
【図 20】



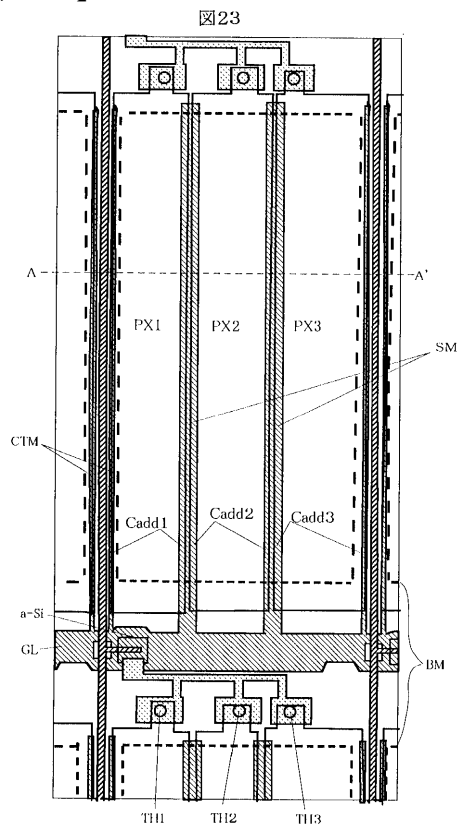
【図 2 1】



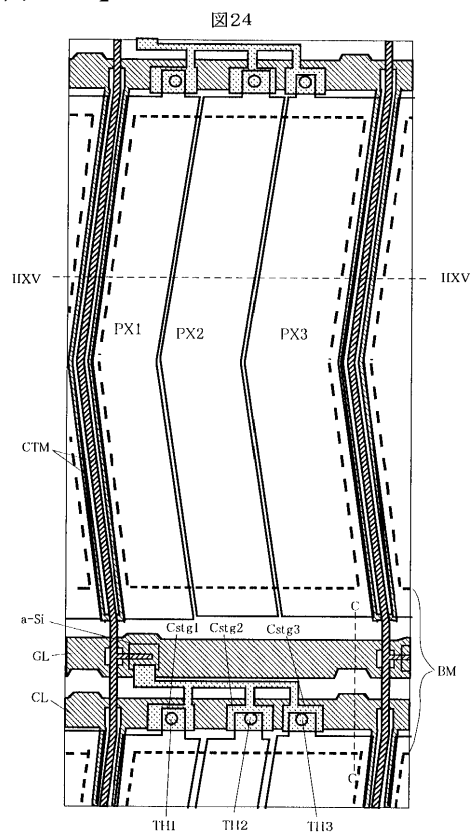
【図 2 2】



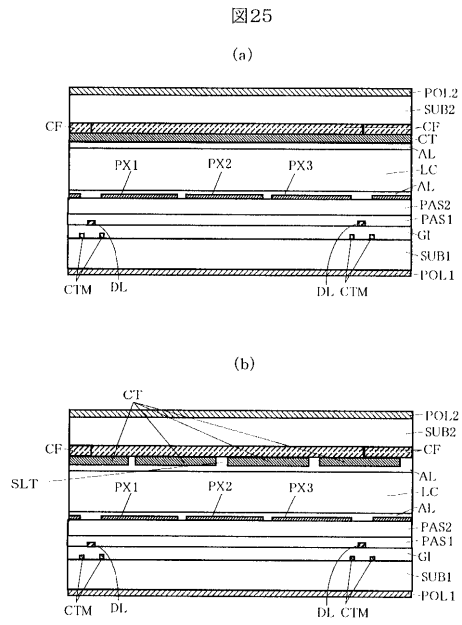
【図 2 3】



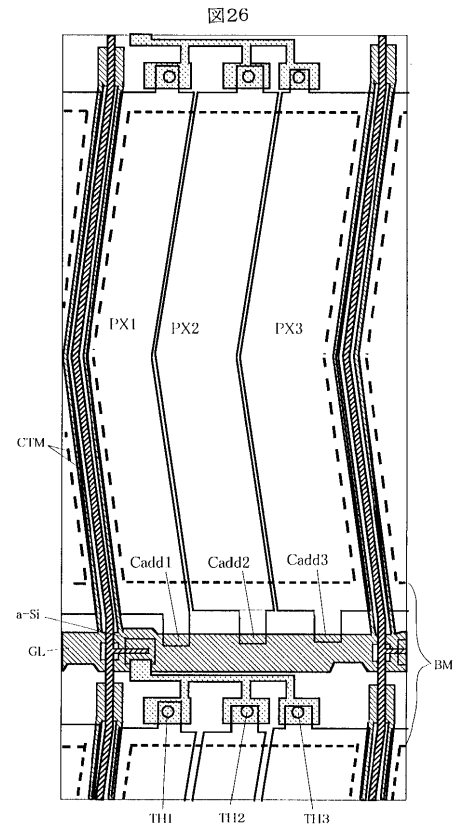
【図 2 4】



【図 25】



【図 26】



フロントページの続き

(72)発明者 宮▲崎▼ 貴弘

千葉県茂原市早野3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

Fターム(参考) 2H092 GA14 JA24 JA45 JB05 JB56 JB57 JB64 JB69 JB73 JB75

MA48 NA29

专利名称(译)	表示装置		
公开(公告)号	JP2004361700A	公开(公告)日	2004-12-24
申请号	JP2003160400	申请日	2003-06-05
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	日立显示器有限公司 日立设备工程有限公司		
[标]发明人	大津亮一 中山貴徳 宮崎貴弘		
发明人	大津 亮一 中山 貴徳 宮▲崎▼ 貴弘		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1362		
CPC分类号	G02F1/134363 G02F2001/136263		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/JA24 2H092/JA45 2H092/JB05 2H092/JB56 2H092/JB57 2H092/JB64 2H092/JB69 2H092/JB73 2H092/JB75 2H092/MA48 2H092/NA29 2H092/JB32 2H192/AA24 2H192/BA13 2H192/BA23 2H192/BB03 2H192/BB13 2H192/BB53 2H192/BB73 2H192/BC14 2H192/BC31 2H192/CB05 2H192/CB12 2H192/CC04 2H192/CC55 2H192/DA02 2H192/DA12 2H192/DA32 2H192/DA43 2H192/EA02 2H192/EA22 2H192/EA43 2H192/EA67 2H192/GA03 2H192/GD14 2H192/HB34 2H192/HB44 2H192/HB46 2H192/HB64 2H192/JA13		
其他公开文献	JP4424925B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：获得一种液晶显示装置，该液晶显示装置避免了由于点缺陷的修复而引起的黑色显示的不利影响。来自漏极信号的图像通过由来自栅极信号线GL的扫描信号驱动的开关元件通过，在被布置为彼此面对的基板之一的液晶侧上的每个像素区域中，在它们之间插入有液晶。提供被提供信号的像素电极PX和经由介电膜形成在像素电极PX和电容信号线CL之间的电容元件Cstg，并且像素区域被划分为多个区域。通过从开关元件分支的路径，将视频信号提供给那些部分中的每个像素电极PX和电容元件Cstg。[选型图]图1

