

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-272208

(P2004-272208A)

(43) 公開日 平成16年9月30日(2004.9.30)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G O 9 G 3/36	2 H O 9 3
G02F 1/133	G O 2 F 1/133 5 O 5	5 C O O 6
G09G 3/20	G O 2 F 1/133 5 5 O	5 C O 8 O
	G O 9 G 3/20 6 1 2 J	
	G O 9 G 3/20 6 2 1 L	
審査請求 未請求 請求項の数 3 O L (全 8 頁) 最終頁に続く		
(21) 出願番号	特願2003-351351 (P2003-351351)	(71) 出願人 303016487
(22) 出願日	平成15年10月9日 (2003.10.9)	ビオイ ハイディス テクノロジー カン
(31) 優先権主張番号	2003-013391	パニー リミテッド
(32) 優先日	平成15年3月4日 (2003.3.4)	大韓民国京畿道利川市夫鉢邑牙美里山 1 3
(33) 優先権主張国	韓国 (KR)	6 - 1
		(74) 代理人 110000051
		特許業務法人共生国際特許事務所
		(72) 発明者 鄭 韻 衡
		大韓民国 ソウル市 瑞草區 盤浦 1 洞
		サムホ ガーデンアパート 7 - 8 0 6
	F ターム (参考)	2H093 NC09 NC16 NC22 NC26 NC34
		ND34 ND48 ND49 ND52 ND53
		ND55 ND60
最終頁に続く		

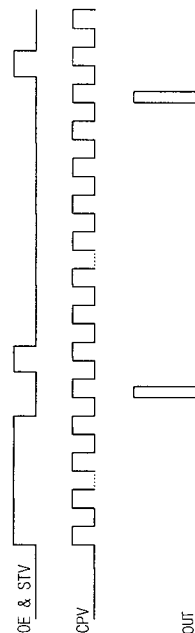
(54) 【発明の名称】 液晶表示装置の駆動装置

(57) 【要約】

【課題】 PCB及び／又はガラス基板上に配線を配置する設計を容易にし、信号干渉を減少し、タイミング制御機AS I Cの回路ブロックを単純化してチップ面積を減少できるように、前記AS I Cとゲート駆動ICの間の、制御信号線の本数を削減した液晶表示装置の駆動装置を提供する。

【解決手段】 タイミング制御部と；シフトレジスターと出力回路を有するゲート駆動部と；前記シフトレジスターをイネーブルするデータキャリー信号（STV）と前記出力回路によるデータ出力を制御する信号（OE）を、一つの信号線を使用して転送する制御信号転送線と；を含み、STVとOEは上昇エッジトリガ方式、レベルトリガ方式を各々使用し、またはSTVとOEの重複を防止するため、前記シフトレジスターを利用してSTVのラッチ時点の一クロック後にOEを転送する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

液晶表示装置の駆動装置において、
タイミング制御部と；
シフトレジスターと出力回路を有するゲート駆動部と；
前記シフトレジスターをイネーブルするデータキャリー信号と前記出力回路によるデータ出力を制御する出力制御信号を、一つの信号線を使用して転送する制御信号転送線と；
を含むことを特徴とする液晶表示装置の駆動装置。

【請求項 2】

前記データキャリー信号は上昇エッジトリガ方式を使用し、前記出力制御信号はレベルトリガ方式を使用することを特徴とする請求項 1 に記載の液晶表示装置の駆動装置。 10

【請求項 3】

前記データキャリー信号と前記出力制御信号の重複を防止するために、前記シフトレジスターを利用して前記データキャリー信号をラッチした時点のクロック後に、前記出力制御信号を転送することを特徴とする請求項 1 に記載の液晶表示装置の駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置の駆動装置に係り、特に液晶表示装置の駆動装置の、タイミング制御機 A S I C (A p p l i c a t i o n S p e c i f i c I n t e g r a t e d C i r c u i t、特定用途集積回路) とゲート駆動 I C (I n t e g r a t e d C i r c u i t) との間の制御信号を転送する方式に関するものである。 20

【背景技術】

【0002】

既存の液晶表示装置 (L i q u i d C r y s t a l D i s p l a y ; 以下「LCD」と略する) の駆動のためには、LCD パネルにおいて、画素である、例えば T F T (T h i n F i l m T r a n s i s t o r) を駆動する、ソース駆動 I C 及びゲート駆動 I C からなるドライブ I C と、タイミング制御機 A S I C と、アナログ回路と、を含む各種の制御 I C を必要とする。タイミング制御機 A S I C の主な役割は、ホストインターフェース (H o s t I n t e r f a c e) を通じて R G B 信号を受け、ソース駆動 I C とゲート駆動 I C を、各々にデータを分配して制御する、ことである。 30

【0003】

ソース駆動 I C を制御する目的でタイミング制御機 A S I C が生成する主な制御信号としては、ソース駆動 I C にデータの開始を知らせるキャリー信号 (S T H) 、出力電圧の極性を知らせる信号 (P O L) 、データラッチと出力を知らせる信号 (L O A D) がある。そして、ゲート駆動 I C を制御する目的でタイミング制御機 A S I C が生成する主な制御信号としては、ゲート駆動 I C にデータの開始を知らせるキャリー信号 (S T V) 、ゲート駆動 I C を駆動するクロック信号 (C P V) 、出力制御信号 (O E) がある。

【0004】

T F T L C D の駆動装置の制御 I C において、画素駆動 I C 、すなわちドライブ I C の映像データ信号と制御信号は、印刷回路基板 (P C B) 上をバス形態で転送される。これに必要な 36 本ないし 48 本の映像データ信号線と 10 余本の制御信号線の設計に当たっては、非常に高度の技術が必要である。特に印刷回路基板 (P C B) を使わず、T F T L C D ガラス基板に直接搭載されるゲート駆動 I C の開発に伴い、ゲート駆動 I C への配線はガラス基板上にパターンを作らなければならないので、高難度の技術が必要である。 40

【0005】

これに対して、既存の L C D 駆動 I C 、すなわちドライブ I C のデータは、基本映像データ及びいろいろな信号処理のためのデータを含むので、データ量を減らす必要がある。特に解像度とデータビット数が上がるにつれて、P C B 及び／又はガラス基板の最適設計 50

のためには信号線の本数の削減が不可欠である。

【0006】

【特許文献1】特開2003-228338号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

従って、本発明は、前記の問題を解決するために、ゲート駆動ICの信号線の本数を減らすことを目的とする。

【課題を解決するための手段】

【0008】

前記の目的を達成するため、本発明に係る液晶表示装置の駆動装置は、タイミング制御部と；シフトレジスターと出力回路を有するゲート駆動部と；前記シフトレジスターをイネーブルするデータキャリー信号（STV）と前記出力回路によるデータ出力を制御する信号（OE）を、一つの信号線を使用して転送する制御信号転送線と；を含むことを特徴とする。

【0009】

好ましくは、前記データキャリー信号（STV）は上昇エッジトリガ方式を使用し、前記出力制御信号（OE）はレベルトリガ方式を使用することを特徴とする。

【0010】

また、好ましくは前記データキャリー信号（STV）と前記出力制御信号（OE）の重複を防止するために前記シフトレジスターを利用して前記データキャリー信号（STV）をラッチ一時点でクロック後に前記出力制御信号（OE）を転送することを特徴とする。

【発明の効果】

【0011】

本発明によると、TFT LCDの駆動に必要な制御信号線の本数が減少することができ、そして、線数の減少によってPCB及び／又はガラス基板の設計が容易になり、信号干渉の現象が減る利点がある。また、配線をガラス基板上に配置する際に空間活用が容易になり、タイミング制御ASICの開発時に回路ブロックを単純化してASICの面積を減少することができる。

【発明を実施するための最良の形態】

【0012】

以上のような本発明の目的と別の特徴及び長所などは次に参照する本発明の好適な実施例に対する以下の説明から明確になるであろう。

【0013】

以下、添付された図面を参照して本発明である一実施例を詳細に説明する。図面で同じ参照符号は同一または類似の構成要素または信号を示すものとして使用される。

【実施例】

【0014】

図1を参照すると、本実施例に係る、TFT LCDの駆動装置の概略図である。本概略図は従来技術により現在利用されているところと同じである。すなわち、図1で、符号102はホストインターフェースの転送機IC、104はLCDの駆動装置、106はタイミング制御機ASIC、108はソース駆動IC、110はゲート駆動ICである。

LCDの駆動装置104では、ドットクロック（dot clock）に合わせて順次に入るRGBそれぞれのデータをラッチして、点順次方式のタイミング体系を線順次方式に変える。水平ラインの周期ごとに転移イネーブル信号に合わせて第1ラッチに保存されたデータを第2ラッチに伝達する。第2ラッチに保存されたデータはアナログ／デジタル変換器でアナログ電圧に転換され、電流バッファを介して、対応する画素TFTのゲートを連ねるデータラインに印加される。

このようなデータの変換のためには、基本的な制御信号として次のような信号を必要と

10

20

30

40

50

する。その内、CLKは水平クロック信号(h o r i z o n t a l c l o c k s i g n a l)、DEはデータイネーブル信号(d a t a e n a b l e s i g n a l)、である。又、STHはデータラッチイネーブル信号(d a t a l a t c h e n a b l e s i g n a l)、CPHは水平クロックパルス信号(h o r i z o n t a l c l o c k p u l s e s i g n a l)、POLは出力極性信号(o u t p u t p o l a r i t y s i g n a l)、LOADはデータ出力信号(d a t a o u t p u t s i g n a l)、である。又、STVは開始垂直パルス信号(s t a r t v e r t i c a l p u l s e s i g n a l)、すなわち、シフトレジスタをイネーブルするデータキャリア信号、CPVは垂直クロックパルス信号(v e r t i c a l c l o c k p u l s e s i g n a l)、OEは、最初の1フレーム間にゲート駆動ICを初期化する機能を含むゲート出力制御信号、すなわち、出力回路によるデータ出力を制御する出力制御信号、である。

10

【0015】

図2を参照すると、従来技術によるゲート駆動ICの内部ブロック図である。ただし、これから説明するように、本図の破線で囲んだように、2つの信号線STV、OEを統合して1本の信号線、OE & STVとすると、本実施例に係る、ゲート駆動ICの内部ブロック図を得ることができる。

図2で、符号202はシフトレジスタであり、204は電源発生回路であり、206はレベルシフターであり、208は出力回路である。また、VGL、VGH、VCOM、GNDは各々所定レベルを有する基準電圧信号である。OUTは、ゲート駆動ICの出力であり、前記データライン、すなわちTFT画素のゲートに直結される。

20

【0016】

従来技術によれば、OE信号は2種類の役割を果たしている。第1は、パワーオン後初期状態を安定化するための1フレームの間、出力OUTを意図的に抑止する役割であり、第2は、出力OUTのパルス幅が所定の値になるように形状を周期的に変形するために、周期的に出力OUTを所定の期間抑止する役割である。

本発明では、第1の役割を、OE信号線とSTV信号線を統合した信号線により果たすことを提案する。第2の役割は、OE信号線とSTV信号線を統合すると、そのままでは果たせなくなるが、その場合でもアナログ電源電圧の形状の変形とLOAD信号の遅延により、出力OUTのパルス幅が所定の値になるようにタイミングを合せることが可能であるので、第2の役割を果たすことができ、駆動に問題が生じない。

30

【0017】

図3を参照すると、従来技術に係る、ゲート駆動ICの制御信号間のタイミング図である。パワーオン後最初に、OEを強制的に“1”にして出力OUTを抑止した上で垂直クロックパルス信号CPVを少なくとも1フレーム分印加して、ゲート駆動ICの初期安定化を図っている。その次に、OEをCPVの下降エッジごとに“0”にし、次のCPVの上昇エッジでSTVをラッチすると同時に出力OUTが送出開始される。出力OUTの送出終了は、OEを“1”にするタイミングとする。すなわち、CPVの上昇エッジとOE信号の下降エッジにより、ゲート駆動ICの出力OUTのパルス幅を制御している。

【0018】

一般的にパワーオン初期化時にOE信号の使用を推奨しているが、それは、OE信号を使用して出力OUTを抑止している間に最小限1フレームの時間をかけてゲートを初期化することにより、LCDの駆動装置の過度な電源電圧降下を防止することができるからである。パワーオン時にゲートの初期化をしない場合、一般的にゲート駆動ICの内部レジスタの初期値は未知であるので、初期値が“1”である内部レジスタに対応するゲートのチャンネルが一斉に開き、瞬間的に過負荷がかかるようになる。XGAの場合、768ラインの内いくつかの内部レジスタが“1”であるかにより異なるが、“1”が多いと電源電圧VDDに影響を与えて、甚だしい場合はVDDの降下によってシステムリセットを引き起こしてしまう。

40

【0019】

50

この方法の他に、OE信号を使用せずに上の問題を解決する方法としては、パワーオン時に自動的に内部レジスタの初期値がすべて“0”になるように、チップを設計する方法がある。しかし、その場合は上の問題以外に、パワーシークエンス問題などのような初期安全性を確保するために、OE信号を通して出力を意図的に抑止する時間がさらに必要になる。従って、全体としての初期抑止期間は768個(XGAの場合)の内部レジスタをすべて“0”にできる1フレーム分の時間より長くなる。さらに、このようなチップ設計はチップの占有面積を増大し、特にゲート駆動ICを、印刷回路基板を介さずガラス基板に直接搭載する場合、貴重なガラス基板面積を余分に費やすことになり、同じガラス基板上にパターンを作らなければならないゲート駆動ICへの制御信号線を1本でも減らしたいという実情に合わない。

10

【0020】

本発明は、図3において、初期化のためにOEを“1”にするタイミングと、その後で、通常のゲート駆動開始のためにSTVを“1”にするタイミングが全く異なり、重畳しないことに着目している。

図4を参照すると、本発明による、ゲート駆動ICの制御信号間のタイミング図である。従来のOEとSTVを統合した信号OE&STV、1本だけで同等の作用を得ることができる。すなわち、パワーオン後、最初にOE&STVを“1”にして出力OUTを抑止した状態で垂直クロックパルス信号CPVを1フレーム分印加してゲート駆動ICの初期化を行う。次に、OE&STVを“0”に戻した後、最初のCPVの上昇エッジで出力OUTを送出開始する。正確には、送開始準備をする。次に、次のCPVの上昇エッジでOE&STVの“1”をラッチし、例えばその次のCPVの上昇エッジで、ゲート駆動ICから出力OUTが実際に出力される。

20

これらの、出力OUTの遅延操作は、ゲート駆動ICが元来内蔵しているシフトレジスタを利用して行うことができる。

このようにすれば、初期化指示(OEの第1の役割)及び垂直クロックパルス信号開始指示(STVの役割)が、OE&STVが“1”である2つの期間に互いに干渉しないで果たされ、出力OUTのパルス幅制御(OEの第2の役割)が、開始(上昇)エッジのタイミングに関してはOE&STVが最初に“0”である期間に果たされ、出力OUTの実際の送出(OEの、イネーブル信号としての本来の役割)が、OE&STVが2度目以降に“0”である期間に果たされる。

30

最後に、出力OUTのパルス終了(下降)エッジのタイミングについては、上記のように、アナログ電源電圧の形状の変形、及び/又はLOAD信号の遅延、例えば、図示していないが、LOAD信号の遅延量の調節により果たすことができる。

【0021】

以上では本発明を実施例によって詳細に説明したが、本発明は実施例によって限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できるであろう。

【図面の簡単な説明】

【0022】

【図1】LCD(液晶表示装置)の駆動装置の概略図である。

40

【図2】ゲート駆動ICの内部ブロック図である。

【図3】従来の、ゲート駆動ICの制御信号間のタイミング図である。

【図4】本発明による、ゲート駆動ICの制御信号間のタイミング図である。

【符号の説明】

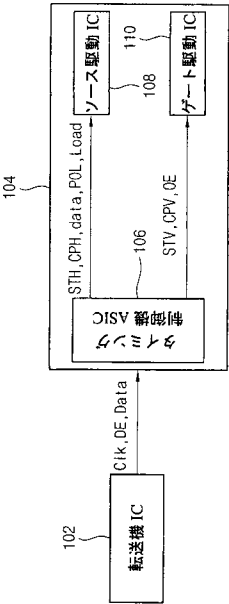
【0023】

- 102 転送機IC
- 106 タイミング制御ASIC
- 108 ソース駆動IC
- 110 ゲート駆動IC
- 202 シフトレジスタ

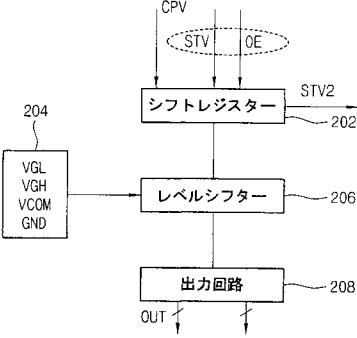
50

- 204 電源発生回路
- 206 レベルシフター
- 208 出力回路

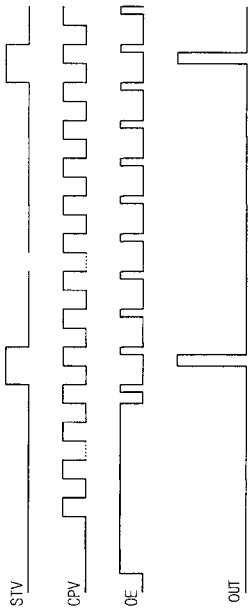
【図1】



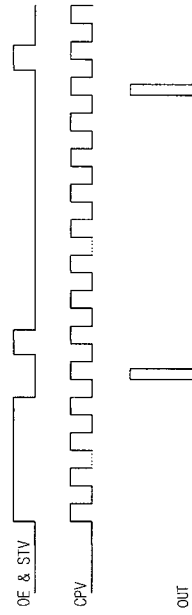
【図2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 2 2 G
	G 0 9 G 3/20	6 8 0 G

F ターム(参考)	5C006	AF51	AF53	AF61	AF71	AF84	BC03	BC11	BC20	BC22	BC23
		BF03	BF04	BF46	EB04	EB05	FA42				
	5C080	AA10	BB05	DD23	DD27	DD28	JJ02	JJ04			

专利名称(译)	液晶显示装置的驱动装置		
公开(公告)号	JP2004272208A	公开(公告)日	2004-09-30
申请号	JP2003351351	申请日	2003-10-09
[标]申请(专利权)人(译)	Bioi高盘科技有限公司		
申请(专利权)人(译)	Bioi Heidis科技有限公司		
[标]发明人	鄭韻衡		
发明人	鄭 韻 衡		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/18		
CPC分类号	G09G3/3685 G09G5/18		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.550 G09G3/20.612.J G09G3/20.621.L G09G3/20.621.M G09G3/20.622.G G09G3/20.680.G		
F-TERM分类号	2H093/NC09 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC34 2H093/ND34 2H093/ND48 2H093/ND49 2H093/ND52 2H093/ND53 2H093/ND55 2H093/ND60 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF71 5C006/AF84 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BC22 5C006/BC23 5C006/BF03 5C006/BF04 5C006/BF46 5C006/EB04 5C006/EB05 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD23 5C080/DD27 5C080/DD28 5C080/JJ02 5C080/JJ04 2H193/ZA04		
优先权	1020030013391 2003-03-04 KR		
外部链接	Espacenet		

摘要(译)

ASIC和栅极驱动器，用于简化在PCB和/或玻璃基板上放置布线，减少信号干扰以及简化时序控制器ASIC的电路块以减小芯片面积的设计。提供一种用于液晶显示装置的驱动装置，其中减少了IC之间的控制信号线的数量。定时控制单元；具有移位寄存器和输出电路的栅极驱动单元；用于使能移位寄存器的数据进位信号（STV）和用于控制由输出电路输出的数据的信号（OE）控制信号传输线，用于使用一根信号线进行传输；STV和OE分别使用上升沿触发方法，电平触发方法，或者为防止STV和OE重叠，移位寄存器STV锁存后，它用于将OE传输一个时钟。

[选择图]图4