

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-70317

(P2004-70317A)

(43) 公開日 平成16年3月4日(2004.3.4)

(51) Int.Cl.⁷

G02F 1/1345

F 1

G02F 1/1345

テーマコード(参考)

2H092

審査請求 未請求 請求項の数 9 O L (全 11 頁)

| | | | |
|--------------|------------------------------|-----------|---|
| (21) 出願番号 | 特願2003-183924 (P2003-183924) | (71) 出願人 | 390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞 416 |
| (22) 出願日 | 平成15年6月27日 (2003.6.27) | (74) 代理人 | 100094145 弁理士 小野 由己男 |
| (31) 優先権主張番号 | 2002-046508 | (74) 代理人 | 100106367 弁理士 稲積 朋子 |
| (32) 優先日 | 平成14年8月7日 (2002.8.7) | (72) 発明者 | 金 相 淑 大韓民国ソウル市江南区大峙1洞三星アパート107棟202号 |
| (33) 優先権主張国 | 韓国(KR) | (72) 発明者 | 文 勝 煥 大韓民国京畿道龍仁市水枝邑上▲ヒョン▼里現代アイパーク6次アパート205棟1504号 |
| | | F ターム(参考) | 2H092 GA33 GA60 JA24 JB73 JB74 NA01 NA24 PA06 |

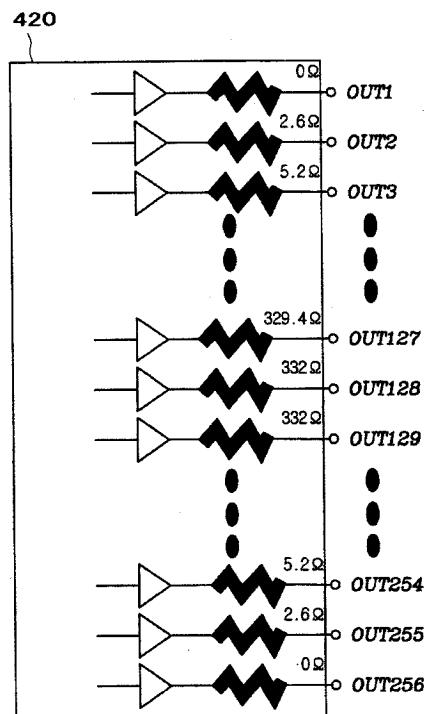
(54) 【発明の名称】液晶表示装置及びこれに使用する駆動集積回路

(57) 【要約】

【課題】ファンアウト領域内の配線抵抗の偏差を補正する。

【解決手段】絶縁基板上に形成されており、外部回路との連結のためのパッドを含むゲート線と、ゲート線と絶縁して交差しており外部回路との連結のためのパッドを含むデータ線と、ゲートパッドと連結されているゲート駆動回路と、データパッドと連結されているデータ駆動回路とを含む。ゲート駆動回路とデータ駆動回路のうちの少なくとも一つは出力端子各々に連結されている補正用抵抗を含む。補正用抵抗は、これと連結されるゲート線またはデータ線の長さ偏差を補正できる抵抗値を有する。このようにすれば、配線の長さの変化に応じた抵抗値の偏差を補償して均一化し、画質を向上させることができる。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

絶縁基板と、

前記絶縁基板上に形成されており、外部回路との連結のためのパッドを含むゲート線と、前記ゲート線と絶縁して交差しており、外部回路との連結のためのパッドを含むデータ線と、

前記ゲートパッドと連結されているゲート駆動回路と、

前記データパッドと連結されているデータ駆動回路とを含み、

前記ゲート駆動回路と前記データ駆動回路のうちの少なくとも一つは出力端子各々に連結されている補正用抵抗を含んでおり、前記補正用抵抗のそれぞれが、ファンアウト領域において、これと連結されるゲート線の抵抗値と最大ゲート線抵抗との差、または、これと連結されるデータ線の抵抗値と最大データ線抵抗との差、に相当する抵抗値を有することを特徴とする液晶表示装置。 10

【請求項 2】

前記駆動集積回路の両端の出力端子と連結される前記補正用抵抗が最も小さい値を有し、中央側に行くほど前記補正用抵抗の抵抗値が次第に大きくなる、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記ゲート駆動回路及び前記データ駆動回路が、出力端子各々に連結されている前記補正用抵抗を含んでいる、請求項 1 に記載の液晶表示装置。 20

【請求項 4】

前記ゲートパッドと接触する補助ゲートパッドと、

前記ゲート駆動集積回路を実装するフィルムと、

前記フィルムに形成されており、前記ゲート駆動集積回路の出力端子に連結されており、引出線パッドを有する引出線とをさらに含み、

前記補助ゲートパッドは、前記引出線パッドと電気的に接続して前記ゲート駆動集積回路と前記ゲート線とを連結する、請求項 3 に記載の液晶表示装置。 30

【請求項 5】

前記データパッドと接触する補助データパッドと、

前記データ駆動集積回路を実装するフィルムと、

前記フィルムに形成されており、前記データ駆動集積回路の出力端子に連結されており、引出線パッドを有する引出線とをさらに含み、

前記補助データパッドは、前記引出線パッドと電気的に接続して前記データ駆動集積回路と前記データ線とを連結する、請求項 3 に記載の液晶表示装置。 30

【請求項 6】

前記ゲート線の一部はファンアウト部で屈曲している、請求項 3 に記載の液晶表示装置。

【請求項 7】

前記データ線の一部はファンアウト部で屈曲している、請求項 3 に記載の液晶表示装置。

【請求項 8】

駆動信号を発生する回路部と、

前記回路部と連結されており、前記駆動信号を外部に出力する複数の出力端子と、

前記回路部と前記各出力端子との間に連結されている複数の補償抵抗とを含み、

前記補償抵抗は、これと連結される前記出力端子の位置に応じて所定の規則性を有して増減する液晶表示装置用駆動回路。 40

【請求項 9】

前記出力端子のうち両端のものと連結される前記補償抵抗が最も小さい抵抗値を有し、中央に行くほど補償抵抗値が大きくなる、請求項 8 に記載の液晶表示装置用駆動回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は液晶表示装置に関する。なかでも、画面表示部とパッド部との間に配線とパッドとを連結するための連結部が形成されているファンアウト領域内の配線抵抗の偏差を補正抵抗により補正した液晶表示装置に関するものである。

【0002】

【従来の技術】

液晶表示装置は、電極が形成されている薄膜トランジスタ基板とその対向基板、及びその間に注入されている液晶物質、偏光フィルム及び補償フィルムなどで構成されている。このような液晶表示装置は二つの基板の間に注入されている液晶物質に電極を利用して電界を印加し、この電界の強さを調節して透過する光の量を調節することによって画像を表示する。

10

【0003】

前記薄膜トランジスタ基板は、液晶表示装置や有機EL表示装置などで各画素を独立的に駆動するための回路基板として用いられる。薄膜トランジスタ基板は、走査信号を伝達する走査信号配線（別名：ゲート配線）と、画像信号を伝達する画像信号線（別名：データ配線）が形成されており、ゲート配線及びデータ配線と連結されている薄膜トランジスタ、薄膜トランジスタと連結されている画素電極、ゲート配線を覆って絶縁するゲート絶縁膜、及び薄膜トランジスタとデータ配線を覆って絶縁する保護膜などからなる。薄膜トランジスタは、ゲート配線の一部であるゲート電極と、チャンネルを形成する半導体層、データ配線の一部であるソース電極とドレーン電極、及びゲート絶縁膜と保護膜などからなる。薄膜トランジスタは、ゲート配線を通じて伝達される走査信号に応じてデータ配線を通じて伝達される画像信号を画素電極に伝達または遮断するスイッチング素子である。

20

【0004】

このような薄膜トランジスタ基板には、ゲート線とデータ線に駆動信号を印加するための駆動集積回路が連結される。駆動集積回路はパッドを介してゲート線またはデータ線に連結されるが、このパッドは駆動集積回路との連結のために狭い領域に密集して形成される。これに比べて、画面表示領域に位置するゲート線やデータ線の線間隔は画素の大きさに応じて決められる間隔を有しなければならないので、パッドの間の間隔に比べて大きくなる。したがって、パッド部と画面表示領域の間には配線の線間隔が次第に広くなる領域が存在するが、この部分をファンアウト領域という。ところが、このようなファンアウト領域によって配線の長さが互いに異なるようになり、したがって、抵抗値が配線ごとに異なるようになる。抵抗値の差は画像の差に現れ、画質を低下させる。

30

【0005】

【発明が解決しようとする課題】

本発明が目的とする技術的課題は、液晶表示装置の配線間の抵抗値の差を減らすことである。

【0006】

【課題を解決するための手段】

このような技術的課題を達成するために、駆動集積回路の出力端子に連結される配線が全て同じ断面構造を有するならば、ファンアウト領域において、補正するべき配線の長さと同一信号線群に属する最長配線の長さとの差に相当する抵抗値の補正抵抗を有する液晶表示装置を提供する。なお、断面構造が同一でない場合には、ファンアウト領域において、各配線抵抗が最大配線抵抗に揃えられるような抵抗値の補正抵抗を有する液晶表示装置を提供する。この補正抵抗は駆動集積回路構造の内部に含んでもよい。

40

【0007】

具体的には、絶縁基板と、前記絶縁基板上に形成されており、外部回路との連結のためのパッドを含む複数のゲート線と、前記ゲート線と絶縁して交差しており、外部回路との連結のためのパッドを含む複数のデータ線と、前記ゲートパッドと連結されているゲート駆動回路と、前記データパッドと連結されているデータ駆動回路とを含み、前記ゲート駆動回路と前記データ駆動回路のうちの少なくとも一つは出力端子各自に連結されている複数の補正用抵抗を含んでおり、前記補正用抵抗のそれぞれは、ファンアウト領域において、

50

これと連結されるゲート線またはデータ線の長さの偏差に相当する抵抗値を有する液晶表示装置を用意する。偏差に相当する抵抗値とは、ファンアウト領域におけるゲート線またはデータ線の最大抵抗値と、ファンアウト領域における各ゲート線またはデータ線の抵抗値との差である。

【0008】

この時、前記駆動集積回路の両端の出力端子と連結される前記補正用抵抗が最も小さい値を有し、中央側に行くほど前記補正用抵抗の抵抗値が次第に大きくなるのが好ましい。また、前記ゲート駆動回路及び前記データ駆動回路の両方が、出力端子各々に連結されている複数の前記補正用抵抗を含んでいるのが好ましい。

【0009】

また、前記ゲートパッドと接触する補助ゲートパッド、前記ゲート駆動集積回路を実装するフィルム、前記フィルムに形成されており、前記ゲート駆動集積回路の出力端子に連結されており、引出線パッドを有する引出線をさらに含み、前記補助ゲートパッドは、前記引出線パッドと電気的に接続して前記ゲート駆動集積回路と前記ゲート線とを連結するようになることができる。また、前記データパッドと接触する補助データパッド、前記データ駆動集積回路を実装するフィルム、前記フィルムに形成されており、前記データ駆動集積回路の出力端子に連結されており、引出線パッドを有する引出線をさらに含み、前記補助データパッドは、前記引出線パッドと電気的に接続して前記データ駆動集積回路と前記データ線とを連結するようになることができる。

また、前記ゲート線またはデータ線の一部はファンアウト部で屈曲していることができる。このようにゲート線やデータ線を形成すると、配線の抵抗をより精密に一定の値に調整することができる。

【0010】

このような液晶表示装置に使用するために、駆動信号を発生する回路部、前記回路部と連結されており前記駆動信号を外部に出力する複数の出力端子、前記回路部と前記各出力端子の間に連結されている複数の補償抵抗を含み、前記補償抵抗は、これと連結される前記出力端子の位置に応じて所定の規則性を有して増減する液晶表示装置用駆動回路を用意する。

【0011】

この時、前記出力端子のうち両端のものと連結される前記補償抵抗が最も小さい抵抗値を有し、中央に行くほど補償抵抗値が大きくなるのが好ましい。

【0012】

【発明の実施の形態】

添付した図面を参考として、本発明の実施例について本発明の属する技術分野にて通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は多様な相違した形態で実現することができ、ここで説明する実施例に限られるわけではない。なお、挿入する補正用抵抗値の決定方法を定量的に例示すると、ファンアウト領域において、ゲート信号線群の最長長さを10cm、補正用抵抗を挿入すべきゲート信号線の長さを2cm、両線が同じ断面構造を有し、長さ1cm当たりの抵抗が5オームであれば、最長線の抵抗値が50オーム、補正すべき線の抵抗値が10オームとなり、最長線の抵抗値に揃えるためには、長さの差である8cmに相当する40オームの補正用抵抗を挿入する必要がある。また、断面構造の異同に拘わらず線群内の最大線抵抗に揃えることが望ましい。

【0013】

図面において、多数の層及び領域を明確に表現するために厚さを拡大して示した。明細書全体において類似した部分については同一な図面符号を付けた。層、膜、領域、板などの部分が他の部分“上に”あるとする場合、これは他の部分の“真上に”ある場合だけではなく、その中間に他の部分がある場合も含む。反対に、ある部分が他の部分の“真上に”あるとする場合には、その中間に他の部分がないことを意味する。

【0014】

10

20

30

40

50

次に、本発明の実施例による液晶表示装置について図面を参考として詳細に説明する。

【0015】

以下、添付した図面を参考として本発明の実施例による液晶表示装置用基板について本発明の属する技術分野にて通常の知識を有する者が容易に実施できるように詳細に説明する。

【0016】

まず、図1を参考として本発明による液晶表示装置の構造を説明する。

【0017】

図1に示したように、本発明の実施例による液晶表示装置は、互いに対向する薄膜トランジスタ基板1及び色フィルター基板2と、これら基板1、2の間に注入されている液晶物質層(図示せず)を含む。 10

【0018】

色フィルター基板2には、各々の画素領域に順次に配置されている赤、緑、青の色フィルター(図示せず)、画素領域を定義するブラックマトリックス(図示せず)及び基準電極(図示せず)が形成されている。

【0019】

一方、本発明の実施例による薄膜トランジスタ基板1には、横方向に形成されており走査信号を伝達するゲート線121、ゲート線121と交差して画素領域を定義し、映像信号を伝達するデータ線171、マトリックス配列の画素領域に形成されており、ITOまたはIZOなどのように透明な導電物質または反射度を有する導電物質からなる画素電極(図示せず)、ゲート線121とデータ線171とが交差する部分に形成されており、ゲート線121及びデータ線171と電気的に連結されて走査信号に応じて画素電極に伝達される映像信号を制御する薄膜トランジスタ(図示せず)が形成されている。この時、薄膜トランジスタ基板1は多数の配線121、171が互いに交差して定義する画素領域の集合からなり、画像が表示される画面表示部(D)と、ゲート線121及びデータ線171の内側端に各々連結されており、外部から走査信号またはデータ信号の伝達を受けてゲート線121とデータ線171に各々伝達する多数のゲートパッド(図示せず)及びデータパッド(図示せず)が各々形成されているパッド部と、パッド部と画面表示部(D)との間に位置して、配線121、171と密集されているパッドを連結するファンアウト部から構成される。前記では色フィルター、ブラックマトリックス及び基準電極が色フィルター基板2の上に形成されることを説明したが、これらは選択的に薄膜トランジスタ基板1の上に形成されることもできる。 20 30

【0020】

一方、パッド部には、OLB(out lead bonding)を利用して実装されているゲート駆動集積回路420とデータ駆動集積回路430が連結されている。この時、駆動集積回路420、430の出力端子各々には抵抗が連結されている。抵抗は中央から両端部分に行くほどその大きさが小さくなる。これら抵抗は、ファンアウト部での配線の長さ差によって配線抵抗が変わることを補償するためのものである。以下ではこのような本発明による薄膜トランジスタ基板のファンアウト部についてもう少し詳細に見てみる。 40

【0021】

本実施例では、ゲート駆動集積回路420とデータ集積回路430がOLBを利用して薄膜トランジスタ基板上に直接実装されているCOG(chip on glass)形を例示しているが、駆動集積回路420、430が別途のフィルム上に実装されるTCP(tape carrier package)形またはCOF(chip on film)にも本発明が適用できることはもちろんである。

【0022】

図2は、本発明の実施例による液晶表示装置用薄膜トランジスタ基板のファンアウト部の配線構造を示した配置図である。

【0023】

駆動集積回路 420、430 の各出力端子と連結される配線群 121、171 の配線間距離がファンアウト部 (G F、D F) を通過してから大きくなる。このような構造となるためには、ファンアウト部 (G F、D F) での配線の長さが、駆動集積回路 420、430 の中央出力端子と連結される配線が最も短く、中央から遠くなるほど長くなる形態にならなければならない。したがって、配線群 121、171 の各配線抵抗も駆動集積回路 420、430 の中央出力端子と連結される配線が最も小さく、中央から遠くなるほど大きくなる。このような抵抗分布の配線群 121、171 の偏差を減少させるために、各配線の長さのばらつきから生じる抵抗値の差を補正できる値を有する抵抗を、駆動集積回路 420、430 の出力端子に連結する。

【0024】

10

以下では、駆動集積回路 420、430 の出力端子構造について、ゲート駆動集積回路 420 とデータ駆動集積回路 430 とに区分して具体的に見てみる。

【0025】

図 3 は本発明に第 1 実施例による液晶表示装置用ゲート駆動集積回路の出力端子を示した回路図であり、図 4 は本発明の第 1 実施例による液晶表示装置のファンアウト部での抵抗値の変化を示すグラフである。

【0026】

20

図 3 を見れば、ゲート駆動集積回路 420 に 256 個の出力端子が形成されており、各出力端子には抵抗が挿入されている。抵抗値は、最も外側にある OUT 1 と OUT 256 に連結されている抵抗値は 0 であり、中央に行くほど抵抗値が次第に大きくなり、正中央の OUT 128 と OUT 129 に連結されている抵抗は 332 であって最も大きい値を有する。

【0027】

30

図 4 を見れば、各出力端子の位置に応じて抵抗の値を調整することによる効果が分かる。つまり、ファンアウト部の配線の抵抗は中央、つまり OUT 128 と OUT 129 と連結される配線が最も小さく、両端、つまり OUT 1 と OUT 256 へ行くほど大きくなる。これに反し、ゲート駆動集積回路 420 の出力抵抗は OUT 1 と OUT 256 で最も小さく、OUT 128 と OUT 129 へ行くほど大きくなる。したがって、ファンアウト部における配線抵抗と駆動集積回路の出力端子の抵抗とを合わせた総抵抗値は、中央と両端で配線の長さによる抵抗のばらつきがほとんどなく、一定の値を得ることができる。そのため、ファンアウト部における配線抵抗のばらつきに起因する画質の低下を防止することができる。

【0028】

以上、ゲート駆動集積回路 420 の出力端子が 256 個である場合を例に上げて説明したが、出力端子の個数は液晶表示装置の仕様によって変動することができる。

【0029】

図 5 は本発明の第 2 実施例による液晶表示装置用データ駆動集積回路の出力端子を示した回路図であり、図 6 は本発明の第 2 実施例による液晶表示装置のファンアウト部での抵抗値の変化を示すグラフである。

【0030】

40

図 5 を見れば、データ駆動集積回路 430 に 384 個の出力端子が形成されており、各出力端子には抵抗が挿入されている。抵抗値は、最も外側にある OUT 1 と OUT 384 に連結されている抵抗値は 0 であり、中央に行くほど抵抗値が次第に大きくなって、正中央の OUT 192 と OUT 193 に連結されている抵抗は 1069 であって最も大きな値を有する。

【0031】

図 6 は、各出力端子の位置に応じて抵抗の値を調整することによる効果を示している。つまり、ファンアウト部のデータ配線の抵抗は中央、つまり OUT 192 と OUT 193 と連結される配線が最も小さく、両端、つまり OUT 1 と OUT 384 へ行くほど大きくなる。これに反し、データ駆動集積回路 430 の出力抵抗は OUT 1 と OUT 384 で最も

50

小さく、OUT192とOUT193へ行くほど大きくなる。したがって、ファンアウト部における配線抵抗と駆動集積回路の出力端子の抵抗とを合わせた総抵抗値は、中央と両端で配線の長さによる抵抗のばらつきがほとんどなく、一定の値を得ることができる。そのため、ファンアウト部における配線抵抗のばらつきに起因する画質の低下を防止することができる。

【0032】

以上、データ駆動集積回路430の出力端子が384個である場合を例に上げて説明したが、データ駆動集積回路430の出力端子の個数は液晶表示装置の仕様によって変動することができる。

【0033】

以上の実施例では、駆動集積回路420、430の出力端子に所定の抵抗を連結する方法によってファンアウト部抵抗偏差を補償しているが、これと並行してファンアウト部での配線構造を変更してこれを補償することもできる。これを第3実施例として説明する。

【0034】

図7は、本発明の第3実施例による液晶表示装置のファンアウト部を示した配置図である。

【0035】

ゲート線121及びデータ線171のファンアウト部での長さの差による抵抗のばらつきを緩和するために、中央部配線が屈曲した形態に形成されている。屈曲は曲線形態121'、171'に形成することもでき、矩形波形態121''、171''に形成することもできる。ここに前記第1及び第2実施例で説明した駆動集積回路420、430を連結して、配線の抵抗をより精密に一定の値に維持することができる。

【0036】

図8は、本発明の第1乃至第3実施例による液晶表示装置の駆動集積回路と薄膜トランジスタ基板連結部を示す配置図である。図9は、本発明の第1及び第3実施例による液晶表示装置の駆動集積回路と薄膜トランジスタ基板連結部を示す断面図であって、図8のIX-IX'線による断面図である。図10は、本発明の第2及び第3実施例による液晶表示装置の駆動集積回路と薄膜トランジスタ基板連結部を示す断面図であって、図8のIX-IX'線による断面図である。

【0037】

まず、ゲートパッド部分を見てみる。

【0038】

図9はゲートパッド125部の断面構造であって、絶縁基板110の上にゲートパッド125が形成されており、ゲートパッド125の上にゲート絶縁膜140が形成されている。ゲート絶縁膜140の上には保護膜180が形成されており、保護膜180とゲート絶縁膜140には接触孔182が形成されている。保護膜180の上には補助ゲートパッド95が形成されており、補助ゲートパッド95は接触孔182を介してゲートパッド125と連結されている。補助ゲートパッド95の上には異方性導電フィルム300が形成されており、異方性導電フィルム300の上にはゲート駆動集積回路の出力端子パッド422が位置している。補助ゲートパッド95とゲート駆動集積回路の出力端子パッド422は異方性導電フィルム300を介して電気的に連結されている。ゲート駆動集積回路の出力端子パッド422は駆動集積回路の出力端子引出線421に連結されている。これら出力端子パッド422と出力端子引出線421とは、FPC(flexible print ed circuit)などのフィルム405に形成されている。

【0039】

次に、データパッド部を見てみる。

【0040】

図10はデータパッド179部の断面構造であって、絶縁基板110の上にゲート絶縁膜140が形成されており、ゲート絶縁膜140の上にデータパッド179が形成されている。データパッド179の上に保護膜180が形成されており、保護膜180には接触孔

10

20

30

40

50

183が形成されている。保護膜180の上には補助データパッド97が形成されており、補助データパッド97は、接触孔183を介してデータパッド179と連結されている。補助データパッド97の上には異方性導電フィルム300が形成されており、異方性導電フィルム300の上にはデータ駆動集積回路の出力端子パッド522が位置している。補助データパッド97とデータ駆動集積回路の出力端子パッド522は異方性導電フィルム300を介して電気的に連結されている。データ駆動集積回路の出力端子パッド522は駆動集積回路の出力端子引出線521に連結されており、これら出力端子パッド522と出力端子引出線521はFPCなどのフィルム505に形成されている。

【0041】

以上、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されるわけではなく、前記請求の範囲で定義している本発明の基本概念を利用した当業者のいろいろな変形及び改良形態もまた本発明の権利範囲に属するものである。

【0042】

【発明の効果】

以上で説明したように、本発明では、薄膜トランジスタ基板のファンアウト部での配線の長さの不均一によって生じる抵抗値の差を、駆動集積回路の出力端子内部または外部に抵抗偏差補償用抵抗を連結することによって補償するので、画質を向上させることができること。

【図面の簡単な説明】

【図1】本発明の実施例による液晶表示装置の構造を概略的に示した配置図である。

【図2】本発明の実施例による液晶表示装置用薄膜トランジスタ基板のファンアウト部の配線構造を示した配置図である。

【図3】本発明の第1実施例による液晶表示装置用ゲート駆動集積回路の出力端子を示した回路図である。

【図4】本発明の第1実施例による液晶表示装置のファンアウト部での抵抗値の変化を示すグラフである。

【図5】本発明の第2実施例による液晶表示装置用データ駆動集積回路の出力端子を示した回路図である。

【図6】本発明の第2実施例による液晶表示装置のファンアウト部での抵抗値の変化を示すグラフである。

【図7】本発明の第3実施例による液晶表示装置のファンアウト部を示した配置図である。

【図8】本発明の第1乃至第3実施例による液晶表示装置の駆動集積回路と薄膜トランジスタ基板連結部を示す配置図である。

【図9】本発明の第1及び第3実施例による液晶表示装置の駆動集積回路と薄膜トランジスタ基板連結部を示す断面図であって、図8のIX-IX'線による断面図である。

【図10】本発明の第2及び第3実施例による液晶表示装置の駆動集積回路と薄膜トランジスタ基板連結部を示す断面図であって、図8のIX-IX'線による断面図である。

【符号の説明】

- 1 薄膜トランジスタ基板
- 2 色フィルター基板
- 95、97 補助ゲートパッド
- 110 絶縁基板
- 121 ゲート線
- 125 ゲートパッド
- 140 ゲート絶縁膜
- 171 データ線
- 179 データパッド
- 180 保護膜
- 182、183 接触孔

10

20

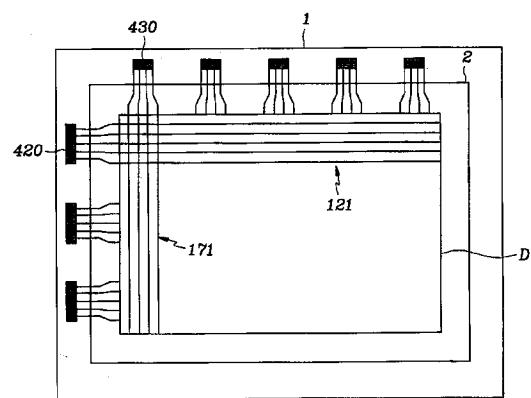
30

40

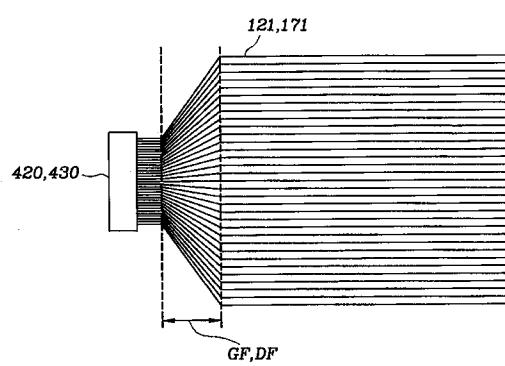
50

- 3 0 0 異方性導電フィルム
 4 0 5、5 0 5 フィルム
 4 2 0 ゲート駆動集積回路
 4 2 1、5 2 1 出力端子引出線
 4 2 2、5 2 2 出力端子パッド
 4 3 0 データ駆動集積回路

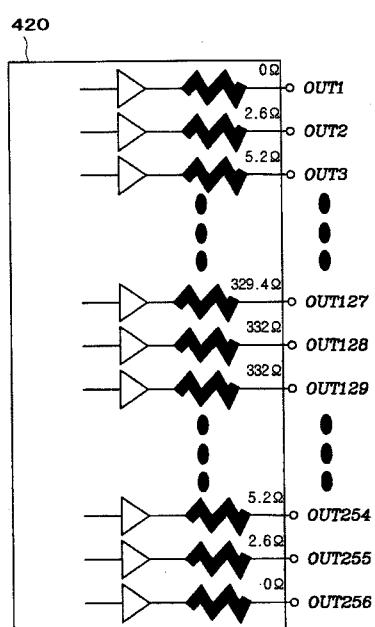
【図 1】



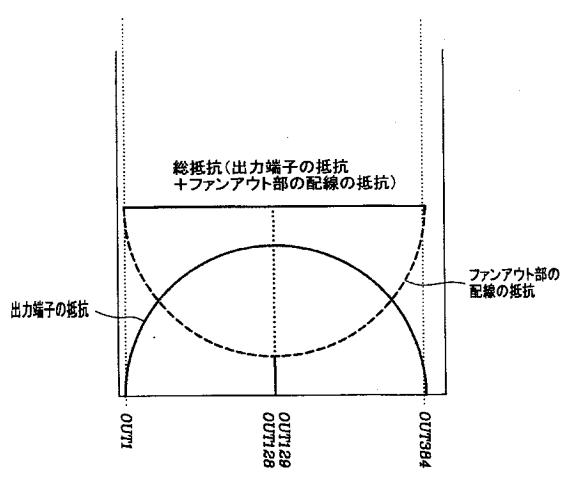
【図 2】



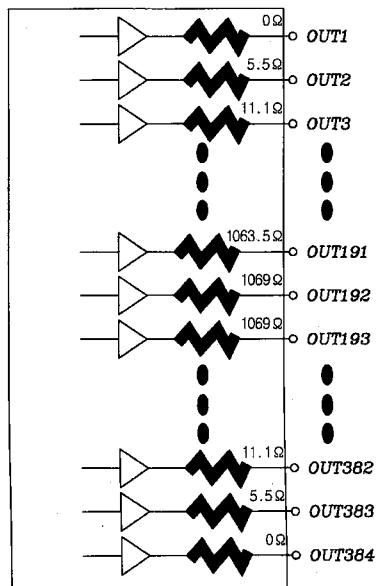
【図 3】



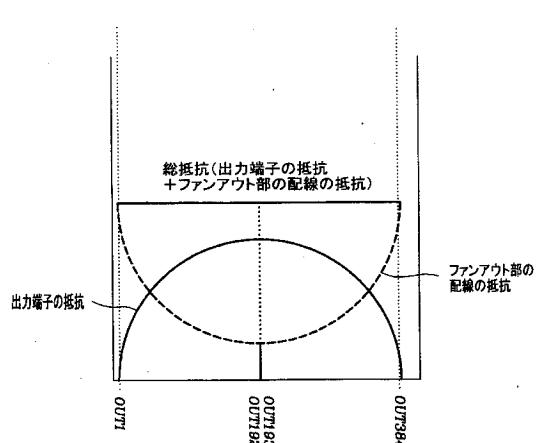
【図4】



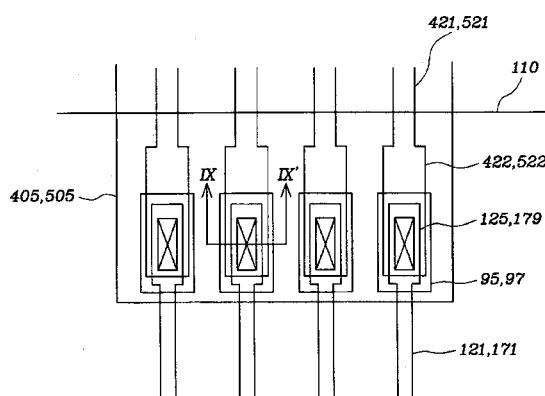
【図5】



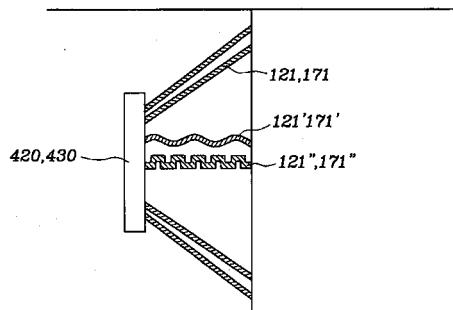
【図6】



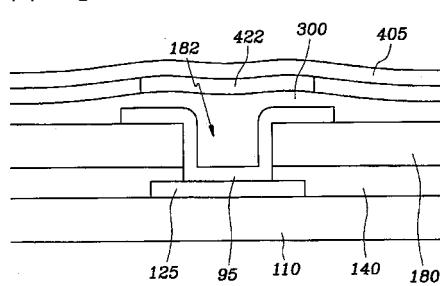
【図8】



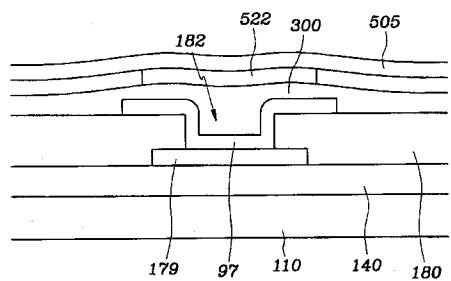
【図7】



【図9】



【図10】



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 液晶显示装置及其使用的驱动集成电路 | | |
| 公开(公告)号 | JP2004070317A | 公开(公告)日 | 2004-03-04 |
| 申请号 | JP2003183924 | 申请日 | 2003-06-27 |
| [标]申请(专利权)人(译) | 三星电子株式会社 | | |
| 申请(专利权)人(译) | 三星电子株式会社 | | |
| [标]发明人 | 金相洙 文勝煥 | | |
| 发明人 | 金相洙 文勝煥 | | |
| IPC分类号 | G02F1/1345 | | |
| CPC分类号 | G09G3/3611 G02F1/1345 G09G2300/0426 G09G2320/0223 | | |
| FI分类号 | G02F1/1345 | | |
| F-TERM分类号 | 2H092/GA33 2H092/GA60 2H092/JA24 2H092/JB73 2H092/JB74 2H092/NA01 2H092/NA24 2H092/PA06 | | |
| 优先权 | 1020020046508 2002-08-07 KR | | |
| 外部链接 | Espacenet | | |

摘要(译)

校正了扇出区域中的布线电阻偏差。数据包括形成在绝缘基板上的栅极线并包括用于与外部电路连接的焊盘，以及包括焊盘的焊盘，该焊盘用于与外部电路连接并以绝缘方式与栅极线相交。线，连接到栅极焊盘的栅极驱动电路以及连接到数据焊盘的数据驱动电路。栅极驱动电路和数据驱动电路中的至少一个包括连接到每个输出端子的校正电阻器。校正电阻器具有能够校正连接到校正电阻器的栅极线或数据线的长度偏差的电阻值。这样，可以根据布线的长度的变化来补偿电阻值的偏差并使之均匀，从而提高图像质量。[选择图]图3

