

(51) Int.CI <sup>7</sup>	識別記号	F I	テ-マコード <sup>*</sup> (参考)
H 0 4 N 5/66	102	H 0 4 N 5/66	102 B 2 H 0 9 3
G 0 2 F 1/133	510	G 0 2 F 1/133	510 5 C 0 0 6
	550		550 5 C 0 5 8
	570		570 5 C 0 6 0
G 0 9 G 3/20	621	G 0 9 G 3/20	621 M 5 C 0 8 0

審査請求 未請求 予備審査請求(全 20数) 最終頁に続く

(21)出願番号	特願2001 - 569803(P2001 - 569803)
(86)(22)出願日	平成13年3月13日(2001.3.13)
(85)翻訳文提出日	平成13年11月22日(2001.11.22)
(86)国際出願番号	PCT/EP01/02819
(87)国際公開番号	W001/071703
(87)国際公開日	平成13年9月27日(2001.9.27)
(31)優先権主張番号	0006811.4
(32)優先日	平成12年3月22日(2000.3.22)
(33)優先権主張国	イギリス(GB)

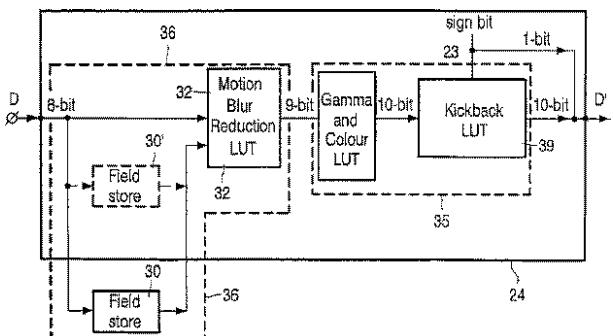
(71)出願人	コニンクレッカ フィリップス エレクトロニクス エヌ ヴィ KONINKLIJKE PHILIPS S ELECTRONICS N.V. オランダ国 5621 ベーアー アンド フェン フルーネヴァウツウェッハ 1
(72)発明者	ジョン エル ヒューズ オランダ国 5656 アーアー アンド フェン プロフ ホルストラーン 6
(72)発明者	デヴィッド ウエー パーカー オランダ国 5656 アーアー アンド フェン プロフ ホルストラーン 6
(74)代理人	弁理士 杉村 興作

最終頁に続く

## (54)【発明の名称】 液晶マトリックス表示装置用制御回路

## (57)【要約】

アクティブマトリックス液晶表示装置のビデオデータを処理するコントローラ回路(24)は表示画像のガンマおよびカラー補正並びに動きぼやけを低減する補正を行なう表示装置の駆動回路(22)に供給される前に、入力ビデオデータ(D)に補正機能を呈せしめる処理回路を有する。この補正回路(35, 36)は、動きぼやけ低減の補正(36)をガンマおよびカラー補正(35)前に実行するように配列し、これによってフィールドストア(30)の大きさにより且つこの機能に用いるLUT(32)構成素子を小さくして回路を集積化して実現する際に必要な半導体の面積を有利に減少することができるようとする。ガンマおよびカラー補正是単一のLUTを用いて共に行なうのが好適である。更にキックバック補正を含め、この補正をガンマおよびカラー補正後に個別のLUTを用いて行なうのが好適である。



**【特許請求の範囲】**

**【請求項1】** ビデオデータ用入力端子、ビデオデータ処理用処理回路および処理されたビデオデータを表示装置の駆動回路に供給する出力端子を有し、カラーアクティブマトリックス液晶表示装置のビデオデータを処理する制御回路において、絶縁層処理回路はルックアップテーブルを含むガンマおよびカラー補正回路と、ビデオデータを修正して表示装置に表示されたイメージを動かす際に感知されたぼやけを低減し得るようにした動きぼやけ低減回路とを具え、且つビデオデータおよびルックアップテーブル用のフィールドストアをさらに具え、前記動きぼやけ低減回路は前記ガンマおよびカラー補正回路の前段に設けるようにしたことを特徴とする制御回路。

**【請求項2】** 前記制御回路は、前記ビデオデータを修正して表示装置の画素のキックバック効果を補正するとともに前記動きぼやけ低減回路の後段に配列されたキックバック補正回路をさらに具えることを特徴とする請求項1に記載の制御回路。

**【請求項3】** 前記キックバック補正回路は前記ガンマおよびカラー補正回路を後段に具えることを特徴とする請求項2に記載の制御回路。

**【請求項4】** 前記制御回路は1ついじょうの集積回路の形態とすることを特徴とする請求項1～3の何れかの項に記載の制御回路。

**【請求項5】** アクティブマトリックス液晶表示装置と、請求項1～4の何れかの項に記載の制御回路とを具え、該制御回路の出力を前記表示装置の駆動回路に接続するようにしたことを特徴とするアクティブマトリックス液晶表示システム。  
。

**【発明の詳細な説明】****【0001】**

本発明は、ビデオデータを供給する入力端子および処理されたビデオデータを該表示装置の画素に供給する出力端子を有する液晶マトリックス表示装置のビデオデータを処理する制御回路、特に液晶マトリックス表示装置の形態の制御回路に関するものである。

**【0002】****(産業上の利用分野)**

代表的なアクティブマトリックス液晶表示装置(AMLCD)では、例えばコンピュータその他のソースからのビデオ信号をビデオ信号処理兼制御回路に供給し、このビデオ信号処理兼制御回路によって表示装置の画素アレイに関連し、ビデオ信号のデータをサンプリングするとともにデータ電圧信号の形態のサンプルを1行の画素アレイの関連するアレイに行毎に供給する用に応答し得る行(選択)および列(ソース)駆動回路に処理されたビデオ信号およびタイミング信号を出力する。画素アレイに用いられる技術の性質によって例えば、画素スイッチとして用いられるポリシリコンTFT装置の場合のようにパネルに完全に集積化とともに同様の薄膜電子技術を用いる画素アレイを同時に製造する場合には、通常は列駆動回路を有するシフトレジスタおよびサンプルホールド回路をも含む行および列駆動回路は液晶表示パネルに装着された集積回路の形状に設けることができる。

**【0003】****(従来の技術)**

上述した種類のアクティブマトリックス液晶表示装置およびその一般的な作動様態の例は米国特許5,130,829に記載されている。

**【0004】**

通常、ビデオ信号処理兼タイミング兼制御回路は処理をデジタル的に行なう1つ以上のシリコン集積回路の形態で実現される。

**【0005】**

ビデオ信号処理兼制御回路によって供給されたビデオ信号で達成される信号処

理機能は種々に存在する。

#### 【0006】

特に、本発明は、排他的ではないが、画素の行動効果による表示画像の不所望なアーティファクトを防止または低減するとともにガンマ補正および色温度補正のビデオ信号処理に関するものである。

#### 【0007】

ガンマ補正、色補正およびキックバック補正に対しては、ルックアップテーブルを用いて補正值を提供することができる。キックバック補正に対しては、通常データ信号符号情報を必要とする。アクティブマトリックス液晶表示装置では、画素に供給されるデータ電圧信号を周期的に反転して任意の正味の直流電圧が液晶材料を横切るのを防止する必要がある。この反転は例えば順次のフレーム毎（所謂フィールド反転）に、または、加えて、画素の順次の行毎（所謂ラインまたは行反転）に、画素の隣接する列（所謂列反転）、或は使用する特定の反転駆動計画に従って、行および列方向の隣接画素が逆の極性（所謂画素反転）となるようとする。

#### 【0008】

画素の固有の特性から生じる、動き画像を表示する際に表示画像の知覚されたぼやけの程度および画像の電圧変化に対する液晶材料の低い応答特性を低減するために、ビデオデータ処理に動きぼやけ低減を達成する補正を行なうのが好適であり、その好適な例はUS-A-5,495,265(PHN-13505)に記載されており、この目的のためには、あるフィールドから次のフィールドにデータ信号情報を必要とするとともに或はフィールドに対して少なくともデータ信号値およびルックアップテーブルを記憶するフィールド記憶装置を必要とする。

#### 【0009】

（発明が解決しようとする課題）

本発明の目的は、あるビデオ信号処理動作を行なう改良された制御回路をマトリックス表示装置とともに用いるようにせんとするにある。

#### 【0010】

本発明の他の目的は低いコストで集積回路として製造し得るあるビデオ信号処

理機能を呈するマトリックス表示装置の制御回路を提供せんとするにある。

#### 【0011】

##### (課題を解決するための手段)

本発明はビデオデータ用入力端子、ビデオデータ処理用処理回路および処理されたビデオデータを表示装置の駆動回路に供給する出力端子を有し、カラーアクティブマトリックス液晶表示装置のビデオデータを処理する制御回路において、絶縁層処理回路はルックアップテーブルを含むガンマおよびカラー補正回路と、ビデオデータを修正して表示装置に表示されたイメージを動かす際に感知されたぼやけを低減し得るようにした動きぼやけ低減回路とを具え、且つビデオデータおよびルックアップテーブル用のフィールドストアをさらに具え、前記動きぼやけ低減回路は前記ガンマおよびカラー補正回路の前段に設けるようにしたことを特徴とする。

#### 【0012】

##### (作用)

本発明によればアクティブマトリックス液晶表示装置の駆動に用いられ、あるビデオ信号処理機能によって表示装置により生じる画像の品質を改善し、ビデオ信号処理機能を呈する回路を配列し、半導体材料を一層有効に使用するように回路内に配置し、これにより必要な半導体材料の面積従って集積回路のコストを低減するコントローラ回路を提供することができる。

#### 【0013】

動き画像を表示する際、実行するビデオ信号処理機能はガンマ補正、カラー補正（所望の色温度の白色を達成する）および動きぼやけ低減機能（画素の挙動によって生じるぼやけを低減し、特に画素電圧変化に対する液晶材料の緩慢な応答）を具える。特に、コントローラ回路はキックバック補正回路を具え、これを動きぼやけ低減回路の後段に配置する。

#### 【0014】

これら種々の異なる補正に関し、原理的に考えられるのは、まず最初実行すべきはガンマおよびカラー補正並びに存在すればキックバック補正が好適であり、次いで実行すべきは動きぼやけ補正である。その理由はガンマおよびカラー補正

並びにキックバック補正が、静止画像の場合に、画素の補正電圧を得るために、ビデオデータに対して行なわれ、次いで動きぼやけ低減を画素の一時的応答特性にもかかわらず、画素に同一電圧が現われるようになることが考えられるからである。しかし、本発明によればビデオデータ信号の動きぼやけ低減処理を、ガンマ、カラー補正および任意のキックバック補正の実施前に実行する。これがため、複雑さを低減し、動きぼやけ低減に必要なフィールドストアをも動きぼやけ低減処理が最後に実施される場合よりも狭く（各データ値に対して数ビット）し、この配列には正および負の駆動範囲の個別の補正を必要とする。さらに、関連するLUTの大きさは小さくなる。従って回路を必要なシリコンの面積により特に集積回路の形態に変更する際には充分な利益が得られるようになる。

#### 【0015】

ガンマ、カラー補正および任意のキックバック補正は全て単一の、好適には、プログラム化されたルックアップテーブル（LUT）を用いて実行する。

#### 【0016】

しかし、キックバック補正を含む好適な例では、動きぼやけ低減処理後にガンマおよびカラー補正を単一のLUTを用いて行ない、最後にキックバック補正を行なう。かかる配列によれば、ガンマおよびカラー補正に必要なLUTの大きさを著しく低減することができる。その理由はデータ信号の符号（画素に供給されるデータ信号電圧は使用される特定の駆動手段に従って周期的に反転する）を考慮する必要性はキックバック補正（これが極性に依存して駆動されるため）に対してのみ必要であり、ガンマおよびカラー補正が“符号の無い”データ値に対して行なわれるからである。キックバック補正に対してはいまだLUTが必要であるが、これはガンマおよびカラー補正の組合せに関するLUTに対して可能な大きさの低減よりも小さいため、全体としてのLUTの組合せの大きさは低減されるようになる。

#### 【0017】

この大きさの低減によって集積回路に必要な半導体（即ち、シリコン）の面積を有利に低減し、その結果集積回路のコストを廉価とすることができます。

#### 【0018】

### (実施例)

図面につき本発明を説明する。

図中、同一部分には同一符号を付して示す。

図1はUS-A-5,130,829に記載されたように例えば一般に従来形状のアクティブマトリックス液晶表示装置を示し、その構成および動作の一般的な態様についてのさらに詳細な説明並びにその内容については上記米国特許を参照されたい。主として、カラービデオ画像を表示するに好適な表示装置は画素12の行および列アレイを有する液晶表示パネル10を具え、この画素アレイを各行にn個の水平方向に配列された画素(1乃至n個)を有するm行(1乃至m個)で構成する。図面を簡単にするために、本例では数個の画素のみを示す。

#### 【0019】

各画素12は薄膜トランジスタTFT11の個別のスイッチング装置に関連させる。同一の行内の画素に関連する全てのTFTのゲート端子を共通の行導体14に接続し、この行導体には、作動時に選択(ゲート)信号を供給する。同様に、同一の列内の全画素に関連するソース端子をデータ(ビデオ)信号を供給する共通の列導体16に接続する。TFTのドレイン端子はそれを画素の表示素子の一部を形成するとともに表示素子を規定する個別の透明な画素電極20に接続する。これら導体14および16、TFT並びに電極20は一つの透明板上で実施し、第2の離間された透明板によってすべての画素に共通の電極を支持する。液晶材料はこれら透明板間に配設する。

#### 【0020】

表示パネルは慣例のように作動する。片側に配置された光源からの光はパネルに入り、画素12の個別の伝達特性に従って変調される。装置は、行導体14をゲート(選択)信号により順次に走査してTFTの各行を順次ターンオンするとともにデータ(ビデオ)信号をゲート信号に対して好適に、または同期して画素の各行に対して列導体に順次供給して1フィールドに完全な表示画像を形成する個とによって時間軸で1行を駆動する。一度のアドレス指定に1行を用いると、アドレス指定された行の全てのTFT11をビデオライン時間に相当するゲート信号の持続時間またはそれ以下の持続時間によって決まる周期に亘ってスイッチオン

し、この持続時間中ビデオ情報信号を列導体16から画素12に転送する。ゲート信号が終了すると、行のTFTが残りのフィールド時間に亘ってターンオフされ、これにより画素を列導体16から分離するとともに通常次のフィールド周期にこれら画素がアドレス指定される次の時間まで供給された電荷をこれら画素に蓄積する。

#### 【0021】

全ての画素は各フィールド（即ち、フレーム）周期にアドレス指定されるとともに供給されたビデオ信号の順次のフレームのビデオデータ信号情報に従って順次のフィールド期間に繰返しアドレス指定される。

#### 【0022】

行導体14には、タイミング兼制御回路21からの規則正しいタイミングパルスにより制御されるデジタルシフトレジスタを具える行駆動回路20によって、ゲート信号を順次供給する。ゲート信号間のインターバルには、列導体14に駆動回路20によってほぼ一定の基準電圧を供給する。1つ以上のシフトレジスタ／サンプルホールド回路を具える列（ソース）駆動回路22から列導体16にビデオデータ信号を供給する。列駆動回路22にはデジタルビデオデータ信号処理回路を具えるコントローラ集積回路24の出力側からのビデオデータ信号およびパネル10の時間アドレス指定時に進行に適したシリアル・パラレル変換を行なう行走査に同期するタイミング兼制御回路21からのタイミングパルスを供給する。ここに用いる行駆動回路20および列駆動回路22は慣例の型のものとする。既知の実例によれば、図形標準変換器を回路23および24間に配列して、供給されたビデオ信号を例えばXGAからSXGAに表示装置に適した所望の標準規格に変換する。

#### 【0023】

タイミング兼制御回路21には分離回路23によって供給されたデジタルビデオ信号VSから抽出されたタイミング信号を供給するが、ビデオ信号からのデジタル形態のデータ信号はビデオデータ信号処理回路24の入力側に分離回路によって供給する。

#### 【0024】

標準慣行によれば、画素に供給されるデータ信号電圧の符号（極性）は、少なくとも順次のフィールド毎に、可能には、採用されれば、ライン、列、または画素反転駆動計画に従って、共通電極に対して周期的に反転する。

#### 【0025】

画素アレイの形成に用いられる技術に応じて、行および列駆動回路20および22はパネルの1の基板に装着され、且つ列および行導体に直接接続された半導体（シリコン）集積回路の形状に設けることができ、また、例えば、アモルファスシリコンTFTよりもむしろポリシリコンを具えるTFTの場合には、画素アレイに完全に集積化することができ、しかも画素アレイと同時に製造された基板にポリシリコンTFTを具えるようにすることができる。

#### 【0026】

例えば、PCその他ビデオソースからの入力ビデオ信号VSは8ビットデジタルカラー（R、GおよびB）データ信号および同期信号を具える。コントローラ集積回路24によってこれらR、GおよびB信号を前述したようにデジタル的に修正するとともに、次いで、コントローラ集積回路から出力された修正されたデジタルデータ信号を画素に供給される前に画素により用いられるアナログ電圧信号に変換する。この目的のために、D/A変換回路を列駆動回路22に組込むか、またはこの回路とコントローラ集積回路24との間に接続する。

#### 【0027】

コントローラ集積回路24によって行なわれたデータ処理機能はガンマ補正、色補正、キックバック補正および動きぼやけ低減機能を具える。

#### 【0028】

カラーおよびガンマ補正に関して、次いで液晶表示から測色性能を良好に達成するために、通常、伝達特性（即ち、輝度対駆動）をCRTの伝達特性と同様となるように変換する。即ち、代表的なガンマ値2.2を有する出力機能に従ってデータ入力信号値とともに変化する。R、GおよびB信号の相対利得を修正して所望の色温度の白色が得られるようにする。また、相対的なR、GおよびB伝達特性を修正して代表的にはLCDである駆動レベルで色点の変化を補正する。上述した所の全てはLUTを用いて画素に供給すべきR、GおよびBデータ信号値を修正することに

よって達成する。ガンマおよびカラー補正に好適な回路は当業者にとって既知であり、従ってここではその例を詳細に説明する必要はない。

#### 【0029】

動きぼやけ低減には映像の動きを表示する際に生じ得る不所望な表示効果を低減する処理を含む。慣例のAMLCDに動き像を表示する際には、この像はこれにぼやけが生じ、これに対する特定の理由は1つの画素の液晶材料の応答が緩慢となり、従って、装置を経る供給された画素電圧の変化に対する伝送が緩慢となる。ぼやけ効果はR、GおよびB信号の任意の遷移を過駆動して所望の伝送を単一フィールド（フレーム）周期ないで達成し得るようにして低減できることは既知である。所定の遷移に対して過駆動をどのくらいにするかを決めるに要するデータは適宜の実験によって得ることができる。動きぼやけ低減処理の例はEP-A-5495265およびWO99/05567に記載されている。

#### 【0030】

図2はかかるぼやけ低減信号処理の作動を線図的に示す。前のフィールドから現在のフィールドへの画素電圧遷移を評価し得るようにするためにフィールドストア30を必要とする。入力端子31に供給される現在のフィールドに対するデータ信号DをLUT32に、且つフィールドストア30に供給するとともに前のフィールドに対するデータ信号を同時にフィールドストアからLUT32に出力する。これがため、個別の画素の電圧遷移を示すことができる。LUTを適宜に予備プログラム化し、LUTに蓄積された所定の遷移に対して用いるべき過駆動の量を用いて加算回路33を経てデータ信号を修正し、好適に修正されたデータ信号を出力側34に出力する。データ信号に順次のフィールドを入力側に直列に供給して適宜に修正されたデータ信号を出力側に供給する。

#### 【0031】

キックバック補正是TFTゲートを経てドレイン容量C<sub>gd</sub>に給電され、画素に設定された電圧に悪影響を与える行導体14に供給された行選択（ゲート）パルスの後縁のため、キックバックとして既知の現象を開せんとするものである。この効果の大きさ、即ち、発生する電圧エラーはドレイン容量C<sub>gd</sub>および画素容量の相対的大きさに依存する。（画素容量は液晶（表示素子）および図1には示さな

いが任意の固定された蓄積容量で構成される。 )

#### 【 0 0 3 2 】

液晶容量は供給された画素電圧に従って変化し、従って、キックバック電圧の大きさは画素の電圧に依存する。また、キックバックは画素電圧の極性にも依存する。TFT 1 1 は正のサイクル中よりも負のサイクル中ゲート選択電圧降下の大部分に亘って導通したままとなる。これがため、正のサイクルよりも負のサイクル中キックバックにTFTチャネル電荷が一層寄与するようになる。両サイクルにおいて同一の直流電圧補正を行なう場合には、両サイクルの最終画素電圧の大きさは供給されるソース電圧の大きさよりも大きくなる。従ってこれを伝達特性に考慮することができる。

#### 【 0 0 3 3 】

キックバック、即ち、共通電極電圧を調整することにより中間グレイ画素により被るキックバックの“平均”値を補償することは既知である。この中間グレイよりも“一層黒い”または“一層白い”画素に対する残りのエラーは列駆動回路の電圧を調整することによって補償することができる。この調整値は入力端子が画素電圧の値であるルックアップテーブルに蓄積することができる。静止画像に対しては、これは現在のフィールド画素電圧である。動き画像に対しては、これは前のフィールド画素電圧からのものとする必要がある。注意すべき重要な点は、列駆動回路の出力データ信号が任意の所定画素に対するフィールド速度で極性が変化するも、キックバック効果の極性従ってキックバック補正の極性は常時同一となることである。これが、後述するように、信号処理アーキテクチュアの結果である。

#### 【 0 0 3 4 】

原理的には、第1にガンマ、カラーおよびキックバック補正を行い、最後に動きぼやけ補正を行う必要がある。その理由はガンマ、カラーおよびキックバック補正を行って制止画像の場合には画素に補正電圧を得、次いで動きぼやけ低減によって表示の一時的な応答にもかかわらず、同一の補正された電圧が画素で終了することになっているからである。図3はこの点で通常の可能性を期待する例示的コントローラ集積回路24における処理機能の図式を示す該略図である。図3

において、部分5は複合ガンマ、カラーおよびキックバック補正回路を示し、ブロック36はフィールドストア30を含む動きぼやけ低減処理回路を示す。ここでは、フィールドストア構成部品30は個別の集積回路としての設けるが、これを30で示すように集積回路24に組込むこともできる。ガンマ、カラーおよびキックバック補正是、図3に示すように、単一のルックアップテーブル(LUT)によって実施することができる。このLUTへの入力は、(R、G、B)データ信号とこの画素に対して正または負の極性駆動を用いる必要があるかどうかを示す单一ビット信号37のいずれか一方に対し8ビットデータ値とする。このディスプレイ信号は、コントローラ集積回路の他の場所の論理によって発生させるとともに使用される特定の反転機構に依存する。11ビットのデータ信号を具えるこの回路からの出力を処理回路36に供給し、この回路によって処理された11ビットのデータ信号Dを順次出力する。

#### 【0035】

図4は本発明によるコントローラ集積回路24の第1例を示す。図中、同一符号は同一回路部分および機能を示す。図4に示すように、処理機能を再整理して最初に動きぼやけ低減処理を行うようとする。再び、動きぼやけ低減処理回路36のフィールドストアを30で示すように個別に設けるか、または30で示すように集積回路24内に個別に設けるようにすることができる。動きぼやけ補正回路からの出力はデータ信号に対して8ビットから9ビットに増大出力する。その理由はこれが丁度白黒よりも一層大きな電圧範囲をカバーして、ある種の“過駆動”を行い得るようにする必要があるからである。動きぼやけ低減LUTを修正して、カラーおよびガンマ補正の後者の効果を適宜に計数し、従って、これが大きなエラーを導かないようにする。電位の問題には動きぼやけLUTに許容し得ないキックバック補正がついている。その理由はこの段階では極性情報が存在しないからである。キックバック補正の大きさは~±0.25Vとすることことができ、従って動きぼやけ低減の計算は画素に実際に供給する必要のある電圧とは異なる~±0.25Vの信号で行なわれる。しかし、フィールドストアの大きさを最小化するためには最小可能な数のビットを用いる。動きぼやけの有効な低減はフィールドストアのデータ信号の上位3ビットのみを蓄積することによって達成し得ることが

決められている。この場合には、動きぼやけ補正は駆動電圧の上位3ビットにのみ影響を与え、これは、白黒の遷移に4Vを必要としたにもかかわらず、ほぼ0.5Vのみを正しく必要とすることを意味する。動きぼやけ補正のこの正確なレベルに対して図4に示す処理は許容し得ないものである。静止画像に対しては何等問題ないことは勿論である。

#### 【0036】

行の画素が1024個であるものとすると、図4のガンマ、カラーおよびキックバックLUTの大きさは $1024 \times 11 = 11\text{Kビット}$ である。符号のない駆動信号にカラーおよびガンマ補正を行ない、その後にキックバック補正（極性に依存して駆動）を追加する場合には、この大きさを $512 \times 10 = 5\text{Kビット}$ に低減することができる。これを図5に示す。図5はガンマおよびカラー補正回路35から離間し、その後段に設けられたキックバック補正回路39を有する本発明の第2例のコントローラ集積回路24の処理機能を概略的に示す。キックバック補正により必要とされる追加のLUTの大きさは5Kビット容量も著しく小さく、従って、集積回路が必要とする半導体シリコンの面積の正味の総合低減度を達成することができる。この場合には符号ビットをキックバック補正に導入して補正を追加すべきか削減すべきかを示すようにする。

#### 【0037】

従って、図5に示す集積回路のアーキテクチュアによって集積回路を低成本で製造する。

このコントローラ集積回路では、レベルに依存するキックバック補正是表示画像の荷電部分に対して全く正しいものではない。その理由はキックバック電圧が、新たな信号（即ち、前のフィールドからの画素値）を供給する前の画素容量に依存し、且つ図5のキックバック補正を現在の画素値を用いて計算するからである。最悪の場合（白黒遷移）にはこれが1/2Vの正しくない画素駆動電圧を導出すると思われる。これは“慣例の”キックバック補正手段では全く正常なことである。この効果を動き物体の縁部にのみ適用するが、表示装置の正常な使用を観察するのは困難である。従って、フィールドストアからの信号を用いて画像の動き部分のキックバック補正を評価する更なる改良を行なう。

**【0038】**

タイミング兼制御回路21を図1では個別に示すが、この回路を同一の集積回路内で処理回路24と組合せることができる。

**【0039】**

従って、要するに、本発明では、表示画像のガンマおよびカラー補正並びに動きぼやけを低減する補正を行なう表示装置の駆動回路に供給される前に、入力ビデオデータに補正機能を呈せしめる処理回路を有するアクティブマトリックス液晶表示装置のビデオデータを処理するコントローラ回路について説明した。この補正回路は、動きぼやけ低減の補正をガンマおよびカラー補正前に実行し、これによってフィールドストアの大きさにより且つこの機能に用いるLUT構成素子を小さくして回路を集積化して実現する際に必要な半導体の面積を有利に減少することができるよう組織化する。ガンマおよびカラー補正是単一のLUTを用いて共に行なうのが好適である。更にキックバック補正を含め、この補正をガンマおよびカラー補正後に個別のLUTを用いて行なうのが好適である。

**【0040】**

本発明は上述した例にのみ限定されるものではなく、要旨を変更しない範囲内で種々の変形や変更が可能である。かかる変更にはアクティブマトリックス表示装置およびコントローラ回路の分野で既知の他の特徴も含めることができる。

**【図面の簡単な説明】**

**【図1】** 図1はアクティブマトリックス液晶表示装置を示す概略回路図である。

。

**【図2】** 図2は動きぼやけ低減回路を線図的に示す概略回路図である。

**【図3】** 図3はある信号処理機能を内包するビデオデータ信号処理回路を具える制御装置集積回路の一例を示す概略回路図である。

**【図4】** 図4は本発明によるある信号処理機能を内包し、図1の表示装置に用いられる制御装置の集積回路の第1例を示す概略回路図である。

**【図5】** 図5は本発明によるある信号処理機能を内包し、図1の表示装置に用いられる制御装置の集積回路の第2例を示す概略回路図である。

【図1】

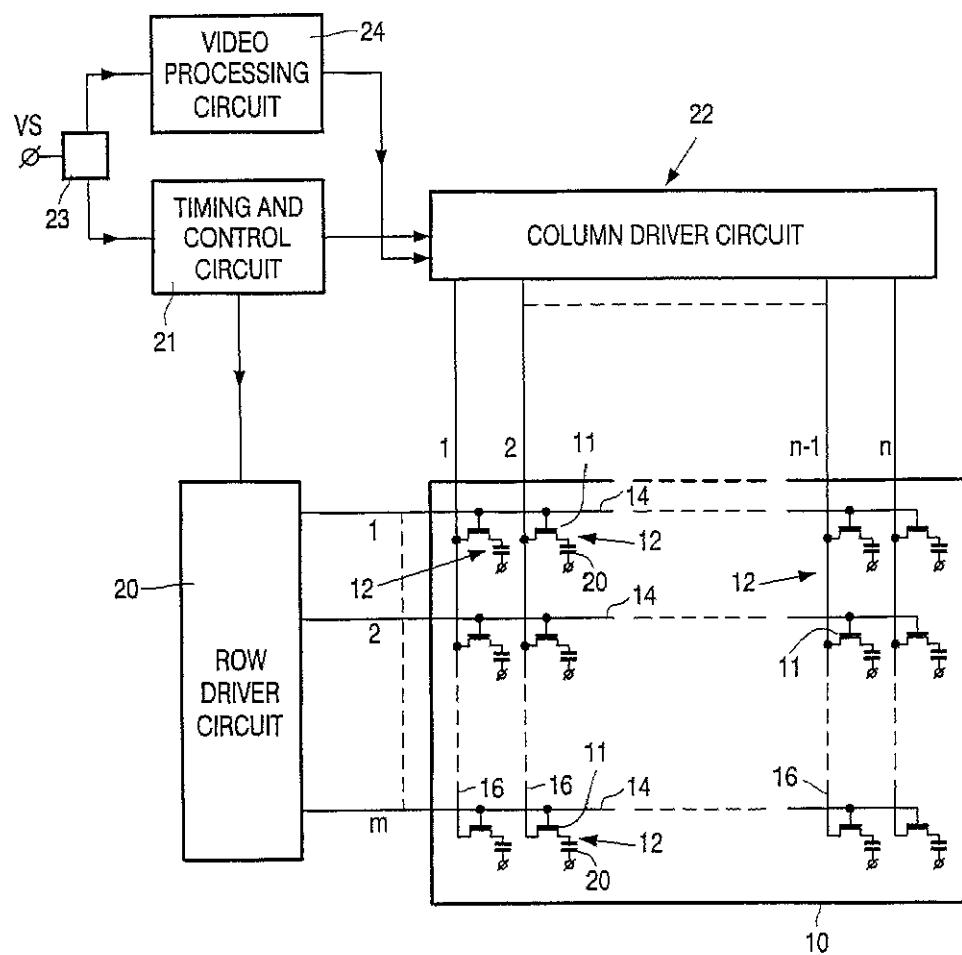


FIG. 1

【図2】

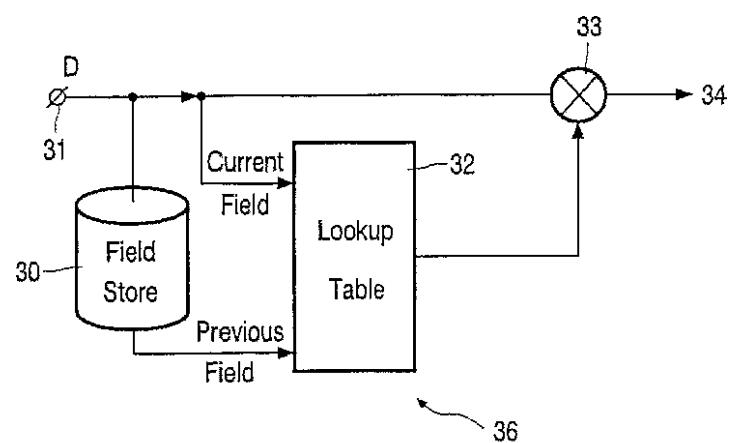


FIG. 2

【図3】

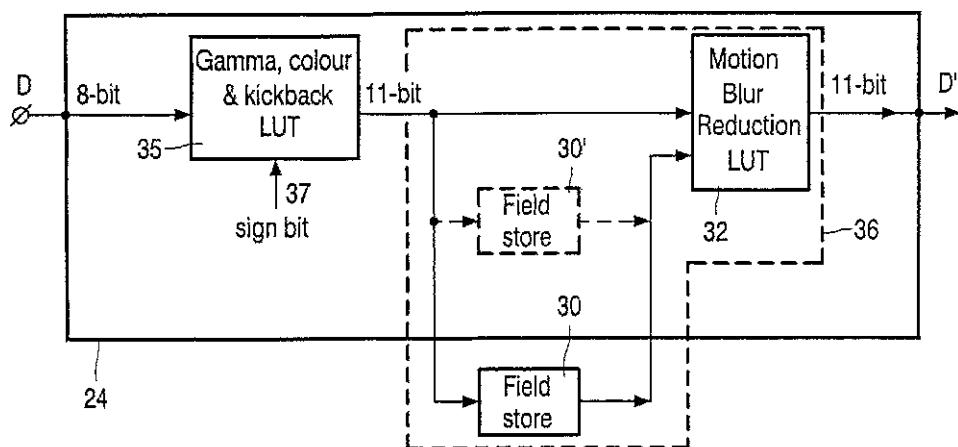


FIG. 3

【図4】

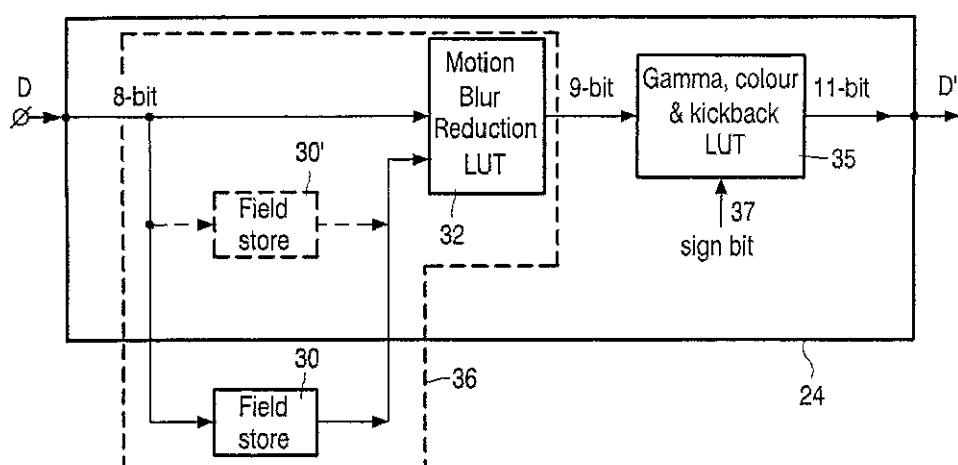


FIG. 4

【図5】

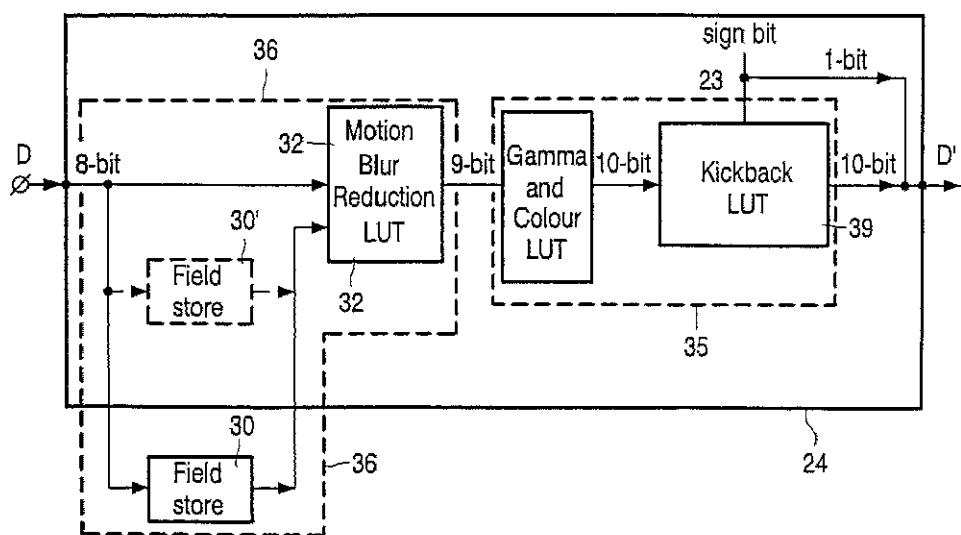


FIG. 5

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/EP 01/02819

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 495 265 A (KNAPP ALAN G ET AL) 27 February 1996 (1996-02-27) cited in the application column 3, line 54 -column 6, line 42 -----	1,2
A	EP 0 951 007 A (BARCO NV) 20 October 1999 (1999-10-20) paragraphs '0044!, '0045!, '0057!-'0062!, '0075!-'0078! -----	1,5
A	US 5 528 257 A (SUZUKI KOUHEI ET AL) 18 June 1996 (1996-06-18) column 5, line 52 -column 6, line 64 -----	1
<input type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
<p>* Special categories of cited documents :</p> <p>*A* document defining the general state of the art which is not considered to be of particular relevance</p> <p>*E* earlier document but published on or after the international filing date</p> <p>*L* document which may throw doubts on priority, claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>*O* document referring to an oral disclosure, use, exhibition or other means</p> <p>*P* document published prior to the international filing date but later than the priority date claimed</p> <p>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>*&amp;* document member of the same patent family</p>		
Date of the actual completion of the international search	Date of mailing of the international search report	
16 July 2001	23/07/2001	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3816	Authorized officer  Amian, D	

## INTERNATIONAL SEARCH REPORT

(Information on patent family members)

International Application No.
PCT/EP 01/02819

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5495265	A	27-02-1996	NL 9002516 A DE 69127172 D DE 69127172 T EP 0487137 A EP 0768637 A JP 4268599 A KR 230513 B	16-06-1992 11-09-1997 12-02-1998 27-05-1992 16-04-1997 24-09-1992 15-11-1999
EP 0951007	A	20-10-1999	DE 69800055 D DE 69800055 T WO 9954865 A ES 2143883 T NO 20004555 A	27-01-2000 03-08-2000 28-10-1999 16-05-2000 16-11-2000
US 5528257	A	18-06-1996	JP 7020828 A	24-01-1995

## フロントページの続き

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト <sup>®</sup> (参考)
G 0 9 G 3/20	6 3 1	G 0 9 G 3/20	6 3 1 R
	6 4 1		6 3 1 V
	6 6 0		6 4 1 Q
	6 8 0		6 4 1 R
	3/36	3/36	6 6 0 V
H 0 4 N 9/30		H 0 4 N 9/30	6 8 0 G
(72) 発明者 デヴィッド ウェー パーカー			
オランダ国 5656 アーー アインドー			
フェン プロフ ホルストラーン 6			
F ターム(参考) 2H093 NA16 NA51 NA61 NC13 NC14			
NC34 NC90 ND06 ND17 ND50			
ND54			
5C006 AA01 AA11 AA22 AF13 AF44			
AF45 AF46 AF51 AF52 AF53			
AF61 BB16 BC03 BC11 BC16			
BC20 BF02 BF09 BF15 EB04			
EB05 FA29 FA41			
5C058 AA06 BA13 BA35 BB14			
5C060 DB05 HB26 HB27 JA16 JA18			
5C080 AA10 BB05 CC03 DD05 DD06			
DD22 DD27 DD28 EE19 EE29			
EE30 FF11 JJ02			

专利名称(译)	液晶矩阵显示装置的控制电路		
公开(公告)号	<a href="#">JP2003528518A</a>	公开(公告)日	2003-09-24
申请号	JP2001569803	申请日	2001-03-13
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	ジョンエルヒューズ デヴィッドウェーパーカー		
发明人	ジョンエルヒューズ デヴィッドウェーパーカー		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/06 H04N5/66 H04N9/30		
CPC分类号	G09G3/3611 G09G3/3614 G09G3/3648 G09G5/06 G09G2320/0219 G09G2320/0252 G09G2320/0261 G09G2320/0276 G09G2340/16		
FI分类号	H04N5/66.102.B G02F1/133.510 G02F1/133.550 G02F1/133.570 G09G3/20.621.M G09G3/20.631.R G09G3/20.631.V G09G3/20.641.Q G09G3/20.641.R G09G3/20.660.V G09G3/20.680.G G09G3/36 H04N9/30		
F-TERM分类号	2H093/NA16 2H093/NA51 2H093/NA61 2H093/NC13 2H093/NC14 2H093/NC34 2H093/NC90 2H093 /ND06 2H093/ND17 2H093/ND50 2H093/ND54 5C006/AA01 5C006/AA11 5C006/AA22 5C006/AF13 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF61 5C006 /BB16 5C006/BC03 5C006/BC11 5C006/BC16 5C006/BC20 5C006/BF02 5C006/BF09 5C006/BF15 5C006/EB04 5C006/EB05 5C006/FA29 5C006/FA41 5C058/AA06 5C058/BA13 5C058/BA35 5C058 /BB14 5C060/DB05 5C060/HB26 5C060/HB27 5C060/JA16 5C060/JA18 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD06 5C080/DD22 5C080/DD27 5C080/DD28 5C080/EE19 5C080 /EE29 5C080/EE30 5C080/FF11 5C080/JJ02		
优先权	2000006811 2000-03-22 GB		
其他公开文献	<a href="#">JP4564222B2</a>		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

用于处理有源矩阵液晶显示设备的视频数据的控制器电路(24)在将输入视频提供给显示设备的驱动电路(22)之前输入输入视频，该驱动电路对显示的图像执行伽马和颜色校正以及减少运动模糊的校正。它具有用于对数据(D)赋予校正功能的处理电路。布置该校正电路(35、36)，以便在伽马和颜色校正(35)之前执行运动模糊减少校正(36)，从而取决于场存储器(30)的大小和该功能。(EN)将要使用的LUT(32)组成元件做得很小，以便可以有利地减小用于通过集成来实现电路所需的半导体面积。优选地，使用单个LUT一起执行伽马和颜色校正。此外，优选地，通过在伽马和颜色校正之后使用单独的LUT来执行包括反冲校正的该校正。

