

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 255903

(P2003 - 255903A)

(43)公開日 平成15年9月10日(2003.9.10)

(51)Int.Cl.⁷

識別記号

F I

テ-マ-ト* (参考)

G 0 9 G 3/36

G 0 9 G 3/36

2 H 0 9 3

G 0 2 F 1/133

550

G 0 2 F 1/133

550

5 C 0 0 6

G 0 9 G 3/20

621

G 0 9 G 3/20

621

M

5 C 0 8 0

622

622

F

622

Q

審査請求 未請求 請求項の数 8 O L (全 11数) 最終頁に続く

(21)出願番号 特願2002 - 53340(P2002 - 53340)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(22)出願日 平成14年2月28日(2002.2.28)

(72)発明者 岡 崎 熱 郎

神奈川県横浜市磯子区新杉田町8番地 株式

会社東芝横浜事業所内

(74)代理人 100075812

弁理士 吉武 賢次 (外 4 名)

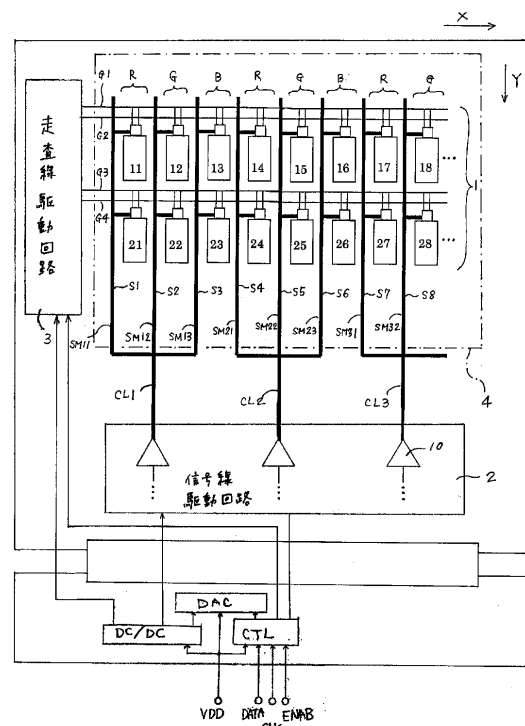
最終頁に続く

(54)【発明の名称】 表示装置

(57)【要約】

【課題】 表示解像度が高くなっても信号線の総数が増えることがない表示装置を提供する。

【解決手段】 液晶表示装置は、X方向に列設される複数の信号線S1~Smと、Y方向に列設される複数の走査線G1~Gnと、信号線および走査線の各交点付近に列設される複数の表示画素部1と、信号線S1~Smを駆動する信号線駆動回路2と、走査線G1~Gnを駆動する走査線駆動回路3とを備えている。各表示画素部1は、画素電極5と、画素電極5に接続される書き込みTFT6と、書き込みTFT6のゲート電圧を制御するデコーダ部7とを有する。デコーダ部7により、複数の走査線の論理に応じて信号線からのデータを取り込むため、複数の表示画素部1で同一の信号線を共用できる。



【特許請求の範囲】

【請求項 1】マトリクス状に配置され、少なくとも表示素子を備えた複数の表示画素部と、

2 以上の所定数の前記表示画素部毎に共通に配置される複数の接続配線と、

前記接続配線を介して前記表示画素部にデータを供給する信号線駆動回路と、を備え、

前記表示画素部のそれぞれは、対応する前記データを前記表示素子に供給するデコード回路を有することを特徴とする表示装置。

【請求項 2】前記表示装置は、前記表示画素部の列毎に前記接続配線と接続する信号線を有することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】前記表示装置は、前記所定数の前記表示画素部の列毎に前記接続配線と接続する信号線を有することを特徴とする請求項 1 に記載の表示装置。

【請求項 4】前記デコード回路はそれぞれ、前記表示画素部の各列ごとに、同一の前記接続配線からの前記データが供給される前記所定数の表示画素部を組として、異なる組の前記表示画素部を一つずつ同時に選択すること 20 を特徴とする請求項 1 ～ 3 のいずれかに記載の表示装置。

【請求項 5】前記所定数の表示画素部の各々は、それぞれ表示面積が異なる表示画素部を有することを特徴とする請求項 1 に記載の表示装置。

【請求項 6】マトリクス状に配置され、少なくとも表示素子を備えた複数の表示画素部と、

所定数の前記表示画素部毎に共通に配置される複数の接続配線と、

前記接続配線を介して前記表示画素部にデータを供給する信号線駆動回路と、を備え、

前記表示画素部のそれぞれは、

画素データに対応するデータを格納するメモリ部と、前記メモリ部に格納されたデータに応じた表示を行う表示部と、前記メモリ部にデータを格納するか否かを選択するデコード部と、を有する複数の副画素部を有し、同一の前記表示画素部内の前記複数の副画素部には同一の前記接続配線からのデータが供給されることを特徴とする表示装置。

【請求項 7】同一の前記表示画素部内の前記複数の副画素部のそれぞれに対応して、同一の前記接続配線から枝分かれした信号線が設けられることを特徴とする請求項 6 に記載の表示装置。

【請求項 8】前記接続配線は、前記表示画素部ごとに設けられ、

同一の前記表示画素部内の前記複数の副画素部はそれぞれ、対応する前記接続配線からデータの供給を受けることを特徴とする請求項 6 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型表示装置に関し、液晶表示装置や EL 表示装置などを対象とする。

【0002】

【従来の技術】最近、液晶表示装置の製造技術が格段に進展したこともあり、オフィスや家庭で用いるコンピュータや携帯電話等の電子機器用表示装置として、液晶表示装置が一般的に用いられるようになってきた。

【0003】また、有機 EL 表示装置も、構造が簡易で液晶表示装置のような残像もないことから、盛んに開発が行われている。

【0004】

【発明が解決しようとする課題】これら表示装置の表示解像度は次第に高くなる傾向にあるが、表示装置の表示解像度が高くなるほど、信号線の数が増える。このため、各配線パターン間の距離が短くなり、ノイズやクロストークなどの影響を受けやすくなる。駆動回路をガラス基板上に一体形成しない表示装置においては、駆動回路を実装するのに T C P 等が用いられるが、信号線数の増大に伴い T C P の接続端子のピッチも狭くなり、駆動回路の実装が困難になる。

【0005】本発明は、このような点に鑑みてなされたものであり、その目的は、表示解像度が高くなっても表示パネルの接続端子総数が増えることがない表示装置を提供することにある。また、ノイズやクロストークなどの影響による表示不良の発生の抑制された表示装置を提供することにある。

【0006】

【課題を解決するための手段】上述した課題を解決するために、本発明は、マトリクス状に配置され、少なくとも表示素子を備えた複数の表示画素部と、2 以上の所定数の前記表示画素部毎に共通に配置される複数の接続配線と、前記接続配線を介して前記表示画素部にデータを供給する信号線駆動回路と、を備え、前記表示画素部のそれぞれは、対応する前記データを前記表示素子に供給するデコード回路を有する。

【0007】本発明では、デコード回路により信号線の振り分けを行うため、複数の表示画素部が同一の信号線を共用でき、信号線数を削減できるとともに、実装も容易になる。

【0008】また、本発明は、マトリクス状に配置され、少なくとも表示素子を備えた複数の表示画素部と、所定数の前記表示画素部毎に共通に配置される複数の接続配線と、前記接続配線を介して前記表示画素部にデータを供給する信号線駆動回路と、を備え、前記表示画素部のそれぞれは、画素データに対応するデータを格納するメモリ部と、前記メモリ部に格納されたデータに応じた表示を行う表示部と、前記メモリ部にデータを格納するか否かを選択するデコード部と、を有する複数の副画素部を有し、同一の前記表示画素部内の前記複数の副画 50

素部には同一の前記接続配線からのデータが供給される。

【0009】

【発明の実施の形態】以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。

(第1の実施形態) 図1は本発明に係る表示装置の第1の実施形態である液晶表示装置の概略構成を示すブロック図である。液晶表示装置は、表示パネルと、表示パネルを駆動する駆動回路が配置された駆動回路基板と、表示パネルと駆動回路基板とを接続するフレキシブル配線基板とにより構成される。図1の液晶表示パネルは、X方向に列設される複数の信号線 $S_1 \sim S_m$ と、Y方向に列設される複数の走査線 $G_1 \sim G_n$ と、信号線および走査線の各交点付近に列設される複数の表示画素部1と、信号線 $S_1 \sim S_m$ を駆動する信号線駆動回路2と、走査線 $G_1 \sim G_n$ を駆動する走査線駆動回路3とを備えている。信号線 $S_1 \sim S_n$ 、走査線 $G_1 \sim G_n$ および表示画素部で画素アレイ部4を構成している。

【0010】X方向に配置される表示画素部の各列ごとに複数の走査線が設けられる。図1では、X方向に配置される表示画素部の各列ごとに、2本の走査線 $G(2i-1)$ 、 $G(2i)$ ($i=1, 2, \dots, n$) を設ける例を示している。

【0011】X方向に隣接配置される3個の表示画素部(11~13)、(14~16)、(21~23)、(24~26)、 $\dots$ 、($(m-2) \sim m$)等を組として、各組の3個の表示画素部1に接続される信号線は同一の接続端子からのデータが供給される。より具体的には、各信号線は、各組の複数の表示画素部1それぞれに対応する接続配線CLから枝分かれしてなる。

【0012】このように、信号線駆動回路2と画素アレイ部4の信号線とを接続する接続配線CLを複数の表示画素部1で共用するため、接続配線CLの数を削減できる。したがって、表示解像度を高くしても、接続配線CLの数が増えなくなり、信号線駆動回路2内のドライバ10の数も減らせ、製造コストの削減と消費電力の低減が図れる。

【0013】本実施形態では、同一画素を構成する異なる色(RGB)の3個の表示画素を組にしている。すなわち、同一画素の赤(R)色用、緑(G)色用、青(B)色用の表示画素を同一の組にしている。

【0014】図2は表示画素部 ij ($i=1, 2, \dots, n$ $j=1, 2, \dots, m$)の内部構成を示すブロック図である。図示のように、各表示画素部 ij は、画素電極5と、画素電極に対向配置される対向電極と、これら電極間に保持される液晶層とからなる表示素子と、画素電極5に接続し信号電圧を保持する補助容量と、画素電極5に接続される書き込みTFT6と、書き込みTFT6のゲート電圧を制御するデコーダ部7とを有する。

【0015】デコーダ部7は、2本の走査線 $G(2i-1)$ 、

$G(2i)$ の論理に応じた信号を出力する。例えば、図1の同一組の表示画素部11~13について検討すると、2本の走査線 G_1 、 G_2 の論理が(0,1)のとき、同一組内の3個の表示画素部11~13のうち、左側の表示画素部11のデコーダ部7が「1」を出力し、この表示画素部11の表示が行われる。

【0016】また、2本の走査線 G_1 、 G_2 の論理が(1,0)のとき、同一組内の3個の表示画素部11~13のうち、中央の表示画素部12のデコーダ部7が「1」を出力し、この表示画素部12の表示が行われる。

【0017】また、2本の走査線 G_1 、 G_2 の論理が(1,1)のとき、同一組内の3個の表示画素部11~13のうち、右側の表示画素部13のデコーダ部7が「1」を出力し、この表示画素部13の表示が行われる。

【0018】また、2本の走査線の論理が(0,0)のとき、同一組内のすべての表示画素部11~13が非選択になる。

【0019】図3は図1の表示タイミング図である。図示のように、一水平期間の間に3つの表示期間D1, D2, D3が設けられる。最初の表示期間D1では、対応する行の走査線の論理が(0, 1)となり、X方向に配置された各組内の左側の表示画素部11, 14, 17等の表示(例えば赤色表示)が行われ、次の表示期間D2では、対応する行の走査線の論理が(0, 1)となり、各組内の中央の表示画素部12, 15, 18等の表示(例えば緑色表示)が行われ、最後の表示期間D3では、対応する行の走査線の論理が(1, 1)となり、各組内の右側の表示画素部13, 16等の表示(例えば青色表示)が行われる。

【0020】一水平期間の表示が終わると、表示を行ったライン(iライン)の次のライン(i+1ライン)について、同様に3つの表示期間に分けて表示が行われる。

【0021】このように、本実施形態では、表示画素部 ij の内部にデコーダ部7を設け、複数の走査線の論理に応じて信号線からのデータを取り込むようにしたため、複数の表示画素部で同一の接続配線CLを共用できる。

【0022】例えば、従来は、 $n \times m$ 表示画素を有する表示装置期間の表示を行うために、信号線数 m と同数の接続配線CLが必要であったが、本実施形態によれば、複数の信号線で接続配線CLを共有するので、配線数を削減することが可能となる。例えば上述のように3本の信号線で接続配線CLを共有する場合には、接続配線数を1/3とすることができる。

【0023】このため、信号線駆動回路2の内部構成を簡略化できることから製造コストを削減でき、かつ配線間のピッチを大きくできることから歩留まりの向上が図れる。

【0024】なお、本実施形態によれば、水平期間を3分割して画素にデータを書き込むため、従来よりも画素の書き込みに時間が短くなるが、ポリシリコンTFT等

の移動度の高い T F T を用いれば、特に問題は起きない。

【0025】(第2の実施形態)第2の実施形態は、組となる複数の表示画素部ごとに信号線を配置することを特徴とする。

【0026】図4は本発明に係る表示装置の第2の実施形態である液晶表示装置の概略構成を示すブロック図である。本実施形態においては、信号線駆動回路は駆動回路基板上に配置され、表示パネルと駆動回路基板とはフレキシブル配線基板を介して接続される。信号線駆動回路の各出力は、接続配線CLを介して対応する信号線に供給される。

【0027】図4の液晶表示装置は、3個の表示画素部(11~13)、(14~16)、(21~23)、(24~26)等を組として、各組ごとに一本ずつ信号線を配置している。表示画素部1の内部構成は図2と同様である。同一組内の3個の表示画素部(11~13)、(14~16)、(21~23)、(24~26)等はそれぞれ、対応する信号線に接続されている。各表示画素部1とも、デコーダ部7の出力に基づいて、対応する信号線のデータを取り込むか否かを選択する。

【0028】このように、複数の表示画素部1で一本の信号線を共用するため、隣接する信号線同士のピッチを広げることができる。また、信号線駆動回路を外部基板上に配置する場合には接続端子数を削減することができる。また、実装が容易になる。信号線駆動回路2内のドライバの数も低減できることから、製造コストも削減できる。

【0029】(第3の実施形態)第3の実施形態は、面積階調表示を行う際に信号線の本数を減らすものである。

【0030】図5は本発明に係る表示装置の第3の実施形態における液晶表示装置の概略構成を示すブロック図である。本実施形態においては、信号線駆動回路は駆動回路基板と表示パネルとを接続するフレキシブル配線上にICとして配置され、信号線駆動回路の各出力は、接続配線CLを介して対応する信号線に供給される。

【0031】図5の液晶表示装置内の画素アレイ部4は、面積階調表示を行う複数の表示画素部を有する。各表示画素部は、面積の異なる複数の(例えば、図5では3つの)副画素部(31~33)、(34~36)、(37~39)、(41~43)、(44~46)、(47~49)等を有する。各副画素部は、メモリ部51と、書き込みT F T 6と、デコーダ部7とを有する。

【0032】図5では、赤色に対応する3つの副画素(31~33)、(41~43)と、緑色に対応する3つの副画素(34~36)、(44~46)と、青色に対応する3つの副画素(37~39)、(47~49)とを示しており、これら9個の副画素で一画素が構成される。すなわち、図5には、2画素分の構造が図示されている。

【0033】同一の表示画素部1内の各デコーダ部7には、複数の走査線(例えば、図5では2本の走査線(G1, G2)、(G3, G4))が接続されている。各デコーダ部7は、複数の走査線の論理に応じた信号を出力する。各デコーダ部7の出力は、対応する書き込みT F T 6のゲート端子に入力される。

【0034】同一の表示画素部1内の各書き込みT F T 6のドレイン端子は、同一の信号線に接続されており、書き込みT F T 6がオンすると、信号線のデータが対応するメモリ部51に書き込まれる。

【0035】例えば、図5の2本の走査線G1, G2が(0,1)のときは副画素部31, 34, 37の表示が行われ、走査線G1, G2が(1,0)のときは副画素部32, 35, 38の表示が行われ、走査線が(1,1)のときは副画素部33, 36, 39の表示が行われる。

【0036】図6は図5の表示タイミング図である。図示のように、一水平書込期間の間に3つの表示期間D1, D2, D3が設けられ、最初の表示期間D1では、対応する行の走査線の論理が(0, 1)となり、X方向に配置された表示画素部内の図の左側の副画素部31, 34, 37等へのデータ書き込みが行われ、次の表示期間D2では、対応する行の走査線の論理が(1, 0)となり、X方向に配置された表示画素部内の図の中央の副画素部32, 35, 38等へのデータ書き込みが行われ、次の表示期間D3では、対応する行の走査線の論理が(1, 1)となり、X方向に配置された表示画素部内の図の右側の副画素部33, 36, 39等へのデータ書き込みが行われる。このように、面積階調表示を行う際表示面積の小さい副画素部から書き込みを行うことにより、良好な表示画像を得ることができる。

【0037】このように、第3の実施形態では、各副画素ごとにデコーダ部7を設けるため、複数の副画素で信号線を共用でき、信号線の本数を削減できる。

【0038】図7は図5の変形例を示す面積階調方式の表示装置の概略構成を示すブロック図である。図7の表示装置は、副画素部(31~33)、(34~36)、(37~39)、(41~43)、(44~46)、(47~49)等の内部構成が図5と異なっている。図7の副画素部は、メモリ部51と、書き込みT F T 6と、ANDゲート52と、デコーダ部7とを有する。

【0039】デコーダ部7は、2本の制御信号(C1, C2)の論理に応じた信号を出力する。ANDゲート52は、デコーダ部7の出力と走査線G1~G3との論理積を演算する。ANDゲート52の出力は書き込みT F T 6のゲート端子に入力される。つまり時分割を行う制御信号C1, C2は全画素共通に配線され、この制御信号と走査線へ供給される走査信号との組合せにより各副画素が駆動される。

【0040】例えば、制御信号C1, C2が(0,1)であれば副画素31, 34, 37、・・・の列が選択され、

制御信号が(1,0)であれば副画素32, 35, 38、
 ・ ・ ・の列が選択され、制御信号が(1,1)であれば副画素
 33, 36, 39、
 ・ ・ ・の列が選択される。そして、
 走査信号で選択された行において制御信号C1、C2で
 制御される画素が表示を行う。

【0041】図7の表示装置の場合も、各副画素部ごと
 にデコーダ部7を設けるため、複数の副画素部で信号線
 を共用でき、信号線の本数を削減できる。

【0042】なお、図5および図7では、複数の副画素
 部ごとに信号線を配置する例を示したが、図1と同様
 に、各副画素に対応する信号線を設け、信号線駆動回路
 との接続部において、共通の接続配線CLに接続するも
 のであってもよい。

【0043】上述した各実施形態では、本発明の表示装
 置を液晶表示装置に適用した例を説明したが、本発明は
 EL (electro luminescence) 表示装置にも適用可能
 である。EL表示装置の全体構成は、図1や図4や図5
 のブロック図と同様である。

【0044】図8はEL表示装置の表示画素部の内部構
 成を示すブロック図である。図8の表示画素部は、書き
 込みTFET6と、書き込みTFET6のゲート電圧を制御
 するデコーダ部7と、駆動TFET53と、有機EL発光
 部54とを有する。この有機EL発光部が表示素子として
 機能する。

【0045】デコーダ部7は、複数の走査線の論理に応
 じて、書き込みTFET6をオンするか否かを選択する。
 書き込みTFET6がオンすると、信号線のデータが駆動
 TFET53のゲート端子に供給され、そのゲート電圧に
 応じて有機EL発光部54が発光する。 *

*【0046】

【発明の効果】以上詳細に説明したように、本発明によ
 れば、複数の表示素子が接続配線を共用するため、接続
 配線の本数を削減できる。また、信号線駆動回路の実装が
 容易になるとともに、信号線駆動回路内の構成も簡略化
 でき、部品コストの削減と消費電力の低減が図れる。

【図面の簡単な説明】

【図1】本発明に係る表示装置の第1の実施形態である
 液晶表示装置の概略構成を示すブロック図。

【図2】表示画素部の内部構成を示すブロック図。

【図3】図1の表示タイミング図。

【図4】本発明に係る表示装置の第2の実施形態である
 液晶表示装置の概略構成を示すブロック図。

【図5】本発明に係る表示装置の第3の実施形態におけ
 る液晶表示装置の概略構成を示すブロック図。

【図6】図5の表示タイミング図。

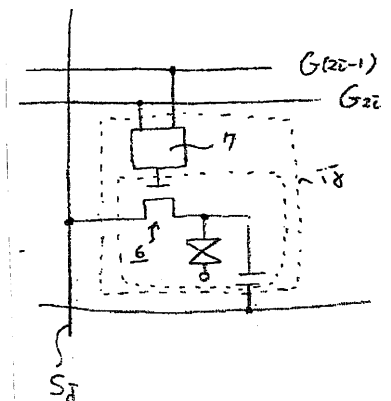
【図7】図5の変形例を示す面積階調方式の表示装置の
 概略構成を示すブロック図。

【図8】EL表示装置の表示画素部の内部構成を示すブ
 ロック図。

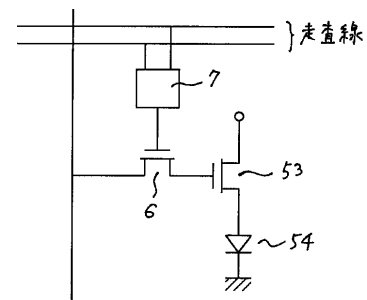
【符号の説明】

- 1 表示画素部
- 2 信号線駆動回路
- 3 走査線駆動回路
- 4 画素アレイ部
- 5 画素電極
- 6 書き込みTFET
- 7 デコーダ部

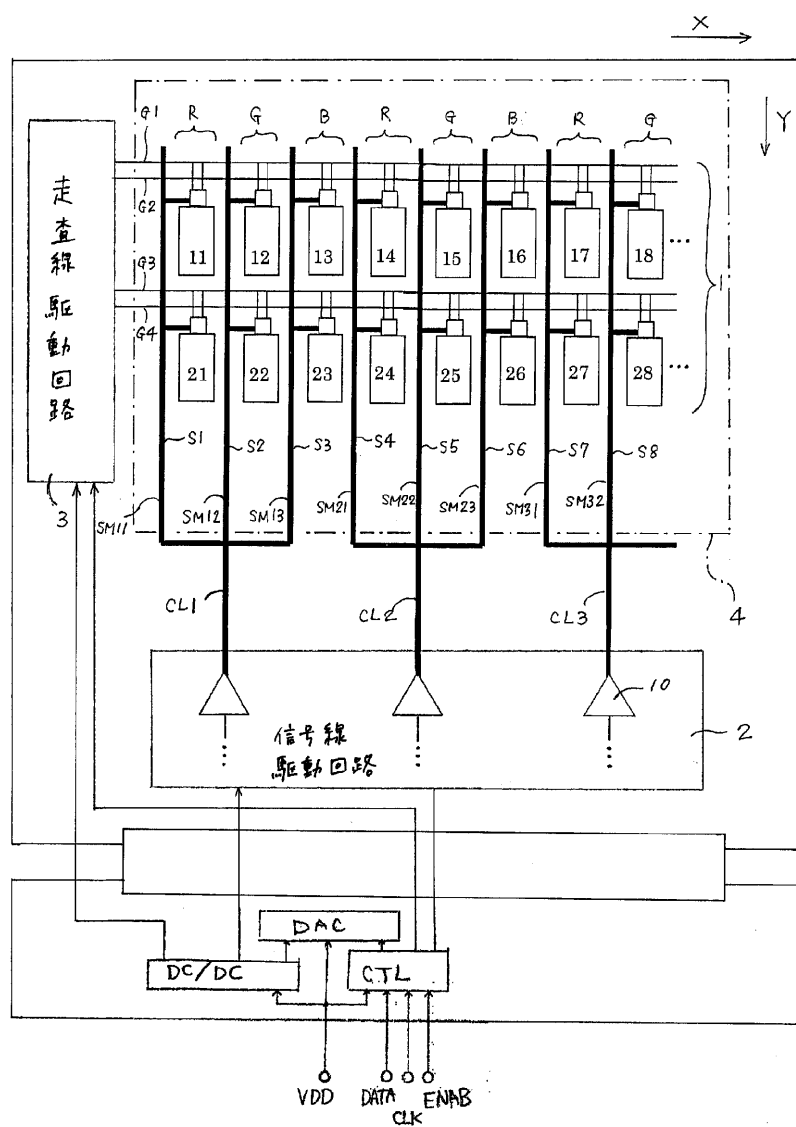
【図2】



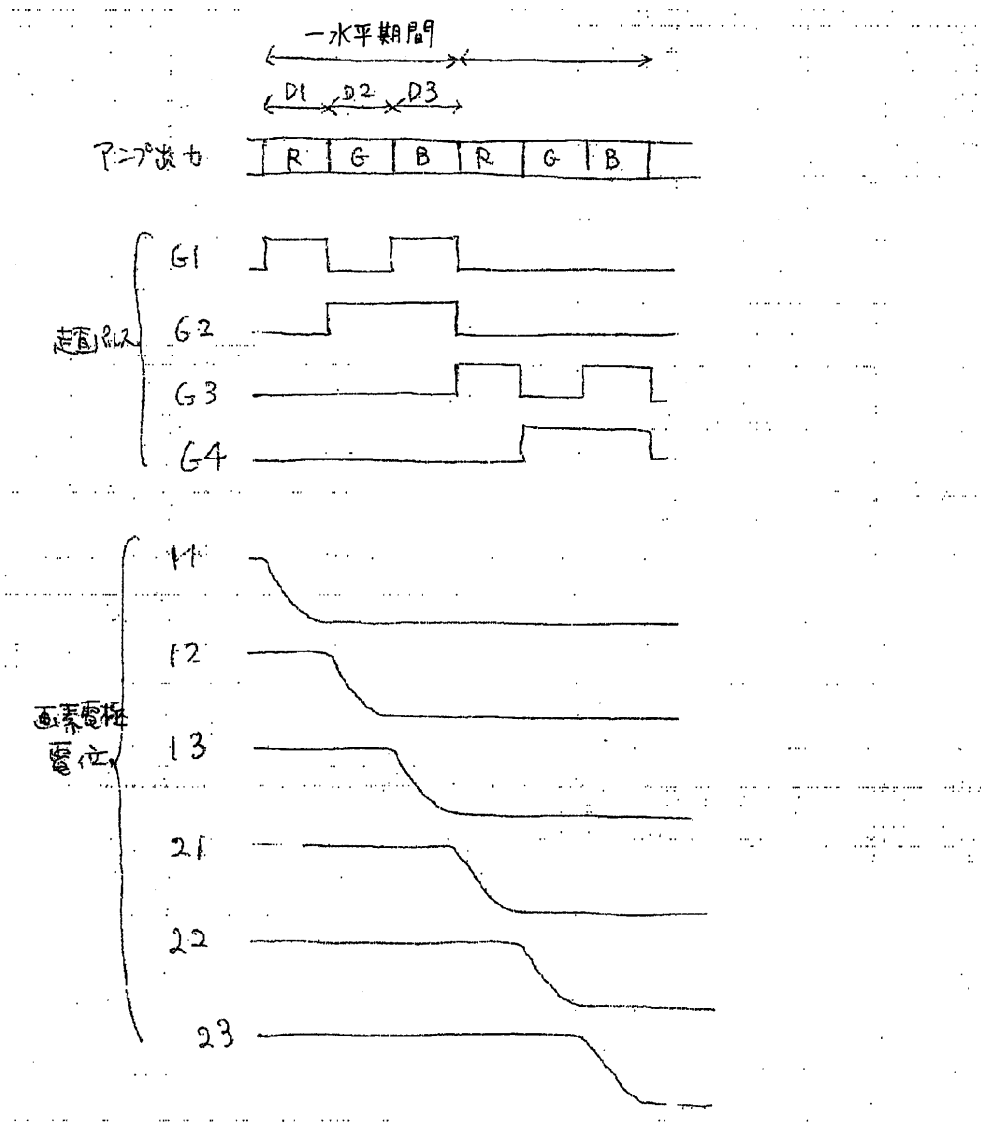
【図8】



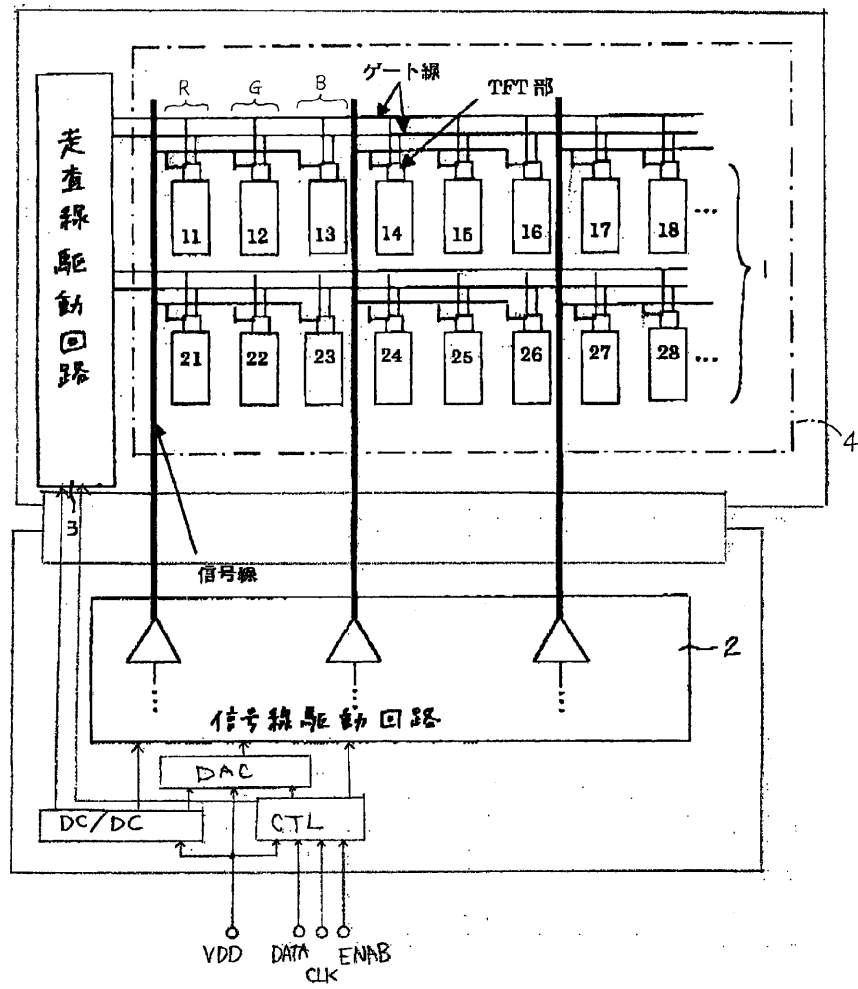
【図1】



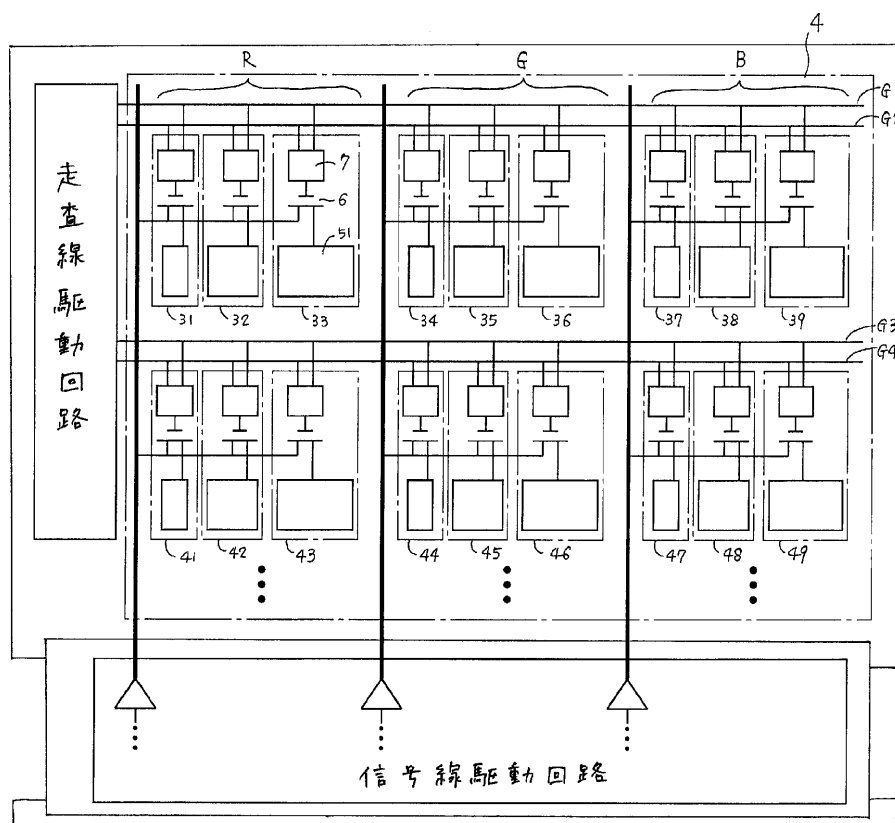
【図3】



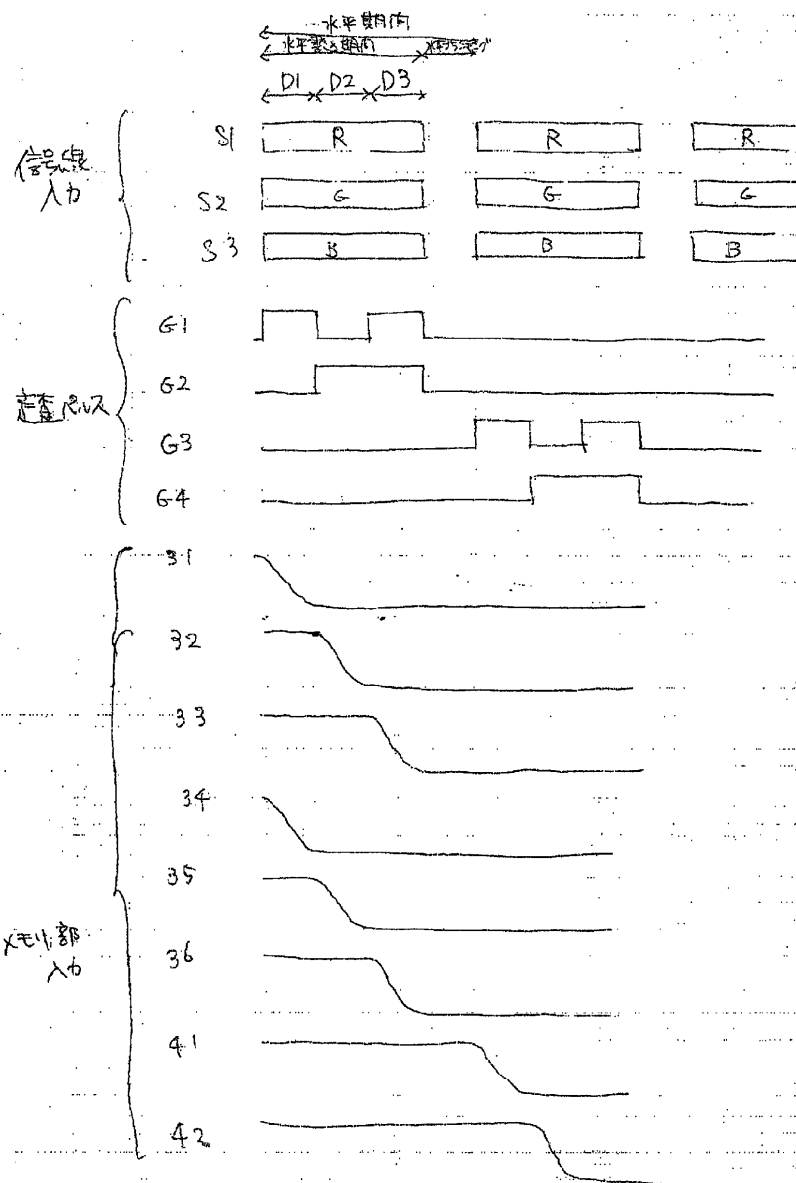
【図4】



【図 5】

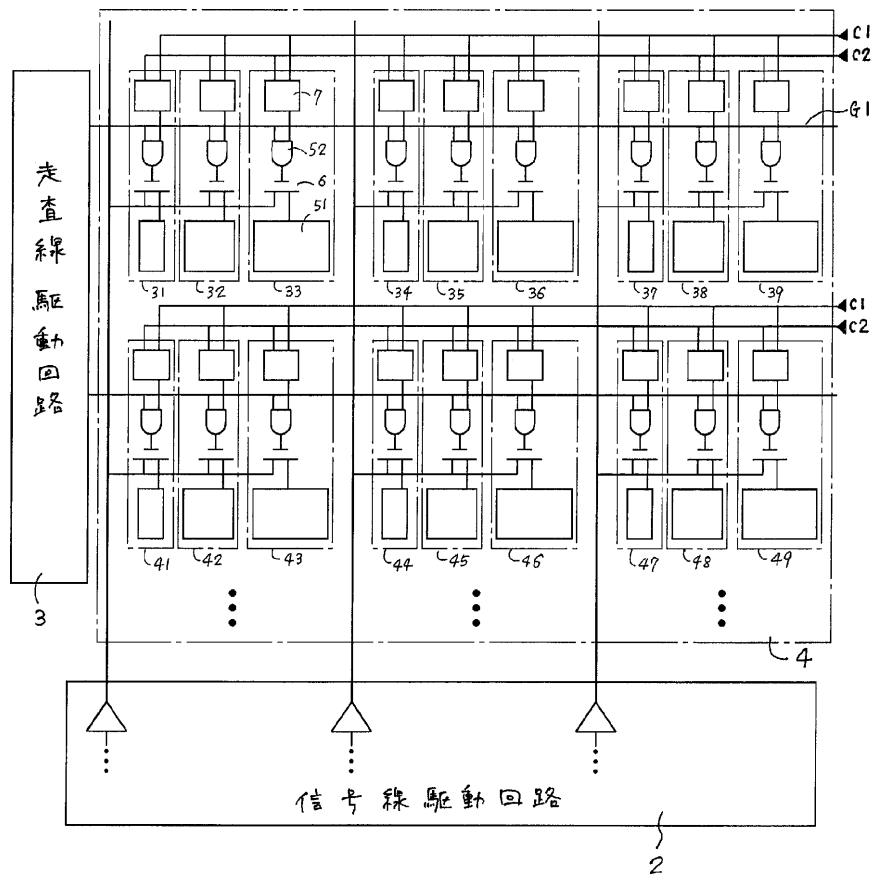


【図6】



558019161-1

【図7】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	ターム(参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 U
	6 2 4		6 2 4 B
	6 8 0		6 8 0 G

F ターム(参考) 2H093 NA16 NC09 NC11 NC29 NC34
 ND06 ND15 ND54 NE07
 5C006 AA01 AA12 AA16 AA22 AC11
 AF42 AF43 AF71 AF85 BB16
 BC03 BC06 BC11 BC20 BC23
 EB04 FA16 FA32 FA42 FA43
 FA47 FA51 FA56
 5C080 AA06 AA10 BB05 CC03 DD07
 DD10 DD23 DD26 DD28 EE17
 EE29 EE30 FF11 GG08 HH09
 JJ02 JJ03 JJ04 KK02 KK04
 KK07

专利名称(译)	表示装置		
公开(公告)号	JP2003255903A	公开(公告)日	2003-09-10
申请号	JP2002053340	申请日	2002-02-28
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	岡崎熱郎		
发明人	岡 崎 熱 郎		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H01L51/50		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.M G09G3/20.622.F G09G3/20.622.Q G09G3/20.623.U G09G3/20.624.B G09G3/20.680.G H05B33/14.A		
F-TERM分类号	2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC29 2H093/NC34 2H093/ND06 2H093/ND15 2H093/ND54 2H093/NE07 5C006/AA01 5C006/AA12 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AF42 5C006/AF43 5C006/AF71 5C006/AF85 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BC23 5C006/EB04 5C006/FA16 5C006/FA32 5C006/FA42 5C006/FA43 5C006/FA47 5C006/FA51 5C006/FA56 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD07 5C080/DD10 5C080/DD23 5C080/DD26 5C080/DD28 5C080/EE17 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG08 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK02 5C080/KK04 5C080/KK07 2H093/NA54 2H093/NC40 2H193/ZA04 2H193/ZA08 2H193/ZA19 2H193/ZB02 2H193/ZC34 2H193/ZC39 2H193/ZD24 3K107/AA01 3K107/BB01 3K107/CC33 3K107/CC35 3K107/CC43 3K107/CC45 3K107/DD39 3K107/EE03 3K107/EE59		
其他公开文献	JP2003255903A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置，即使显示分辨率变高，信号线的总数也不会增加。液晶显示装置包括沿X方向排列的多条信号线S1至Sm，沿Y方向排列的多条扫描线G1至Gn以及信号线和扫描线的交点附近。排成一行的多个显示像素单元1，驱动信号线S1至Sm的信号线驱动电路2以及驱动扫描线G1至Gn的扫描线驱动电路3。每个显示像素单元1具有像素电极5，连接到像素电极5的写入TFT 6以及控制写入TFT 6的栅极电压的解码器单元7。由于解码器单元7根据多条扫描线的逻辑从信号线获取数据，因此同一条信号线可以被多个显示像素单元1共享。

