

(19)日本国特許庁 ( J P )

# 公開特許公報 ( A )

(11)特許出願公開番号

特開2003 - 168936

( P2003 - 168936A )

(43)公開日 平成15年6月13日 (2003.6.13)

| (51) Int. Cl. <sup>7</sup> | 識別記号 | F I          | テームコード* ( 参考 )  |
|----------------------------|------|--------------|-----------------|
| H 0 3 F 3/34               |      | H 0 3 F 3/34 | A 5 C 0 0 6     |
| G 0 9 G 3/20               | 611  | G 0 9 G 3/20 | 611 H 5 C 0 8 0 |
|                            | 623  |              | 623 B 5 J 0 6 6 |
| 3/36                       |      | 3/36         | 5 J 0 9 0       |
| H 0 3 F 1/34               |      | H 0 3 F 1/34 | 5 J 0 9 1       |

審査請求 未請求 請求項の数 8 O L ( 全 9 数 ) 最終頁に続く

(21)出願番号 特願2001 - 367832(P2001 - 367832)

(22)出願日 平成13年11月30日(2001.11.30)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 國分 政利

神奈川県川崎市中原区上小田中4丁目1番1号

富士通株式会社内

(72)発明者 鷗戸 真也

神奈川県川崎市中原区上小田中4丁目1番1号

富士通株式会社内

(74)代理人 100092587

弁理士 松本 眞吉

最終頁に続く

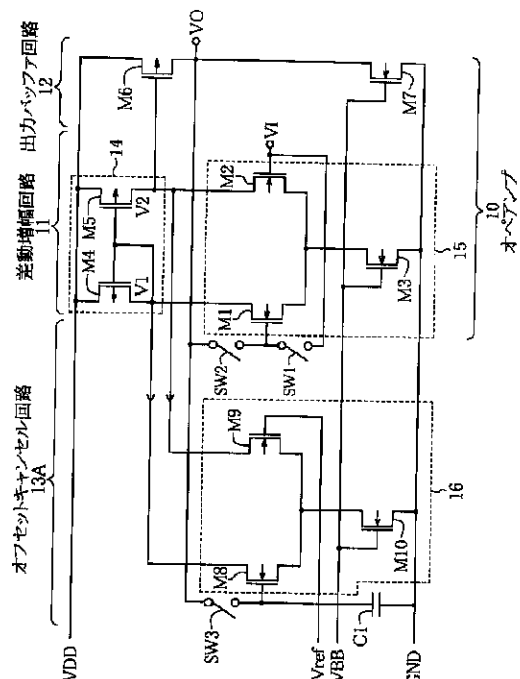
(54)【発明の名称】 ボルテージホロワ及びそのオフセットキャンセル回路並びに液晶表示装置及びそのデータドライバ

(57)【要約】

【課題】 オフセットキャンセル準備期間を短縮する。

【解決手段】 差動増幅回路 1 1 のカレントミラー回路 1 4 の第 1 及び第 2 の電流端にそれぞれ差動対入力回路 1 6 の MOS トランジスタ M 8 及び M 9 のドレインが接続され、MOS トランジスタ M 9 のゲートに参照電位 V r e f が印加され、差動増幅回路 1 1 の差動対 MOS トランジスタ M 1 及び M 2 のゲート間にスイッチ S W 1 が接続され、出力バッファ回路 1 2 の出力端 V O と MOS トランジスタ M 1 のゲートとの間にスイッチ S W 2 が接続され、該出力端 V O と MOS トランジスタ M 8 のゲートとの間にスイッチ S W 3 が接続されている。オフセットキャンセル準備期間では、スイッチ S W 1 及び S W 3 がオンにされスイッチ S W 2 がオフにされる。次に、スイッチ S W 1 ~ S W 3 のオンとオフが逆にされて、オフセットがキャンセルされた電位 V O が出力される。

本発明の第1実施形態のオフセットキャンセル付  
ボルテージホロワを示す回路図



## 【特許請求の範囲】

【請求項 1】 負荷としてカレントミラー回路を備えた差動増幅回路と該差動増幅回路に後続された出力バッファ回路とを有するボルテージホロワのオフセット電圧をキャンセルするオフセットキャンセル回路において、該カレントミラー回路の第 1 及び第 2 の電流端にそれぞれ第 1 及び第 2 のトランジスタの電流路一端が接続され、該第 2 のトランジスタのゲートに参照電位が印加される差動対入力回路と、該差動増幅回路の反転入力端と非反転入力端との間に接続された第 1 スイッチと、該出力バッファ回路の出力端と該反転入力端との間に接続され、該第 1 スイッチとオン / オフが逆に制御される第 2 スイッチと、該出力バッファ回路の出力端と該第 1 のトランジスタのゲートとの間に接続され、該第 1 スイッチと連動してオン / オフ制御される第 3 スイッチと、該第 1 のトランジスタのゲートと所定電位との間に接続されたキャパシタと、を有することを特徴とするボルテージホロワ用オフセットキャンセル回路。

【請求項 2】 上記所定電位は、上記参照電位に等しいことを特徴とする請求項 1 記載のボルテージホロワ用オフセットキャンセル回路。

【請求項 3】 上記参照電位は、上記入力信号の動作範囲の略中心電位に等しいことを特徴とする請求項 1 又は 2 記載のボルテージホロワ用オフセットキャンセル回路。

【請求項 4】 上記参照電位は、液晶ディスプレイパネルの階調電位の最大値と最小値の略平均値に等しいことを特徴とする請求項 1 又は 2 記載のボルテージホロワ用オフセットキャンセル回路。

【請求項 5】 差動対電位出力端である第 1 及び第 2 の電流端を有するカレントミラー回路と、該第 1 及び第 2 の電流端にそれぞれ第 1 及び第 2 のトランジスタの電流路一端が接続され、該第 2 のトランジスタのゲートに入力信号が供給される第 1 差動対入力回路と、該第 2 の電流端の電位に応じた信号を出力端から取り出す出力バッファ回路と、該第 1 及び第 2 の電流端にそれぞれ第 3 及び第 4 のトランジスタの電流路一端が接続され、該第 4 のトランジスタのゲートに参照電位が印加される第 2 差動対入力回路と、該第 1 のトランジスタのゲートと該第 2 のトランジスタのゲートとの間に接続された第 1 スイッチと、該出力端と該第 1 のトランジスタのゲートとの間に接続され、該第 1 スイッチとオン / オフが逆に制御される第 2 スイッチと、該出力端と該第 3 のトランジスタのゲートとの間に接続

\*され、該第 1 スイッチと連動してオン / オフ制御される第 3 スイッチと、該第 3 のトランジスタのゲートと所定電位との間に接続されたキャパシタと、を有することを特徴とするオフセットキャンセル付ボルテージホロワ。

【請求項 6】 上記第 1 差動対入力回路は、定電流源と、該定電流源と上記第 1 のトランジスタの電流路他端との間に接続された逆流防止用第 1 ダイオードと、該定電流源と上記第 2 のトランジスタの電流路他端との間に接続された逆流防止用第 2 ダイオードと、を有することを特徴とする請求項 5 記載のオフセットキャンセル付ボルテージホロワ。

【請求項 7】 液晶表示装置のデータ線に結合される請求項 6 記載のオフセットキャンセル付ボルテージホロワが複数並設されていることを特徴とする液晶表示装置用データドライバ。

【請求項 8】 複数のデータ線が形成された液晶表示パネルと、該複数のデータ線に接続された請求項 7 記載の液晶表示装置用データドライバと、を有することを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、オペアンプを用いたボルテージホロワ及びそのオフセットキャンセル回路、特にオフセットキャンセルを頻繁に行う液晶表示装置のデータドライバの出力段などに適用して好適なボルテージホロワ及びそのオフセットキャンセル回路、並びにこのボルテージホロワを出力段に用いた液晶表示装置用データドライバ及び液晶表示装置に関する。

## 【0002】

【従来の技術】図 8 は、特開 2001 - 292041 に開示されている従来のオフセットキャンセル付ボルテージホロワを示す。

【0003】オペアンプ 10 は、差動増幅回路 11 と、その後段に接続された出力バッファ回路 12 とからなり、出力バッファ回路 12 の出力電位  $V_O$  を、差動増幅回路 11 の反転入力端である NMOS トランジスタ  $M_1$  のゲートにフィードバックすることにより、増幅率 1 のボルテージホロワとして用いられる。このボルテージホロワの入力電位  $V_I$  は、非反転入力端である NMOS トランジスタ  $M_2$  のゲートに供給される。理想적인場合には、フィードバック制御により  $V_O = V_I$  となり、このとき、差動増幅回路 11 の負荷としての PMOS トランジスタ  $M_4$  及び  $M_5$  のドレイン電位  $V_1$  及び  $V_2$  は、互いに等しくなる。

【0004】しかしながら、MOS トランジスタのゲート酸化膜厚のばらつきなどにより電位  $V_1$  と  $V_2$  とが互

いに等しくならず、出力電位  $V_O$  が入力電位  $V_I$  からずれるというオフセットが生ずる。

【0005】このオフセットをキャンセルするために、オペアンプ 10 にオフセットキャンセル回路 13 が接続されている。

【0006】図 9 は、図 8 の動作を示すタイムチャートである。

【0007】時点  $t_1$  から  $t_2$  までのオフセットキャンセル準備期間では、スイッチ  $SW_1$  及び  $SW_3$  がオンにされ、スイッチ  $SW_2$  がオフにされる。これにより、出力電位  $V_O$  が NMOS トランジスタ  $M_1$  のゲートにフィードバックされずに NMOS トランジスタ  $M_1$  と  $M_2$  のゲート電位が入力電位  $V_I$  になるので、差動対入力回路 15 はカレントミラー回路 14 に対する電流源として動作する。

【0008】これに対し、NMOS トランジスタ  $M_9$  のゲートに入力電位  $V_I$  が供給され、NMOS トランジスタ  $M_8$  のゲートに出力電位  $V_O$  がフィードバックされるので、カレントミラー回路 14 と差動対入力回路 16 とからなる差動増幅回路と出力バッファ回路 12 とによりボルテージホロワ回路が構成され、出力電位  $V_O$  が入力電位  $V_I$  に近づくようにフィードバック制御される。

【0009】この場合も、上記理由により例えば  $V_1 > V_2$  となると、PMOS トランジスタ  $M_6$  の内部抵抗が理想的な場合よりも低くなって出力電位  $V_O$  が入力電位  $V_I$  よりも高くなる。このため、NMOS トランジスタ  $M_8$  のドレイン電流が NMOS トランジスタ  $M_9$  のそれよりも大きくなる。この出力電位  $V_O$  によりキャパシタ  $C_1$  が充電又は放電されて、そのスイッチ  $SW_3$  側電極の電位が出力電位  $V_O$  に等しくなる。

【0010】時点  $t_2$  でスイッチ  $SW_1 \sim SW_3$  のオンとオフを逆にすると、差動対入力回路 15 と 16 の動作が逆になり、差動増幅回路 11 と出力バッファ回路 12 とでボルテージホロワが構成されて、出力電位  $V_O$  が入力電位  $V_I$  に近づくようにフィードバック制御される。このとき、NMOS トランジスタ  $M_8$  のゲート電位が時点  $t_2$  での出力電位  $V_O$  に等しいので、NMOS トランジスタ  $M_1$  のゲート電位が入力電位  $V_I$  に一致するようにフィードバック制御される。すなわち、 $V_O = V_I$  となってオフセット電圧がキャンセルされる。

【0011】図 8 の回路を液晶表示装置用データドライバに用いた場合、入力電位  $V_I$  が 1 水平走査期間、例えば  $22 \mu s$  の周期で変化する。

【0012】

【発明が解決しようとする課題】入力電位  $V_I$  は表示データに依存し、最小値から最大値又は最大値から最小値に変化する場合もある。設計においては、このワーストケースにおいても出力電位  $V_O$  が安定するのに必要なフィードバック制御時間をオフセットキャンセル準備期間として確保しなければならない。このため、液晶表示装

置の表示ライン数が多くなるほど、出力電位  $V_O$  で液晶画素の容量を充放電するための時間（駆動時間）が圧迫され、駆動できなくなるという問題が生ずる。

【0013】本発明の目的は、このような問題点に鑑み、オフセットキャンセル準備期間を短縮することが可能なボルテージホロワ及びそのオフセットキャンセル回路並びに液晶表示装置及びそのデータドライバを提供することにある。

【0014】

【課題を解決するための手段及びその作用効果】本発明の一態様では、負荷としてカレントミラー回路を備えた差動増幅回路と該差動増幅回路に後続された出力バッファ回路とを有するボルテージホロワのオフセット電圧をキャンセルするボルテージホロワ用オフセットキャンセル回路において、該カレントミラー回路の第 1 及び第 2 の電流端にそれぞれ第 1 及び第 2 のトランジスタの電流路一端が接続され、該第 2 のトランジスタのゲートに参照電位が印加される差動対入力回路と、該差動増幅回路の反転入力端と非反転入力端との間に接続された第 1 スイッチと、該出力バッファ回路の出力端と該反転入力端との間に接続され、該第 1 スイッチとオン/オフが逆に制御される第 2 スイッチと、該出力バッファ回路の出力端と該第 1 のトランジスタのゲートとの間に接続され、該第 1 スイッチと連動してオン/オフ制御される第 3 スイッチと、該第 1 のトランジスタのゲートと所定電位との間に接続されたキャパシタとを有する。

【0015】上記構成において、オフセットキャンセル準備期間では、第 1 スイッチ及び第 3 スイッチがオンにされ、第 2 スイッチがオフにされる。これにより、該差動増幅回路の差動対入力回路は該カレントミラー回路に対する電流源として動作する。これに対し、該出力バッファ回路の出力電位が該反転入力端にフィードバックされずに該第 1 のトランジスタのゲートにフィードバックされるので、該カレントミラー回路と該オフセットキャンセル回路の差動対入力回路からなる差動増幅回路と該出力バッファ回路とによりボルテージホロワ回路が構成され、その出力電位が該参照電位に近づくようにフィードバック制御される。

【0016】このフィードバック制御が安定した後に、第 1 ～第 3 スイッチのオンとオフとが逆にされて、該 2 つの差動対入力回路の動作が互いに逆になり、該差動増幅回路と該出力バッファ回路とでボルテージホロワが構成されて、その出力電位が入力電位に近づくようにフィードバック制御される。このとき、該キャパシタにより該第 1 トランジスタのゲート電位は、スイッチ切換直前での該出力電位に等しい。

【0017】該 2 つの差動対入力回路の動作が逆になっても、これらが該カレントミラー回路に並列に接続されており、また、該第 1 及び第 2 のトランジスタのゲート電位及び該ボルテージホロワの非反転入力端電位がスイ

ツチ切換直前における安定状態の電位に等しいので、該ボルテージホロワの反転入力端電位は該スイッチ切換直前の電位である該非反転入力端電位に一致した状態でフィードバック制御が安定する。すなわち、オフセット電圧がキャンセルされる。

【0018】本発明の他の目的、構成及び効果は以下の説明から明らかになる。

【0019】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。

【0020】[第1実施形態]図1は、本発明の第1実施形態のオフセットキャンセル付ボルテージホロワを示す回路図である。

【0021】差動増幅回路11は、負荷としてのカレントミラー回路14と、その第1及び第2の電流出力端に接続された差動対入力回路15とからなる。

【0022】カレントミラー回路14では、PMOSトランジスタM4とM5のソースが電源電位VDDに接続され、PMOSトランジスタM4とM5のゲートがPMOSトランジスタM4のドレインに接続され、PMOSトランジスタM4とM5のドレインがそれぞれ前記第1及び第2の電流出力端となっている。差動対入力回路15では、NMOSトランジスタM1とM2のソースがNMOSトランジスタM3のドレインに接続され、NMOSトランジスタM3のソースがグランド電位GNDに接続されている。NMOSトランジスタM3は、そのゲートにバイアス電位VBBが印加されて定電流源として機能する。

【0023】差動増幅回路11の反転入力端及び非反転入力端はそれぞれNMOSトランジスタM1及びM2のゲートであり、差動増幅回路11の出力端はPMOSトランジスタM5のドレインである。

【0024】出力バッファ回路12は、電源電位VDDとグランド電位GNDとの間に直列接続されたPMOSトランジスタM6とNMOSトランジスタM7とからなり、NMOSトランジスタM7は、そのゲートにバイアス電位VBBが印加されて定電流源として機能する。出力バッファ回路12の入力端及び出力端はそれぞれPMOSトランジスタM6のゲート及びドレインであり、この入力端が差動増幅回路11の出力端に接続されている。

【0025】オフセットキャンセル回路13Aは、差動対入力回路15と同一構成の差動対入力回路16を備えており、そのNMOSトランジスタM8～M10はそれぞれ差動対入力回路15のNMOSトランジスタM1～M3に対応している。差動対入力回路16は、カレントミラー回路14に対し差動対入力回路15と並列に接続されている。オフセットキャンセル回路13Aはさらに、NMOSトランジスタM8のゲートとグランド電位GNDとの間に接続されたキャパシタC1と、スイッチ

SW1～SW3とを備えている。スイッチSW1はNMOSトランジスタM1とM2のゲート間に接続され、スイッチSW2はNMOSトランジスタM1のゲートと出力電位VOとの間に接続され、スイッチSW3はNMOSトランジスタM8のゲートと出力電位VOとの間に接続されている。

【0026】図1の回路は、NMOSトランジスタM9のゲートに、入力電位VIの代わりに所定の参照電位Vrefが印加される点で図8の回路と異なっている。

【0027】オフセットキャンセルをより正確に行うためには、参照電位Vrefと入力電位VIとの差を小さくした方が好ましく、参照電位Vrefは例えば、入力電位VIの変動範囲の略中点に固定されている。例えば図1の回路を液晶表示装置用データドライバの出力段として用いる場合、参照電位Vrefは階調電圧範囲の略中心値に等しくされる。

【0028】次に、上記の如く構成された本第1実施形態の動作を説明する。

【0029】図2は、図1の動作を示すタイムチャートである。

【0030】時点t1からt2までのオフセットキャンセル準備期間では、スイッチSW1及びSW3がオンにされ、スイッチSW2がオフにされる。これにより、出力電位VOがNMOSトランジスタM1のゲートにフィードバックされずにNMOSトランジスタM1とM2のゲート電位が入力電位VIになるので、差動対入力回路15はカレントミラー回路14に対する電流源として動作する。

【0031】これに対し、NMOSトランジスタM8のゲートに出力電位VOがフィードバックされるので、カレントミラー回路14と差動対入力回路16からなる差動増幅回路と出力バッファ回路12とによりボルテージホロワ回路が構成され、出力電位VOが参照電位Vrefに近づくようにフィードバック制御される。このとき、MOSトランジスタのゲート酸化膜厚のばらつきなどにより電位V1とV2とが互いに等しくならず、出力電位VOが入力電位VIからずれるというオフセットが生ずる。

【0032】例えばV1>V2となると、PMOSトランジスタM6の内部抵抗が理想的な場合よりも低くなって出力電位VOが参照電位Vrefよりも高くなる。このため、NMOSトランジスタM8のドレイン電流がNMOSトランジスタM9のそれよりも大きくなる。この出力電位VOによりキャパシタC1が充電又は放電されて、そのスイッチSW3側の電極の電位が出力電位VOに等しくなる。

【0033】時点t2でスイッチSW1～SW3のオンとオフを逆にすると、差動対入力回路15と16の動作が逆になり、差動増幅回路11と出力バッファ回路12とでボルテージホロワが構成されて、出力電位VOが入

力電位  $V_I$  に近づくようにフィードバック制御される。このとき、NMOS トランジスタ  $M_8$  のゲート電位は時点  $t_2$  での出力電位  $V_O$  に等しい。差動対入力回路 15 と 16 の動作が逆になっても、差動対入力回路 15 と 16 とがカレントミラー回路 14 に並列に接続されており、また、NMOS トランジスタ  $M_2$ 、 $M_8$  及び  $M_9$  のゲート電位が時点  $t_2$  のスイッチ切換直前における安定状態の電位に等しいので、NMOS トランジスタ  $M_1$  のゲート電位は該スイッチ切換直前の電位である入力電位  $V_I$  に一致した状態でフィードバック制御が安定する。すなわち、 $V_O = V_I$  となってオフセット電圧がキャンセルされる。

【0034】図 8 の回路では、NMOS トランジスタ  $M_9$  のゲート電位が入力電位  $V_I$  に応じて変化するが、本第 1 実施形態によれば NMOS トランジスタ  $M_9$  のゲート電位が参照電位  $V_{ref}$  に固定されているので、キャパシタ  $C_1$  のスイッチ  $SW_3$  側電極電位は常に参照電位  $V_{ref}$  付近の値であり、オフセットキャンセル準備期間において差動対入力回路 16 を含むボルテージホロワ回路のフィードバック制御が安定するまでの時間が、図 8 の場合よりも短くなる。この時間は、図 1 の回路の消費電流、すなわち NMOS トランジスタ  $M_{10}$ 、 $M_3$  及び  $M_7$  に流れる電流の合計値に依存する。

【0035】実験の結果、キャパシタ  $C_1$  が  $1.2 \text{ pF}$  で、NMOS トランジスタ  $M_{10}$ 、 $M_3$  及び  $M_7$  に流れる電流値がそれぞれ  $5 \mu\text{A}$ 、 $5 \mu\text{A}$  及び  $10 \mu\text{A}$  である場合、図 1 の回路に必要なオフセットキャンセル準備期間は  $0.6 \mu\text{s}$  であった。これに対し、図 8 のそれは  $2.0 \mu\text{s}$  であった。また、64 階調の液晶表示装置用データドライバに、図 1 の回路を用いた場合と図 8 の回路を用いた場合とでは、いずれも、オフセット電圧の最大値が  $\pm 10 \text{ mV}$  であったのに対し、オフセットキャンセル動作によりこれを  $\pm 1 \text{ mV}$  以下にすることができた。

【0036】図 3 は、図 1 のオフセットキャンセル付ボルテージホロワの変形例を示す回路図である。

【0037】この回路では、キャパシタ  $C_1$  の固定側電極電位が参照電位  $V_{ref}$  にされている点で、図 1 と異なる。この回路によれば、参照電位  $V_{ref}$  の方がグラウンド電位  $GND$  よりも安定している場合、図 1 の場合よりもオフセットキャンセルを正確に行うことができる。

【0038】図 4 は、図 1 のオフセットキャンセル付ボルテージホロワの他の変形例を示す回路図である。

【0039】この回路では、キャパシタ  $C_1$  の固定側電極電位が電源電位  $V_{DD}$  にされている点で、図 1 と異なる。この回路によれば、電源電位  $V_{DD}$  の方がグラウンド電位  $GND$  よりも安定している場合、図 1 のときよりもオフセットキャンセルを正確に行うことができる。

【0040】図 5 は、図 1 のオフセットキャンセル付ボルテージホロワのさらに他の変形例を示す回路図であ

る。

【0041】この回路では、図 1 の回路にさらに、電源電位  $V_{DD}$  と NMOS トランジスタ  $M_8$  のゲートとの間にキャパシタ  $C_2$  が接続されている。この回路によれば、例えば電源電位  $V_{DD}$  が一定の状態ではグラウンド電位  $GND$  が変動した場合、キャパシタ  $C_2$  によりその影響が低減される。

【0042】[第 2 実施形態] 図 6 は、本発明の第 2 実施形態のオフセットキャンセル付ボルテージホロワを示す回路図である。

【0043】この回路では、NMOS トランジスタ  $M_8$  のソースと NMOS トランジスタ  $M_{10}$  のドレインとの間及び NMOS トランジスタ  $M_9$  のソースと NMOS トランジスタ  $M_{10}$  のドレインとの間にそれぞれ逆流防止用のダイオード  $D_1$  及び  $D_2$  が接続されている点で、図 1 の回路と異なる。ダイオード  $D_1$  及び  $D_2$  はいずれも、ダイオード接続された MOS トランジスタで構成することができる。

【0044】図 7 は、図 1、3 ~ 6 のいずれかの回路をデータドライバに用いた液晶表示装置の概略構成を示す。

【0045】液晶表示パネル 20 には、垂直方向に延びた複数のデータ線 21 と水平方向に延びた複数の走査線 22 とが互いにクロスオーバーして形成され、各クロスオーバー点に対応して画素が形成されている。データ線 21 及び走査線 22 の一端はそれぞれデータドライバ 30 及び走査ドライバ 40 に接続されている。制御回路 50 は、外部から供給されるビデオ信号、ピクセルクロック信号、水平同期信号及び垂直同期信号に基づいて、データドライバ 30 に表示データ信号及びクロック信号を供給すると共に、走査ドライバデータドライバ 30 に走査制御信号を供給する。データドライバ 30 は、1 水平走査期間毎（及び 1 ピクセル毎）に、表示データをグラウンド電位  $GND$  に対し正極性及び負正極性の電位に変換して出力する。

【0046】データドライバ 30 では、その出力段に正極性のオフセットキャンセル付ボルテージホロワ 31、負極性のオフセットキャンセル付ボルテージホロワ 32、・・・が形成され、これらの隣り合う一対の正及び負極性のオフセットキャンセル付ボルテージホロワ毎にその出力が切換回路で平行接続又はクロスオーバー接続されるように、液晶表示パネル 20 のデータ線に接続されている。正極性のオフセットキャンセル付ボルテージホロワ 31 は、図 1、3 ~ 6 のいずれかと同一構成であり、負極性のオフセットキャンセル付ボルテージホロワ 32 は、該いずれかにおいて NMOS トランジスタと PMOS トランジスタとを入れ替えた構成である。

【0047】切換回路 61 の切り替え時点でオフセットキャンセル付ボルテージホロワ 31 の出力電位が瞬間的に急低下し、図 1 の回路の場合にはこれにより NMOS

トランジスタM8に流れる電流の一部がNMOSTランジスタM9側へ流れて、この動作が安定するまでの時間が余分に必要となる。しかし、図6の回路によればこの逆流が防止されるので、必要な液晶画素駆動時間を確保することができる。

【0048】なお、本発明には外にも種々の変形例が含まれる。

【0049】例えば、ダイオードD1及びD2の替わりに、それぞれNMOSTランジスタM8及びM9に直列接続されたスイッチを用い、出力電位VOが急低下する時点の前後の期間でこれらスイッチをオフにすることにより、逆流を防止する構成であってもよい。また、電源電位VDD又はグランド電位GNDの変動に対しバイアス電位VBBを調整して、定電流源としてのNMOSTランジスタM10、M3及びM7に流れる電流を安定化させる構成であってもよい。

【図面の簡単な説明】

【図1】本発明の第1実施形態のオフセットキャンセル付ボルテージホロワを示す回路図である。

【図2】図1の動作を示すタイムチャートである。

【図3】図1のオフセットキャンセル付ボルテージホロワの変形例を示す回路図である。

【図4】図1のオフセットキャンセル付ボルテージホロワの他の変形例を示す回路図である。

【図5】図1のオフセットキャンセル付ボルテージホロワのさらに他の変形例を示す回路図である。

【図6】本発明の第2実施形態のオフセットキャンセル付ボルテージホロワを示す回路図である。

【図7】図8の回路をデータドライバに用いた液晶表示装置の概略構成を示す図である。

\*【図8】従来のオフセットキャンセル付ボルテージホロワを示す回路図である。

【図9】図8の動作を示すタイムチャートである。

【符号の説明】

10 オペアンプ

11 差動増幅回路

12 出力バッファ回路

13、13A オフセットキャンセル回路

14 カレントミラー回路

15、16 差動対入力回路

20 液晶表示パネル

21 データ線

22 走査線

30 データドライバ

31、32 オフセットキャンセル付ボルテージホロワ

40 走査ドライバ

50 制御回路

61 切換回路

M1～M3、M7～M10 NMOSTランジスタ

M4～M6 PMOSTランジスタ

SW1～SW3 スイッチ

V1、V2 電位

VI 入力電位

VO 出力電位

VDD 電源電位

GND グランド電位

Vref 参照電位

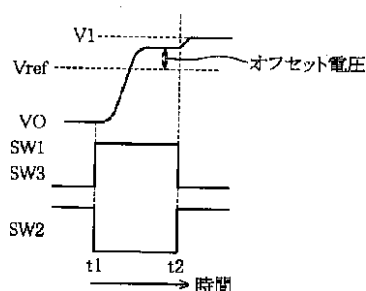
VBB バイアス電位

C1、C2 キャパシタ

\*30 D1、D2 ダイオード

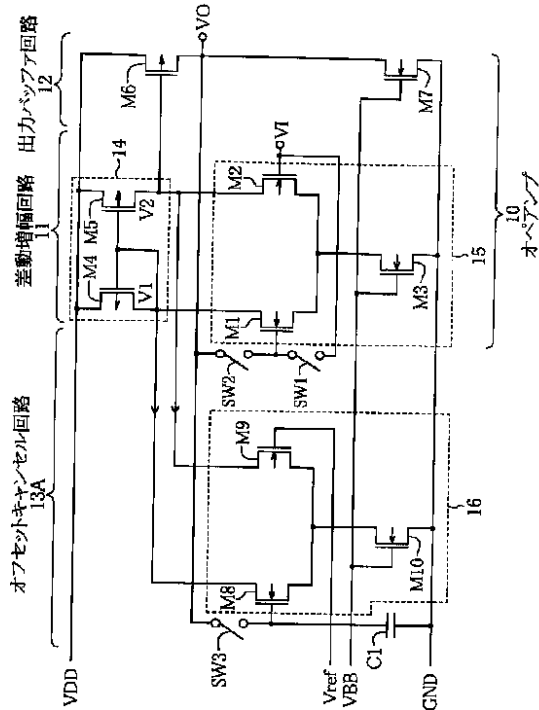
## 【図2】

図1の動作を示すタイムチャート



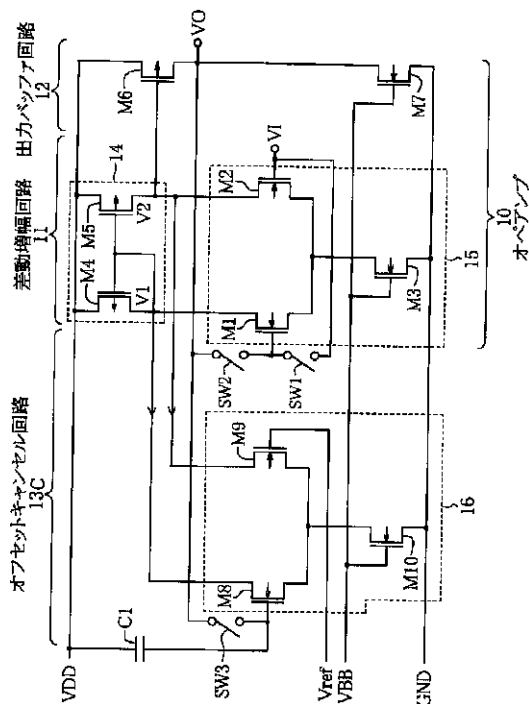
【図1】

本発明の第1実施形態のオフセットキャンセル付ボルテージホロワの回路図



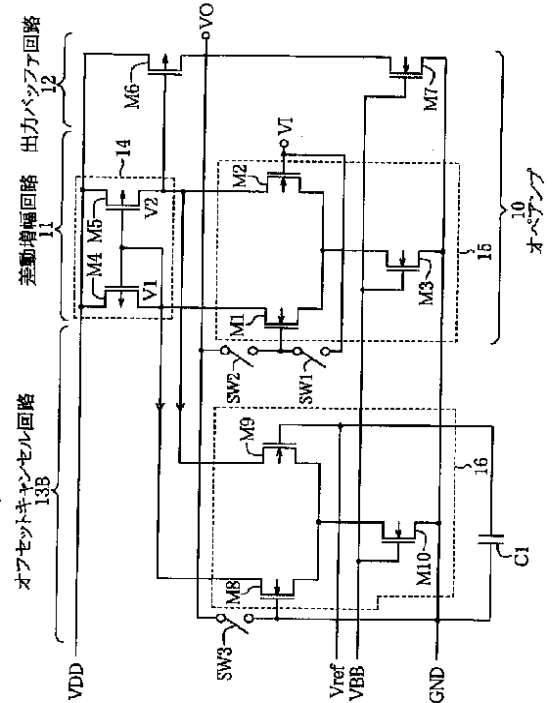
【図4】

図1のオフセットキャンセル付ボルテージホロワの他の変形例を示す回路図



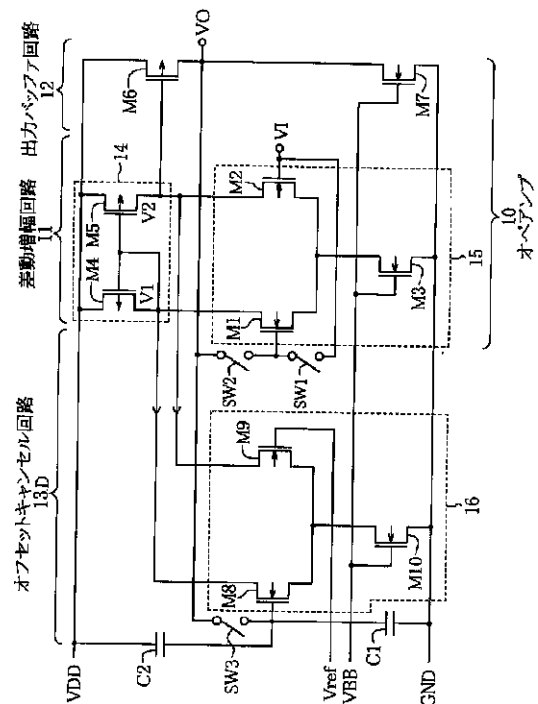
【図3】

図1のオフセットキャンセル付ボルテージホロワの変形例を示す回路図



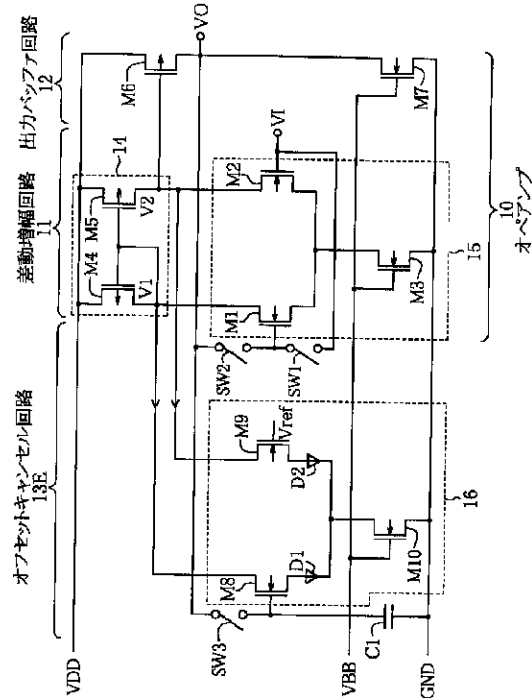
【図5】

図1のオフセットキャンセル付ボルテージホロワのさらに他の変形例を示す回路図



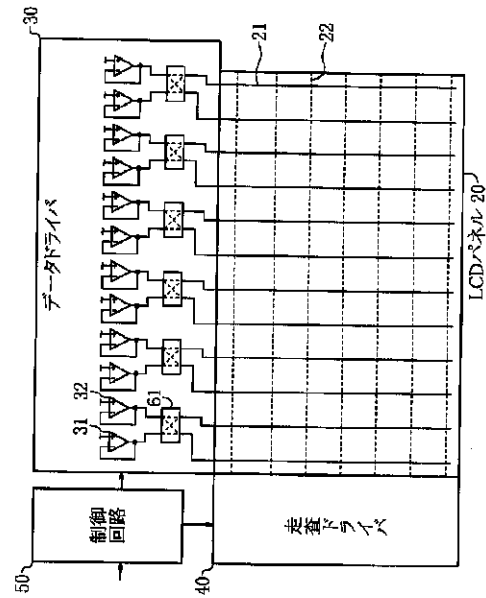
【図6】

本発明の第2実施形態のオフセットキャンセル付  
ボルテージホロフを示す回路図



【図7】

図8の回路をデータドライバに用いた液晶表示装置の  
概略構成を示す図

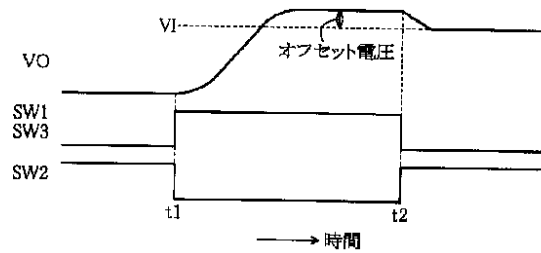
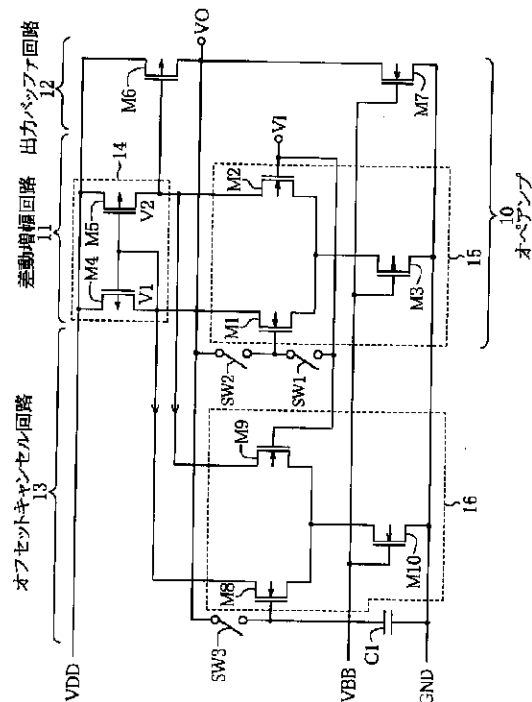


【図9】

図8の動作を示すタイムチャート

【図8】

従来のオフセットキャンセル付ボルテージホコフを  
示す回路図





## フロントページの続き

| (51)Int.Cl. <sup>7</sup>                                 | 識別記号 | F I  | テ-マ-コード <sup>*</sup> (参考) |
|--|------|--|---------------------------|
| H 0 3 F 3/345  |      | H 0 3 F 3/345  | B 5 J 5 0 0               |
| 3/45   |      | 3/45   | A                         |
| 3/50   |      | 3/50   | B                         |
| (72)発明者 土屋 主税<br>神奈川県川崎市中原区上小田中 4 丁目 1 番<br>1 号 富士通株式会社内 |      | F タ-ム (参考) 5C006 AA16 BC11 BF25 FA14 FA20  |                           |
|  |      | FA56   |                           |
|  |      | 5C080 AA10 DD03 DD09 EE29 JJ03<br>JJ04 JJ05  |                           |
|  |      | 5J066 AA01 AA45 AA47 CA00 CA13<br>CA78 FA09 HA10 HA17 HA19<br>HA29 HA40 KA02 KA03 KA09<br>MA11 MA21 ND01 ND14 ND22<br>ND23 PD01 SA08 TA01 TA06                   |                           |
|  |      | 5J090 AA01 AA45 AA47 CA00 CA13<br>CA78 DN01 FA09 HA10 HA17<br>HA19 HA29 HA40 KA02 KA03<br>KA09 MA11 MA21 MN01 SA08<br>TA01 TA06                                  |                           |
|  |      | 5J091 AA01 AA45 AA47 CA00 CA13<br>CA78 FA09 HA10 HA17 HA19<br>HA29 HA40 KA02 KA03 KA09<br>MA11 MA21 SA08 TA01 TA06   |                           |
|  |      | 5J500 AA01 AA45 AA47 AC00 AC13<br>AC78 AF09 AH10 AH17 AH19<br>AH29 AH40 AK02 AK03 AK09<br>AM11 AM21 AS08 AS09 AT01<br>AT06 DN01 DN14 DN22 DN23<br>DP01 ND01 NM01 |                           |

|                |   |         |            |
|----------------|---|---------|------------|
| 专利名称(译)        | 电压跟随器及其偏移消除电路，液晶显示器件及其数据驱动器   |         |            |
| 公开(公告)号        | <a href="#">JP2003168936A</a>   | 公开(公告)日 | 2003-06-13 |
| 申请号            | JP2001367832  | 申请日     | 2001-11-30 |
| [标]申请(专利权)人(译) | 富士通株式会社   |         |            |
| 申请(专利权)人(译)    | 富士通株式会社   |         |            |
| [标]发明人         | 國分政利<br>鵜戸真也<br>土屋主税  |         |            |
| 发明人            | 國分 政利<br>鵜戸 真也<br>土屋 主税   |         |            |
| IPC分类号         | G09G3/20 G09G3/36 H03F1/02 H03F1/34 H03F3/34 H03F3/345 H03F3/45 H03F3/50 H03L5/00   |         |            |
| CPC分类号         | G09G3/3685 H03F3/45753  |         |            |
| FI分类号          | H03F3/34.A G09G3/20.611.H G09G3/20.623.B G09G3/36 H03F1/34 H03F3/345.B H03F3/45.A H03F3/45.B H03F3/50 H03F3/34.210 H03F3/345.220 H03F3/45.210 H03F3/45.220  |         |            |
| F-TERM分类号      | 5C006/AA16 5C006/BC11 5C006/BF25 5C006/FA14 5C006/FA20 5C006/FA56 5C080/AA10 5C080/DD03 5C080/DD09 5C080/EE29 5C080/JJ03 5C080/JJ04 5C080/JJ05 5J066/AA01 5J066/AA45 5J066/AA47 5J066/CA00 5J066/CA13 5J066/CA78 5J066/FA09 5J066/HA10 5J066/HA17 5J066/HA19 5J066/HA29 5J066/HA40 5J066/KA02 5J066/KA03 5J066/KA09 5J066/MA11 5J066/MA21 5J066/ND01 5J066/ND14 5J066/ND22 5J066/ND23 5J066/PD01 5J066/SA08 5J066/TA01 5J066/TA06 5J090/AA01 5J090/AA45 5J090/AA47 5J090/CA00 5J090/CA13 5J090/CA78 5J090/DN01 5J090/FA09 5J090/HA10 5J090/HA17 5J090/HA19 5J090/HA29 5J090/HA40 5J090/KA02 5J090/KA03 5J090/KA09 5J090/MA11 5J090/MA21 5J090/MN01 5J090/SA08 5J090/TA01 5J090/TA06 5J091/AA01 5J091/AA45 5J091/AA47 5J091/CA00 5J091/CA13 5J091/CA78 5J091/FA09 5J091/HA10 5J091/HA17 5J091/HA19 5J091/HA29 5J091/HA40 5J091/KA02 5J091/KA03 5J091/KA09 5J091/MA11 5J091/MA21 5J091/SA08 5J091/TA01 5J091/TA06 5J500/AA01 5J500/AA45 5J500/AA47 5J500/AC00 5J500/AC13 5J500/AC78 5J500/AF09 5J500/AH10 5J500/AH17 5J500/AH19 5J500/AH29 5J500/AH40 5J500/AK02 5J500/AK03 5J500/AK09 5J500/AM11 5J500/AM21 5J500/AS08 5J500/AS09 5J500/AT01 5J500/AT06 5J500/DN01 5J500/DN14 5J500/DN22 5J500/DN23 5J500/DP01 5J500/ND01 5J500/NM01 |         |            |
| 代理人(译)         | 松本Makotokichi   |         |            |
| 其他公开文献         | JP3998465B2   |         |            |
| 外部链接           | <a href="#">Espacenet</a>   |         |            |

#### 摘要(译)

要解决的问题：缩短偏移取消准备期。ΣSOLUTION：差分对输入电路16的MOS晶体管M8和M9的漏极分别连接到差分放大电路11的电流镜电路14的第一和第二电流端。参考电位Vref施加到栅极上。MOS晶体管M9。开关SW1连接在差分放大电路11的差分对MOS晶体管M1和M2的栅极之间。开关SW2连接在输出缓冲电路12的输出端VO和MOS晶体管M1的栅极之间。开关S3连接在输出端VO和MOS晶体管M8的栅极之间。在偏移取消准备时段中，开关SW1和SW3接通，并且开关SW2断开。接下来，开关SW1-SW3反向接通和断开，并输出消除了偏移的电位。Ž

