

(51) Int.Cl ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	580	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	611 C 5 C 0 8 0
	612		612 U
	632		632 Z

審査請求 未請求 請求項の数 20 O L (全 45数) 最終頁に続く

(21)出願番号	特願2001 - 280174(P2001 - 280174)	(71)出願人	302036002 富士通ディスプレイテクノロジー株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成13年9月14日(2001.9.14)	(72)発明者	伊藤 高英 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72)発明者	抜山 和宏 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(74)代理人	100108187 弁理士 横山 淳一

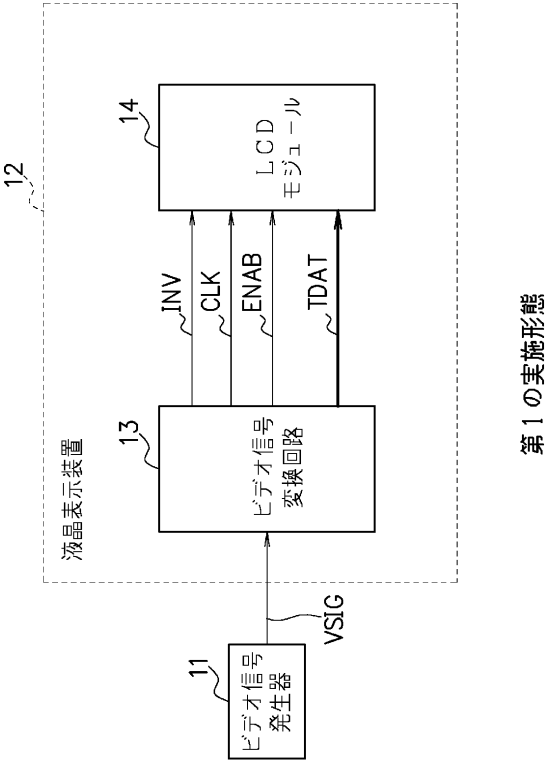
最終頁に続く

(54)【発明の名称】 信号伝送システム、信号伝送装置、信号伝送方法、表示装置、表示装置の駆動回路および表示装置の信号伝送方法

(57)【要約】

【課題】 信号の伝送路において、信号を転送する信号線から放射される電波量（電磁波ノイズ）を低減することができるようにする。

【解決手段】 表示データT D A Tを複数の信号線を通じてビデオ信号変換回路からLCDモジュールに送信する際、表示データT D A Tとともに、表示データT D A Tが反転したデータであるか否かを示すデータ反転信号I N Vを送信し、LCDモジュールにて、受信したデータ反転信号I N Vに応じて、受信した表示データT D A Tを反転するようにして、表示データT D A Tが反転するビット数を表示データT D A Tを構成する全ビット数の半分に以下にし、表示データT D A Tが単位時間当たりに反転する頻度を減少させるようにする。



【特許請求の範囲】

【請求項 1】 マトリクス状に配置された表示画素により構成される表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号を送信する送信回路と、

上記送信回路から送信された表示データおよびデータ反転信号を受信し、上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転する受信回路とを備えることを特徴とする表示装置。

【請求項 2】 上記送信回路は、送信する上記表示データのデータ値が 1 つ前に送信した表示データのデータ値に対して反転する信号線数が、上記複数の信号線数の 1 / 2 より多い場合には、1 つ前に送信したデータ反転信号に対して上記データ反転信号を反転して送信するとともに、上記送信するデータ反転信号に応じて、上記送信する表示データのデータ値を信号線毎に反転して送信することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 上記送信回路は、上記送信する表示データのデータ値が、少なくとも 3 クロックの期間、連続して切り替わる信号線数が、上記複数の信号線数の 1 / 4 より多い場合には、モード切替信号を送信するとともに、供給される表示データに応じて、1 つ前に供給された表示データのデータ値を信号線毎に反転して送信することを特徴とする請求項 2 に記載の表示装置。

【請求項 4】 表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号を送信する送信回路を備えることを特徴とする表示装置の駆動回路。

【請求項 5】 上記送信回路は、送信する上記表示データのデータ値が 1 つ前に送信した表示データのデータ値に対して反転する信号線数を検出し、検出結果に応じて、1 つ前に送信したデータ反転信号に対して上記データ反転信号を反転して送信する反転信号数検出回路と、上記反転信号数検出回路から送信するデータ反転信号に応じて、上記送信する表示データのデータ値を信号線毎に反転して送信する出力信号処理回路とを備えることを特徴とする請求項 4 に記載の表示装置の駆動回路。

【請求項 6】 上記反転信号数検出回路は、上記検出した信号線数が上記複数の信号線数の 1 / 2 より多いときに、上記データ反転信号を反転することを特徴とする請求項 5 に記載の表示装置の駆動回路。

【請求項 7】 上記送信回路は、上記送信する表示データのデータ値が、少なくとも 3 クロックの期間、連続して切り替わる信号線数を検出する検出回路と、上記検出回路により検出された信号線数が、所定の信号線数より多いか否かを判定し、上記判定の結果、上記検出

された信号線数が上記所定の信号線数より多い場合に、モード切替信号を送信する判定回路とを備えることを特徴とする請求項 4 に記載の表示装置の駆動回路。

【請求項 8】 複数の信号線を介して送信された表示部に画像を表示するための表示データと、上記表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号とを受信し、上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転する受信回路を備えることを特徴とする表示装置の駆動回路。

【請求項 9】 入力されるクロック信号にスペクトラム拡散処理を施す機能を有し、上記スペクトラム拡散処理を施したクロック信号に同期した表示データを表示部に対して供給可能な表示装置であって、入力されるスペクトラム拡散処理制御信号に応じて、上記スペクトラム拡散処理を施す機能を有効にするか否かを選択するようにしたことを特徴とする表示装置。

【請求項 10】 上記スペクトラム拡散処理制御信号に応じて、上記入力されるクロック信号および上記入力されるクロック信号に同期した表示データの組、または上記スペクトラム拡散処理を施したクロック信号および上記スペクトラム拡散処理を施したクロック信号に同期した表示データの組を選択し、選択したクロック信号に基づいて、選択した表示データを上記表示部に対して供給することを特徴とする請求項 9 に記載の表示装置。

【請求項 11】 入力されるクロック信号にスペクトラム拡散処理を施す機能を有し、上記スペクトラム拡散処理を施したクロック信号に同期した表示データを表示部に対して供給可能な表示装置であって、

上記入力されるクロック信号にスペクトラム拡散処理が施されているか否かを検出し、上記検出結果に応じて、上記スペクトラム拡散処理を施す機能を有効にするか否かを選択するようにしたことを特徴とする表示装置。

【請求項 12】 上記入力されるクロック信号に基づいて生成されたクロック信号と上記入力されるクロック信号との位相差に応じた信号を出力する位相比較回路と、上記位相比較回路から出力される位相差に応じた信号に基づいて、上記入力されるクロック信号にスペクトラム拡散処理が施されているか否かを検出するスペクトラム拡散処理検出回路とを備えることを特徴とする請求項 11 に記載の表示装置。

【請求項 13】 矩形波のクロック信号に所定の処理を施し、正弦波の信号に変換して送信する送信回路と、上記送信回路から送信された上記正弦波の信号を受信して、上記受信した正弦波の信号に上記所定の処理とは逆の処理を施して、上記矩形波のクロック信号を復元する受信回路とを備えることを特徴とする信号伝送システム。

【請求項 14】 矩形波のクロック信号に所定の処理を施し、正弦波の信号に変換して送信することを特徴とす

る信号伝送装置。

【請求項 15】 送信された正弦波の信号を受信して、上記受信した正弦波の信号に所定の処理を施して、矩形波の信号を復元することを特徴とする信号伝送装置。

【請求項 16】 上記受信した正弦波の信号は、基本周波数成分からなる正弦波の信号であり、上記基本周波数成分からなる正弦波の信号に基づいて、上記基本周波数の整数倍の周波数の正弦波の信号を複数生成する正弦波生成回路と、上記正弦波生成回路により生成された複数の正弦波の信号を互いに加算する加算回路と、上記加算回路により加算された信号に逆フーリエ変換を施す逆フーリエ変換回路とを備えることを特徴とする請求項 15 に記載の信号伝送装置。

【請求項 17】 矩形波のクロック信号およびデータ信号に所定の処理を施し、正弦波の信号に変換してそれぞれ送信する送信回路と、上記送信回路からそれぞれ送信された上記正弦波の信号を受信して、上記受信した正弦波の信号に上記所定の処理とは逆の処理を施して、上記矩形波のクロック信号およびデータ信号をそれぞれ復元する受信回路とを備えることを特徴とする信号伝送システム。

【請求項 18】 マトリクス状に配置された表示画素により構成される表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号を送信し、上記送信された表示データおよびデータ反転信号を受信し、上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転することを特徴とする表示装置の信号伝送方法。

【請求項 19】 入力されるクロック信号にスペクトラム拡散処理を施す機能を有し、上記スペクトラム拡散処理を施したクロック信号に同期した表示データを表示部に対して供給可能な表示装置の信号伝送方法であって、入力されるスペクトラム拡散処理制御信号に応じて、上記スペクトラム拡散処理を施す機能を有効にするか否かを選択するようにしたことを特徴とする表示装置の信号伝送方法。

【請求項 20】 矩形波のクロック信号に所定の処理を施し、正弦波の信号に変換して送信し、上記送信された上記正弦波の信号を受信し、上記受信した正弦波の信号に上記所定の処理とは逆の処理を施して、上記矩形波のクロック信号を復元することを特徴とする信号伝送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、信号伝送システ

ム、信号伝送装置、信号伝送方法、表示装置、表示装置の駆動回路および表示装置の信号伝送方法に関する。

【0002】

【従来の技術】近年、集積回路等の回路素子の動作周波数が高くなるのにもない、回路素子間や当該回路素子等により構成された装置間等での信号の転送速度の高速化、および信号を転送するための信号線数が増加してきた。例えば、液晶表示装置では、液晶表示装置の高精細化、高表示品位化、および液晶表示装置が有する液晶パネルの大型化等にもない、表示データの転送速度の高速化、表示データを転送するための信号線数の増加により、表示データを処理したり転送したりする駆動回路等が高性能化してきた。

【0003】図 37 は、従来の液晶表示装置の構成例を示すブロック図である。図 37 において、331 はビデオ信号発生器であり、液晶表示装置 332 にて表示する画像の画像信号 V S I G を生成し、液晶表示装置 332 に供給する。

【0004】液晶表示装置 332 は、ビデオ信号発生器 331 から供給される画像信号 V S I G を L C D モジュール 334 にて処理可能な表示データ T D A T、クロック信号 C L K およびイネーブル信号 E N A B に変換して L C D モジュール 334 に供給するビデオ信号変換回路 333 と、ビデオ信号変換回路 333 から供給される表示データ T D A T、クロック信号 C L K およびイネーブル信号 E N A B に基づいて、画像信号 V S I G (表示データ T D A T) に係る画像を表示する L C D モジュール 334 とにより構成される。

【0005】そして、図 37 に示すような液晶表示装置においても、液晶表示装置の高精細化、大型化等により、表示データ T D A T の転送速度の高速化を図るために、クロック信号 C L K の周波数が高くなったり、表示データ T D A T を転送するための信号線数が増加したりしてきた。

【0006】

【発明が解決しようとする課題】しかしながら、従来の液晶表示装置においては、クロック信号 C L K の周波数を高くしたり、表示データ T D A T を転送するための信号線数を増加したりして、表示データ T D A T の転送速度を高速化すると、クロック信号 C L K や表示データ T D A T が反転する単位時間当たりの頻度が増加することにより、クロック信号 C L K や表示データ T D A T を転送する信号線からの放射電波 (電磁波ノイズ) が増加してしまうという問題があった。

【0007】上記問題を解決するための 1 つの方法として、図 38 に示すようにクロック信号にスペクトラム拡散処理 (S S 処理) を施し、S S 処理を施したクロック信号に表示データを同期させて転送させることにより、クロック信号や表示データを転送する信号線からの放射電波 (電磁波ノイズ) を低減する方法がある。

【0008】図38は、従来の液晶表示装置の他の構成例を示すブロック図である。図38において、351は信号発生器であり、制御信号CTL、クロック信号CLKおよびクロック信号CLKに同期したデータ信号DT1をインタフェース353を介して表示装置352に供給する。表示装置352は、スペクトラム拡散処理回路(SS回路)354、制御回路355、ドライバ回路358および表示部359により構成され、さらに制御回路355は、駆動制御回路356およびメモリ部357により構成される。

【0009】インタフェース353を介して供給されたクロック信号CLKは、SS回路354によりSS処理され、SSクロック信号SSCLKとしてメモリ部357およびドライバ回路358にそれぞれ供給される。また、インタフェース353を介して供給されたクロック信号CLKおよびデータ信号DT1は駆動制御回路356に投入され、制御信号CTLに従って駆動制御回路356により所定の制御処理等が行われ、データ信号DT2およびクロック信号CLKとしてメモリ部357に供給される。

【0010】メモリ部357に供給されたデータ信号DT2は、クロック信号CLKに同期してメモリ部357に書き込まれ、書き込まれたデータ信号は、SS回路から供給されたSSクロック信号SSCLKに同期してデータ信号DT3として読み出され、ドライバ回路358に供給される。そして、ドライバ回路358は、供給されたデータ信号DT3およびSSクロック信号SSCLKに基づいて、表示部359を駆動制御して所望の画像を表示部359に表示させる。

【0011】上述したようにして、クロック信号CLKにSS処理を施し、SS処理したSSクロック信号SSCLKにデータ信号DT3を同期させて転送することで、信号線からの放射電波(電磁波ノイズ)のノイズピークを分散させ、信号線からの放射電波(電磁波ノイズ)を低減することができた。

【0012】しかしながら、上述したようにしてクロック信号CLKにSS処理を施し、SS処理したSSクロック信号SSCLKにデータ信号DT3を同期させて転送するようにした場合、外部から供給されるクロック信号CLKに既にSS処理が施されていると、SSクロック信号SSCLKは2度のSS処理が施されたものになってしまう。その結果、例えば、外部でのSS処理とSS回路でのSS処理とが互いに相殺されたりして、SS処理が全く施されていないクロック信号となったり、外部でのSS処理により周波数が高くなったクロック信号に対するSS回路でのSS処理によりクロック信号の周波数がさらに高くなると、SS処理を施していないクロック信号よりも周波数が高くなり、メモリ部357内のデータ量が不足したりするなど、予期しない新たな問題が生じてしまう可能性があった。

【0013】本発明は、このような問題を解決するためになされたものであり、新たな問題を生じさせたりすることなく、信号の伝送路において、信号を転送する信号線から放射される電波量(電磁波ノイズ)を低減することができるようにすることを目的とする。

【0014】

【課題を解決するための手段】本発明の表示装置は、表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を信号線毎に反転したか否かを示すデータ反転信号を送信する送信回路と、送信回路から送信された表示データおよびデータ反転信号を受信し、受信したデータ反転信号に応じて、受信した表示データのデータ値をビット毎に反転する受信回路とを備えることを特徴とする。

【0015】上記のように構成した本発明によれば、送信回路から表示データを送信する際に、複数の信号線においてデータ値が変化(反転)する信号線数が増加する場合には、データ反転信号により表示データのデータ値をビット毎に反転することによりデータ値が変化(反転)する信号線数を複数の信号線数の半分以上にすることができるようになる。

【0016】また、本発明の表示装置の他の特徴とするところは、入力されるスペクトラム拡散処理制御信号に応じて、入力されるクロック信号にスペクトラム拡散処理を施す機能を有効にするか否か選択するようにしたことを特徴とする。

【0017】上述のようにした場合、入力されるクロック信号にスペクトラム拡散処理が施されていないときには、表示装置が備えるスペクトラム拡散処理を施す機能によりクロック信号にスペクトラム拡散処理を施し、上記スペクトラム拡散処理を施したクロック信号に同期した表示データを表示部に対して供給することができ、入力されるクロック信号にスペクトラム拡散処理がすでに施されているときには、表示装置が備えるスペクトラム拡散処理を施す機能を無効にしてすでに施されているスペクトラム拡散処理を有効に作用させることができるようになる。

【0018】また、本発明の信号伝送システムは、矩形波のクロック信号に所定の処理を施して正弦波の信号に変換して送信する送信回路と、送信回路から送信された正弦波の信号を受信して、受信した正弦波の信号に所定の処理とは逆の処理を施して、矩形波のクロック信号を復元する受信回路とを備えることを特徴とする。上述のようにした場合には、送信する信号を矩形波の信号から正弦波の信号に変換することにより、送信する信号に含まれる高調波成分を減少させることができるようになる。

【0019】

【発明の実施の形態】以下、本発明の実施形態を図面に

基づいて説明する。なお、以下の説明では、信号の信号レベルがハイレベル（以下、「“H”」と称す。）の場合にはロウレベル（以下、「“L”」と称す。）に、「“L”」の場合には“H”に変化することを「レベル反転する」と称す。

【0020】（第1の実施形態）図1は、第1の実施形態による表示装置を適用した液晶表示装置の一構成例を示すブロック図である。図1において、11はビデオ信号発生器であり、液晶表示装置12にて表示する画像の画像信号V S I Gを生成し、上記液晶表示装置12に供給する。

【0021】液晶表示装置12は、ビデオ信号変換回路13とLCDモジュール14により構成される。ビデオ信号変換回路13は、ビデオ信号発生器11から供給される画像信号V S I GをLCDモジュール14にて処理可能な信号に変換し、LCDモジュール14に供給する。LCDモジュール14は、液晶パネルを有しており、上記ビデオ信号変換回路13から供給される信号に基づいて、画像信号V S I Gに係る画像を表示する。

【0022】ここで、ビデオ信号変換回路13からLCDモジュール14に供給される信号には、表示データT D A T、データ反転信号I N V、クロック信号C L Kおよびイネーブル信号E N A Bがある。上記表示データT D A Tは、それぞれ複数ビット（例えば、8ビットあるいは6ビット）からなる赤、緑および青色データR D A T A、G D A T AおよびB D A T Aにより構成される。なお、表示データT D A Tを構成する全ビットは、LCDモジュール14にパラレル伝送され、例えば、表示データT D A Tを構成するデータR D A T A、G D A T AおよびB D A T Aがそれぞれ8ビットからなる場合には、表示データT D A Tは24本の信号線を介してLCDモジュール14に供給される。

【0023】上記データ反転信号I N Vは、上記表示データT D A Tがビット毎にデータ値を反転したデータであるか否かを示す信号である。上記データ反転信号I N Vが“H”の場合には、上記表示データT D A Tはビット毎にデータ値を反転したデータであり、上記データ反転信号I N Vが“L”の場合には、上記表示データT D A Tはビット毎にデータ値を反転していないデータ、つまり何ら処理を施していない表示データT D A Tである。

【0024】また、上記クロック信号C L Kは、LCDモジュール14にて表示データを取り込むためのクロック信号である。また、イネーブル信号E N A Bは、表示データに係る画像をLCDモジュール14内の後述する液晶パネルに表示する表示期間を指定する信号であり、イネーブル信号E N A Bが“H”の期間は、表示データに従い画像を液晶パネルに表示する期間であり、“L”の期間はブランキング期間である。

【0025】図2は、図1に示したビデオ信号変換回路

13の構成例を示すブロック図である。ビデオ信号変換回路13は、ビデオ信号変換部21、反転信号数検出部22および出力信号処理部23により構成される。

【0026】ビデオ信号変換部21は、ビデオ信号発生器11から供給される画像信号V S I Gに所定の処理を施して、複数ビットからなる表示データV D A Tを生成し、反転信号数検出部22および出力信号処理部23に供給する。また、ビデオ信号変換部21は、画像信号V S I Gに基づいて、上述したクロック信号C L Kおよびイネーブル信号E N A Bを生成し出力する。

【0027】反転信号数検出部22は、ビデオ信号変換部21から供給された表示データV D A Tにおいて、前データ値に対しデータ値が反転したビット数（信号線数）を検出し、上記検出結果に応じて、データ反転信号I N Vを出力する。出力信号処理部23は、反転信号数検出部22から供給されるデータ反転信号I N Vに応じて、表示データV D A Tのデータ値をビット毎に反転し、表示データT D A Tとして出力する。

【0028】図3は、図1に示したLCDモジュール14の構成例を示すブロック図である。図3において、31は制御信号作成部であり、入力信号処理部32を含み構成される。制御信号作成部31は、ビデオ信号変換回路13から供給される表示データT D A T、データ反転信号I N V、クロック信号C L Kおよびイネーブル信号E N A Bに基づいて、液晶パネル35を駆動し、所望の画像を表示するための表示データD A T Aおよび制御信号を生成する。上記制御信号には、クロック信号C L K、スタート信号S T A R T、ラッチ信号L P、ゲートクロック信号G C L Kおよびフレーム信号F R Mがある。

【0029】クロック信号C L Kは、データ駆動部34にて表示データD A T Aの読み込み動作を行うための信号であり、スタート信号S T A R Tは、上記読み込み動作を開始するための信号である。ラッチ信号L Pは、上記読み込み動作により読み込んだ表示データD A T A（表示データD A T Aに応じた印加電圧）を液晶パネル35に出力するための信号である。

【0030】また、ゲートクロック信号G C L Kは、ゲート駆動部33にて後述する液晶パネル35内のスキャンラインを順次駆動するための信号であり、フレーム信号F R Mは、液晶パネル35に表示する1フレームの画像の走査（垂直走査）を開始するための信号である。

【0031】入力信号処理部32は、上述した図2に示す出力信号処理部23と同様に、ビデオ信号変換回路13から供給されたデータ反転信号I N Vに応じて、表示データT D A Tのデータ値をビット毎に反転し、表示データD A T Aとして出力する。ゲート駆動部33は、制御信号作成部31から供給されるゲートクロック信号G C L Kに基づいて、液晶パネル35に有する複数のスキャンラインを順次駆動する。

【0032】データ駆動部34は、後述する基準電圧作

成部 37 から供給される、例えば 16 階調の電圧値を有する第 1 の階調電圧 V_n から 256 階調の電圧値を有する第 2 の階調電圧を生成する。また、データ駆動部 34 は、制御信号作成部 31 から供給される表示データ DATA に応じた階調値の電圧を第 2 の階調電圧の中から選択し、液晶パネル 35 の各データラインに印加する。

【0033】液晶パネル 35 は、複数のスキャンラインと複数のデータラインとがマトリクス状に配列され、上記スキャンラインとデータラインとの交差部に画像を表示するための画素が配設されている。

【0034】36 は電源作成部であり、外部から供給される入力電源を用いて、ゲート駆動部 33 を動作させるための電圧 V_g を生成し、ゲート駆動部 33 に供給するとともに、データ駆動部 34 を動作させるための電圧 V_{DD} (アナログ電圧およびロジック電圧) を生成し、データ駆動部 34 に供給する。また、電源作成部 36 は、上記入力電源から第 1 の階調電圧を生成するための所定の電圧を生成し、基準電圧作成部 37 に供給する。基準電圧作成部 37 は、電源作成部 36 から供給される電圧に基づいて、例えば 16 階調の電圧値を有する第 1 の階調電圧 V_n を生成し、データ駆動部 34 に供給する。

【0035】図 4 は、本実施形態におけるデータ反転駆動の原理を説明するための回路図である。なお、この図 4 において、図 1 ~ 図 3 に示したブロックと同一の機能を有するブロックには同一の符号を付し、重複する説明は省略する。また、この図 4 においては、説明の便宜上、表示データ VDAT、TDAT および DATA については、それぞれ 5 ビットとしているが、5 ビットのデータに限らず、任意のビット数のデータに適用できるものである。

【0036】図 4 において、41 ~ 45 はデータの送信側であるビデオ信号変換回路 13 の出力信号処理部 23 が有する排他的論理和演算回路 (以下、「XOR 回路」と称す。) である。各 XOR 回路 41 ~ 45 には、データ反転信号 INV が入力されるとともに、表示データ VDAT1 ~ VDAT5 がそれぞれ入力され、各 XOR 回路 41 ~ 45 は、演算結果を表示データ TDAT1 ~ TDAT5 としてそれぞれ出力する。

【0037】同様に、46 ~ 50 はデータの受信側である LCD モジュール 14 の入力信号処理部 32 が有する XOR 回路である。各 XOR 回路 46 ~ 50 には、データ反転信号 INV が入力されるとともに、ビデオ信号変換回路 13 が有する XOR 回路 41 ~ 45 から出力された表示データ TDAT1 ~ TDAT5 がそれぞれ入力され、各 XOR 回路 46 ~ 50 は、演算結果を表示データ DATA1 ~ DATA5 としてそれぞれ出力する。

【0038】上記図 4 に示す回路において、データ反転信号 INV が “L” の場合には、図 5 に示す真理値表に従い、XOR 回路 41 ~ 50 における入力データと出力データの論理値は同じである。したがって、入力された

表示データ VDAT1 ~ VDAT5 のデータ値は、XOR 回路 41 ~ 50 によりそれぞれビット毎に反転されることなく、そのまま表示データ DATA1 ~ DATA5 として出力される。

【0039】一方、データ反転信号 INV が “H” の場合には、図 5 に示す真理値表に従い、XOR 回路 41 ~ 50 において入力データはそれぞれ反転され出力される。したがって、入力された表示データ VDAT1 ~ VDAT5 は、XOR 回路 41 ~ 45 により、データ値がビット毎にそれぞれ反転されて表示データ TDAT1 ~ TDAT5 として出力される。さらに、XOR 回路 41 ~ 45 から出力された表示データ TDAT1 ~ TDAT5 は、XOR 回路 46 ~ 50 により、ビット毎にデータ値が反転され表示データ DATA1 ~ DATA5 として出力される。

【0040】つまり、上記図 4 に示す回路を用いることにより、データ反転信号 INV が “H” の場合には、出力信号処理部 23 と入力信号処理部 32 との間での表示データ TDAT1 ~ TDAT5 はビット毎にデータ値が反転されたデータとなるが、データ反転信号 INV の信号レベルにはかわからず、出力信号処理部 23 に入力される表示データ VDAT1 ~ VDAT5 と、入力信号処理部 32 から出力される表示データ DATA1 ~ TDAT5 とは常に同じになる。

【0041】図 6 は、本実施形態におけるデータ反転駆動の原理を説明するためのタイミングチャートである。なお、図 6 においては、タイミングチャートの一例として、上述した図 4 と同様に、表示データ VDAT および TDAT をそれぞれ 5 ビットとしている。

【0042】図 6 において、入力される表示データ VDAT1 ~ VDAT5 のうち、2 ビット (VDAT1、VDAT2) のデータ値が反転する時刻 T1 において、データ値が反転したビット数 (信号線数) は、表示データ VDAT1 ~ VDAT5 の全ビット数 (5 ビット) の $1/2$ 以下であるので、上記反転信号数検出部 22 はデータ反転信号 INV をレベル反転せず、“L” を維持する。したがって、出力信号処理部 23 が出力する表示データ TDAT1 ~ TDAT5 のデータ値は、入力された表示データ VDAT1 ~ VDAT5 のデータ値と同じになる。

【0043】その後、時刻 T2 において、表示データ VDAT1 ~ VDAT5 の全ビット数の $1/2$ より大きい、3 ビット (VDAT1 ~ VDAT3) のデータ値が反転すると、反転信号数検出部 22 はデータ反転信号 INV をレベル反転し、“L” → “H” に変化させる。これにより、入力される表示データ VDAT1 ~ VDAT5 は、出力信号処理部 23 によりビット毎にデータ値が反転されるので、時刻 T2 において、出力する表示データ TDAT は、2 ビット (TDAT4、TDAT5) のみ反転し出力される。

【0044】そして、再び、データ値が反転するビット数が表示データVDA T 1 ~ VDA T 5 の全ビット数の $1/2$ より大きくなる時刻T 3 まで、データ反転信号INV は“H”を維持し、出力信号処理部2 3 は、表示データVDA T 1 ~ VDA T 5 をビット反転した後、表示データTDA T として出力する。

【0045】時刻T 3 において、表示データVDA T 1 ~ VDA T 5 の全ビット数の $1/2$ より大きい、4 ビット(VDA T 1 ~ VDA T 4) のデータ値が反転すると、反転信号数検出部2 2 はデータ反転信号INV をレベル反転し、“H”→“L”に変化させる。これにより、出力信号処理部2 3 は、入力される表示データVDA T 1 ~ 5 をビット毎にデータ値を反転せずそのまま出力するようになり、時刻T 3 においては、出力する表示データTDA T は、1 ビット(TDA T 5) のみ反転し出力される。

【0046】再び、データ値が反転するビット数が表示データVDA T 1 ~ VDA T 5 の全ビット数の $1/2$ より大きくなる時刻T 4 まで、データ反転信号INV は“L”を維持し、出力信号処理部2 3 は、入力される表示データVDA T 1 ~ VDA T 5 をそのままのデータ値で表示データTDA T として出力する。

【0047】その後、上述した時刻T 2、T 3 と同様にして、表示データVDA T 1 ~ VDA T 5 の全ビット数の $1/2$ より大きいビット数のデータ値が反転する時刻T 4 および時刻T 5 において、反転信号数検出部2 2 はデータ反転信号INV をレベル反転する。これにより、時刻T 4、T 5 においても、出力信号処理部2 3 が出力する表示データTDA T は、全ビット数の $1/2$ 以下のビット数のデータ値のみが反転され出力される。

【0048】上述のようにして、表示データVDA T 1 ~ VDA T 5 において、データ値が反転するビット数が表示データVDA T 1 ~ VDA T 5 の全ビット数(5 ビット)の $1/2$ より大きい場合には、1 つ前の時刻のデータ反転信号INV に対してデータ反転信号INV をレベル反転し、データ値が反転するビット数が表示データVDA T 1 ~ VDA T 5 の全ビット数(5 ビット)の $1/2$ 以下の場合には、データ反転信号の信号レベルを維持する。

【0049】これにより、データ値が反転するビット数が表示データVDA T 1 ~ VDA T 5 の全ビット数(5 ビット)の $1/2$ より大きい場合でも、1 つ前の時刻のデータ反転信号INV に対してデータ反転信号INV をレベル反転することで、出力する表示データTDA T においてデータ値が反転するビット数を、全ビット数の $1/2$ 以下にすることができる。したがって、表示データTDA T が反転する頻度を減少させることができ、表示データTDA T を転送する信号線から放射される電流量(電磁波ノイズ)を低減することができる。

【0050】図7 は、入力されるN ビット(N は偶数) 50

の表示データVDA T を表示データTDA T として出力する場合のデータ反転駆動の一例を示す図である。図7 (A) は、入力される表示データVDA T の1 ビット目から(N/2) ビット目までのデータ値が“L”を維持し、(N/2 + 1) ビット目からN ビット目までのデータ値が“L”から“H”に変化する場合のデータ反転駆動例を示している。すなわち、表示データVDA T においてデータ値が反転したビット数が、表示データVDA T の全ビット数の $1/2$ 以下の場合のデータ反転駆動例を示している。

【0051】このとき、上記図2 に示した反転信号数検出部2 2 は、表示データVDA T においてデータ値が反転したビット数が全ビット数の $1/2$ 以下であるので、データ反転信号INV のレベル反転は行わず“L”を維持する。また、上記出力信号処理部2 3 は、データ反転信号INV が“L”を維持するので、図5 の真理値表に従い、入力される表示データVDA T を表示データTDA T としてそのまま出力する。したがって、表示データTDA T においても、データ値が反転するビット数は、表示データTDA T の全ビット数の $1/2$ 以下となる。

【0052】図7 (B) は、入力される表示データVDA T の1 ビット目から(N/2 - 1) ビット目までのデータ値が“L”を維持し、(N/2) ビット目からN ビット目までのデータ値が“L”から“H”に変化する場合のデータ反転駆動例を示している。すなわち、表示データVDA T においてデータ値が反転したビット数が、表示データVDA T の全ビット数の $1/2$ より大きい場合のデータ反転駆動例を示している。

【0053】このとき、反転信号数検出部2 2 は、表示データVDA T においてデータ値が反転したビット数が全ビット数の $1/2$ より大きいので、データ反転信号INV をレベル反転し“L”から“H”に変化させる。また、上記出力信号処理部2 3 は、データ反転信号INV がレベル反転して“H”となるので、図5 の真理値表に従い、入力された表示データVDA T のデータ値をビット毎に反転して出力する。その結果、出力する表示データTDA T の1 ビット目から(N/2 - 1) ビット目までのデータ値が反転し、表示データTDA T の(N/2) ビット目からN ビット目までが“L”を維持する。したがって、出力する表示データTDA T においてデータ値が反転するビット数は、全ビット数の $1/2$ 以下となる。

【0054】次に、上述した本実施形態による液晶表示装置の動作について説明する。まず、ビデオ信号発生器1 1 から表示画像の画像信号VSI G が液晶表示装置1 2 に入力されると、上記画像信号VSI G はビデオ信号変換回路1 3 内のビデオ信号変換部2 1 に供給される。ビデオ信号変換部2 1 では、供給された画像信号VSI G に所定の処理を施し、複数ビットの表示データVDA T、クロック信号CLK およびイネーブル信号ENAB

を生成する。上記生成された表示データV D A Tは、反転信号数検出部22および出力信号処理部23に供給され、クロック信号C L Kおよびイネーブル信号E N A Bは、L C Dモジュール14に供給される。

【0055】上記表示データV D A Tが供給された反転信号数検出部22は、供給された表示データV D A Tのデータ値と、一つ前のデータ入力タイミング(1クロック前)にて供給された表示データV D A Tのデータ値とをビット毎に比較し、データ値が反転したビット数を検出する。その結果、データ値が反転したビット数が表示データV D A Tの全ビット数の1/2より大きい場合には、反転信号数検出部22はデータ反転信号I N Vをレベル反転する。

【0056】次に、出力信号処理部23は、反転信号数検出部22から供給されるデータ反転信号I N Vに応じて、ビデオ信号変換部21から供給された表示データV D A Tのデータ値に対しビット毎に反転処理を施す。上記反転処理は、例えば、図4に示すような回路を用いて、データ反転信号I N Vと表示データV D A Tとの論理演算を行うことにより、データ反転信号I N Vが“H”の場合には、供給された表示データV D A Tをビット毎にデータ値を反転して表示データT A D Tとして出力し、データ反転信号I N Vが“L”の場合には、供給された表示データV D A Tをそのまま表示データT A D Tとして出力する。

【0057】上述のようにして、ビデオ信号変換回路13にて生成された表示データT D A T、データ反転信号I N V、クロック信号C L Kおよびイネーブル信号E N A Bは、L C Dモジュール14内の制御信号作成部31に供給される。制御信号作成部31は、供給された表示データT D A T、データ反転信号I N V、クロック信号C L Kおよびイネーブル信号E N A Bに基づいて、液晶パネル35に所望の画像を表示するための表示データD A T Aおよび制御信号を生成する。

【0058】このとき、制御信号作成部31内の入力信号処理部32は、ビデオ信号変換回路13から供給されるデータ反転信号I N Vに応じて、例えば、図4に示すような回路により上述した出力信号処理部23と同様に、表示データT D A Tのデータ値をビット毎に反転処理し表示データD A T Aとして出力する。これにより、入力信号処理部32から出力する表示データD A T Aのデータ値は、ビデオ信号変換部21にて生成された表示データV D A Tのデータ値と常に等しくなる。

【0059】そして、ゲート駆動部33およびデータ駆動部34は、上記制御信号作成部31から供給される表示データD A T Aと制御信号等に基づいて、液晶パネル35のスクランラインおよびデータラインをそれぞれ駆動制御し、画像信号V S I Gに係る画像を液晶パネル35に表示させる。

【0060】具体的には、ゲート駆動部33は、上記制

御信号作成部31からパルス状のフレーム信号F R Mが供給されると、1ライン目のスクランラインを選択し駆動する。その後、供給されるゲートクロック信号G C L Kに従って、駆動するスクランラインを1ライン毎にシフトして、液晶パネル35が有する複数のスクランラインを最後まで走査する。そして、再び、パルス状のフレーム信号F R Mが供給されると、ゲート駆動部33は、1ライン目のスクランラインから駆動動作を開始する。

【0061】また、データ駆動部34は、上記制御信号作成部31からパルス状のスタート信号S T A R Tが供給されると、クロック信号C L Kに従って表示データD A T Aを取り込み、図示しない内部に備えたレジスタに保持する。その後、パルス状のラッチ信号L Pが供給されると、上記レジスタに保持した表示データD A T Aを出力し、上記表示データD A T Aのデータ値に応じた階調値の電圧を各データラインに印加する。

【0062】以上、詳しく説明したように第1の実施形態によれば、L C Dモジュール14内の液晶パネル35に画像を表示するための表示データT D A Tを複数の信号線を介してビデオ信号変換回路13からL C Dモジュールに送信する際、表示データT D A Tとともに、表示データT D A Tがビット毎にデータ値を反転したデータであるか否かを示すデータ反転信号I N Vを送信し、L C Dモジュール14内の入力信号処理部32にて、受信したデータ反転信号I N Vに応じて、上記受信した表示データT D A Tのデータ値をビット毎に反転する。

【0063】これにより、表示データV D A Tにおいてデータ値が変化(反転)するビット数が増加したとしても、データ反転信号I N Vにより表示データV D A Tのデータ値をビット毎に反転することにより表示データT D A Tのデータ値が変化(反転)するビット数を表示データT D A Tを構成する全ビット数の半分に以下にすることができる。したがって、表示データT D A Tが単位時間あたりに反転する頻度を減少させることができ、表示データT D A Tを転送する信号線から放射される電波量(電磁波ノイズ)を低減することができる。特に、本実施形態では、ビデオ信号変換回路13とL C Dモジュール14間のモジュール外部で信号を転送する信号線から放射される電波量(電磁波ノイズ)を低減することができる。

【0064】また、クロック信号C L Kや表示データT D A Tが単位時間あたりに反転する頻度を減少させることで、送信側であるビデオ変換回路13の消費電力を低減することができる。

【0065】(第2の実施形態)次に、本発明の第2の実施形態について説明する。上述した第1の実施形態においては、L C Dモジュール14が備える制御信号作成部31内に入力信号処理部32を設け、上記入力信号処理部32にて、データ反転信号I N Vに応じて入力された表示データT D A Tに処理を施した後、表示データD

A T Aとしてデータ駆動部 34 に供給するようにしていた。図 8 に示す第 2 の実施形態では、制御信号作成部 31' 内に上述した第 1 の実施形態における入力信号処理部を設けずに、データ駆動部 34' に上述した第 1 の実施形態における入力信号処理部 32 と同じ機能を持たせ、入力された表示データ T D A T およびデータ反転信号 I N V を、制御信号作成部 31' を介してデータ駆動部 34' に供給するようにしたものである。

【0066】なお、第 2 の実施形態による表示装置を適用した液晶表示装置の構成は、上述した図 1 に示す液晶表示装置と同じ構成であり、また、ビデオ信号変換回路についても、上述した図 2 に示すビデオ信号変換回路 13 と同じ構成であるので、重複する説明は省略する。

【0067】図 8 は、第 2 の実施形態における L C D モジュール 14' の構成例を示すブロック図である。なお、この図 8 において、図 3 に示したブロックと同一の機能を有するブロックには同一の符号を付し、重複する説明は省略する。また、図 3 に示したブロックと同一ではないが対応する機能を有するブロックには、同じ符号に ' を付している。

【0068】図 8 において、14' は L C D モジュールである。31' は制御信号作成部であり、ビデオ信号変換回路から供給される表示データ T D A T、データ反転信号 I N V、クロック信号 C L K およびイネーブル信号 E N A B に基づいて、液晶パネル 35 を駆動し所望の画像を表示するための表示データ D A T A'、データ反転信号 I N V および制御信号 (C L K、S T A R T、L P、G C L K および F R M) を生成し、出力する。

【0069】34' はデータ駆動部であり、第 1 ~ 第 n のデータドライバ 81-1 ~ 81-n により構成される。上記第 1 ~ 第 n のデータドライバ 81-1 ~ 81-n は、上述した第 1 の実施形態における入力信号処理部 32 と同じ機能をそれぞれ備えている。

【0070】すなわち、上記第 1 ~ 第 n のデータドライバ 81-1 ~ 81-n は、供給されたデータ反転信号 I N V が " H " の場合には、表示データ D A T A' のデータ値をビット毎に反転し、液晶パネル 35 に表示する画像の表示データとする。一方、データ反転信号 I N V が " L " の場合には、第 1 ~ 第 n のデータドライバ 81-1 ~ 81-n は、入力される表示データ D A T A' をそのまま液晶パネル 35 に表示する画像の表示データとする。

【0071】また、第 1 ~ 第 n のデータドライバ 81-1 ~ 81-n は、カスケード接続されており、第 1 のデータドライバ 81-1 に入力されたスタート信号 S T A R T が、第 2 のデータドライバ 81-2 → 第 3 のデータドライバ 81-3 → ... → 第 n のデータドライバ 81-n と順次供給される。

【0072】つまり、制御信号作成部 31' からパルス状のスタート信号 S T A R T が、第 1 のデータドライバ

81-1 に入力されると、第 1 のデータドライバ 81-1 は表示データ D A T A' の取り込みを開始する。第 1 のデータドライバ 81-1 は、表示データ D A T A' の取り込みが完了すると、パルス状のスタート信号 S T A R T を第 2 のデータドライバ 81-2 に出力する。上記第 1 のデータドライバ 81-1 から出力されたスタート信号 S T A R T が第 2 のデータドライバ 81-2 に入力されると、第 2 のデータドライバ 81-2 は表示データ D A T A' の取り込みを開始する。その後、第 2 のデータドライバ 81-2 は、表示データ D A T A' の取り込みが完了すると、パルス状のスタート信号 S T A R T を第 3 のデータドライバ 81-3 に出力する。

【0073】各データドライバ 81-1 ~ 81-n が、上述した動作を行うことで、第 1 ~ 第 n のデータドライバ 81-1 ~ 81-n は表示データ D A T A' を順次取り込む。そして、全てのデータドライバ 81-1 ~ 81-n による表示データ D A T A' の取り込みが完了すると、制御信号作成部 31' から各データドライバ 81-1 ~ 81-n にパルス状のラッチ信号 L P が供給される。これにより、表示データ D A T A' に応じた電圧が、各データドライバ 81-1 ~ 81-n から液晶パネル 35 のデータラインに供給されるとともに、第 1 の実施形態と同様にしてゲート駆動部 33 によりスキャンラインが駆動制御され、画像信号 V S I G に係る画像が液晶パネル 35 に表示される。

【0074】以上、説明したように第 2 の実施形態によれば、液晶パネル 35 を駆動するためのデータ駆動部 34' 内のデータドライバ 81-1 ~ 81-n に、受信したデータ反転信号 I N V に応じて、供給される表示データのデータ値をビット毎に反転する機能を備えるようにしたので、第 1 の実施形態により得られる効果に加え、制御信号作成部 31' 内に上記機能を備える入力信号処理部 32 を設ける必要がなくなり、回路構成が容易になる。また、制御信号作成部 31' を介して、データ駆動部 34' にデータ反転信号および表示データを送信するようにしたので、ビデオ変換回路 13 からデータドライバ 81-1 ~ 81-n までの間で、クロック信号 C L K や表示データ T D A T を転送する信号線からの放射電波 (電磁波ノイズ) を低減することができる。

【0075】(第 3 の実施形態) 次に、本発明の第 3 の実施形態について説明する。図 9 は、第 3 の実施形態による表示装置を適用した液晶表示装置の L C D モジュールの構成例を示すブロック図である。第 3 の実施形態における液晶表示装置は、外部から供給される画像信号を図示しないビデオ信号変換回路により L C D モジュールにて処理可能な信号 (表示データ、クロック信号およびイネーブル信号) に変換して液晶パネルに表示する液晶表示装置である。

【0076】図 9 において、91 は L C D モジュールであり、図示しないビデオ信号変換回路から供給される表

示データ I 0 0 ~ I N M (N および M は添え字であり、N および M は整数)、図示しないクロック信号およびイネーブル信号に基づいて、液晶パネル 1 0 1 に所望の画像を表示するためのものである。

【0077】92 は制御回路であり、データ反転検出回路 9 3、反転選択回路 9 4、9 5、9 6 を含む構成され、上記表示データ I 0 0 ~ I N M、クロック信号およびイネーブル信号に基づいて、液晶パネル 1 0 1 を駆動するための制御信号を生成し出力したり、表示画像の表示データを出力したりする。データ反転検出回路 9 3 10 は、供給される表示データ I 0 0 ~ I N M において所定の規則に従い変化するデータ数を検出し、検出結果に応じてモード切替信号 R C を出力する。上記モード切替信号 R C は、送信側の反転選択回路 9 4 ~ 9 6 および受信側の反転選択回路 9 8 ~ 1 0 0 において、供給された表示データを出力する通常モードか、1 クロック前に出力した表示データを反転または非反転して出力する前データ駆動モードかを切り替える信号である。

【0078】反転選択回路 9 4 ~ 9 6 は、それぞれ供給される表示データ I 0 0 ~ I N M および上記モード切替信号 R C に応じて、図 1 0 に示す送信側の真理値表に従い、表示データ D 0 0 ~ D N M を出力する。

【0079】ここで、図 1 0 は、送信側の反転選択回路 9 4 ~ 9 6 の真理値表を示す図である。図 1 0 において、R C はモード切替信号、I は入力データ、D は出力データである。また、 I_0 は 1 クロック前の入力データである。

【0080】図 1 0 に示すように、モード切替信号 R C が “ L ” のときには、反転選択回路 9 4 ~ 9 6 は、入力データ I と同じデータ値を出力する。一方、モード切替信号 R C が “ H ” のときには、反転選択回路 9 4 ~ 9 6 30 は、入力データ I が “ L ” であれば、1 クロック前に入力されたデータ値を出力し、入力データ I が “ H ” であれば、1 クロック前に入力されたデータ値を反転して出力する。

【0081】図 9 に戻り、9 7 はデータドライバであり、反転選択回路 9 8 ~ 1 0 0 を含む構成され、制御回路 9 2 から供給される表示データ D 0 0 ~ D N M および図示しない制御信号に基づいて、液晶パネル 1 0 1 のデータラインを駆動するためのものである。反転選択回路 9 8 ~ 1 0 0 は、上述した反転選択回路 9 4 ~ 9 6 と同様に、それぞれ供給される表示データ D 0 0 ~ D N M およびモード切替信号 R C に応じて、図 1 1 に示す受信側の真理値表に従い、表示データ Q 0 0 ~ Q N M を出力する。

【0082】図 1 1 は、受信側の反転選択回路 9 8 ~ 1 0 0 の真理値表を示す図である。図 1 1 において、R C はモード切替信号、D は入力データ、Q は出力データである。また、 Q_0 は 1 クロック前の出力データである。

【0083】図 1 1 に示すように、モード切替信号 R C 50

が “ L ” のときには、反転選択回路 9 8 ~ 1 0 0 は、入力データ D と同じデータ値を出力する。一方、モード切替信号 R C が “ H ” のときには、反転選択回路 9 8 ~ 1 0 0 は、入力データ D が “ L ” であれば、1 クロック前に出力したデータ値を出力し、入力データ D が “ H ” であれば、1 クロック前に出力したデータ値を反転して出力する。

【0084】液晶パネル 1 0 1 は、複数のスキャンラインと複数のデータラインとがマトリクス状に配列され、上記スキャンラインとデータラインとの交差部に画像を表示するための画素が配設されている。上記液晶パネル 1 0 1 は、図示しないゲートドライバおよびデータドライバ 9 7 により上記スキャンラインおよびデータラインがそれぞれ駆動されることで表示データ Q 0 0 ~ Q N M に係る画像を表示する。

【0085】次に、図 1 2 ~ 図 1 7 に基づいて、上記図 9 に示したデータ反転検出回路 9 3、反転選択回路 9 4 ~ 9 6 および反転選択回路 9 8 ~ 1 0 0 の構成について説明する。なお、以下の説明では、表示データ I 0 0 を用いて説明するが、図 1 3 ~ 図 1 5 に示すデータ反転検出回路 9 3 内の判定部分を除き、表示データ I 0 0 ~ I N M のそれぞれが図 1 2 ~ 図 1 7 に示す回路により処理される。

【0086】図 1 2 および図 1 3 は、データ反転検出回路 9 3 の構成例を示す図である。なお、図 1 2 には、上記データ反転検出回路 9 3 において、所定の規則に従って変化する表示データ数を検出する部分について示し、図 1 3 には、検出結果に応じて、モード切替信号を出力するかどうか判定を行う部分について示している。

【0087】図 1 2 に示す回路は、上記所定の規則として、供給される表示データ I 0 0 ~ I N M が、3 クロックの期間のデータ値が、“ H ” → “ L ” → “ H ”、あるいは “ L ” → “ H ” → “ L ” と変化するようにデータ値が 1 クロック毎に連続して反転する規則 A や、3 クロックの期間のデータ値が、“ H ” → “ L ” → “ L ”、あるいは “ L ” → “ H ” → “ H ” と変化するように、データ値が反転した後、次のクロックでデータ値が反転しない規則 B に従って変化するデータ数を検出するものである。

【0088】図 1 2 において、1 1 0 ~ 1 1 2 はフリップフロップであり、フリップフロップ 1 1 0 には表示データ I 0 0 が入力されている。また、フリップフロップ 1 1 1 にはフリップフロップ 1 1 0 の出力データ S 1 が入力され、フリップフロップ 1 1 2 にはフリップフロップ 1 1 1 の出力データ S 2 が入力され、フリップフロップ 1 1 2 は出力データ S 3 を出力する。したがって、出力データ S 1 を基準の表示データとすると、出力データ S 2 は 1 クロック前の表示データであり、出力データ S 3 は 2 クロック前の表示データである。

【0089】1 1 3 は、表示データのデータ値が上述し

た規則 A に従って変化するか否か判別するための第 1 の判別回路であり、117 は、表示データのデータ値が規則 B に従って変化するか否か判別するための第 2 の判別回路である。

【0090】第 1 の判別回路 113 は、2 つの XOR 回路 114、115 および 1 つの AND 回路 116 により構成され、XOR 回路 114 には、出力データ S1 および S2 が入力され、XOR 回路 115 には、出力データ S2 および S3 が入力される。また、AND 回路 116 には、上記 XOR 回路 114、115 による演算結果である XOR 回路 114、115 の出力が入力され、AND 回路 116 はその演算結果を出力信号 RA00 として出力する。つまり、上記第 1 の判別回路 113 は、出力データ S1 と出力データ S2 とのデータ値が異なり、かつ出力データ S2 と出力データ S3 とのデータ値が異なる場合（規則 A に従ってデータ値が変化する場合）のみ、“H” の出力信号 RA00 を出力する。

【0091】第 2 の判別回路 117 は、XNOR 回路 118、XOR 回路 119 および AND 回路 120 により構成される。ここで、XNOR 回路とは、演算結果として排他的論理和演算の否定を出力するものである。XNOR 回路 118 には、出力データ S1 および S2 が入力され、XOR 回路 119 には、出力データ S2 および S3 が入力される。また、AND 回路 120 には、上記 XNOR 回路 118 および XOR 回路 119 のそれぞれの出力が入力され、AND 回路 120 は、その演算結果を出力信号 RB00 として出力する。つまり、上記第 2 の判別回路 117 は、出力データ S1 と出力データ S2 とのデータ値が等しく、かつ出力データ S2 と出力データ S3 とのデータ値が異なる場合（規則 B に従ってデータ値が変化する場合）のみ、“H” の出力信号 RB00 を出力する。

【0092】図 13 に示す回路は、上記図 12 に示す回路により検出された規則 A、規則 B に従い変化する表示データ数を用いて、所定の判定条件によりデータ出力モードを切り替えるか否かが判定し、その判定結果に従いモード切替信号を出力するものである。上記判定条件には、規則 A に従い変化するデータ数が、規則 B に従い変化するデータ数よりも多いとする判定条件 I や、規則 A に従い変化するデータ数が全データ数の 1/4 以上とする判定条件 II がある。

【0093】図 13 において、106 は第 1 のカウンタ回路、107 は第 2 のカウンタ回路である。上記第 1 および第 2 のカウンタ回路 106、107 には、表示データ I00 ~ INM に対して、データ反転検出回路 93 内にそれぞれ設けられた第 1 および第 2 の判別回路 113、117 から供給される出力信号 RA00 ~ RANM および RB00 ~ RBNM がそれぞれ入力される。

【0094】そして、第 1 および第 2 のカウンタ回路 106、107 は、入力される出力信号 RA00 ~ RAN

M および RB00 ~ RBNM のうち、“H” で入力された信号数をカウントすることにより、規則 A および規則 B に従い変化するデータ数をカウントし、その結果をモード切替判定回路 108 にそれぞれ供給する。

【0095】モード切替判定回路 108 は、第 1 および第 2 のカウンタ回路 106、107 からそれぞれ供給されたカウント値に基づいて、モード切替信号 RC を出力するか否かが判定する。上記判定の結果、上記判定条件 I を満足し（規則 A に従い変化するデータ数が、規則 B に従い変化するデータ数よりも多い）、かつ判定条件 II を満足する（規則 A に従い変化するデータ数が全データ数の 1/4 以上）場合には、モード切替信号 RC を“H”にする。

【0096】図 14 は、図 13 に示した第 1 のカウンタ回路 106 の構成例を示す図である。なお、図 13 においては、供給される出力信号 RA00 ~ RANM が 18 ビット（RA00 ~ RA05、RA10 ~ RA15、RA20 ~ RA25）の場合を一例として示すが、本実施形態においては、出力信号 RA00 ~ RANM のビット数は任意である。

【0097】図 14 において、141 ~ 146、150 ~ 152 および 155 は、3 つの入力端子を有し、上記入力端子を介してそれぞれ入力されたデータ値を加算演算する 3 入力加算器である。また、147 ~ 149 は、5 つの入力端子を有し、入力端子 A1、B1、C1 を介して入力されたデータ値を加算演算するとともに、入力端子 A2、B2 を介して入力されたデータ値と、上記加算演算の結果によるキャリー（桁上げ）とを加算演算する 5 入力加算器である。153 および 156 は XOR 回路であり、154 および 157 は AND 回路である。

【0098】上記 3 入力加算器 141 ~ 146 には、供給される出力信号 RA00 ~ RA05、RA10 ~ RA15、RA20 ~ RA25 が、3 つの出力信号（例えば、出力信号 RA00 ~ RA02、RA03 ~ RA05、...）毎に入力端子を介してそれぞれ入力される。上記 3 入力加算器 141 ~ 146 は、入力された 3 つの出力信号のデータ値を加算演算し、その演算結果であるキャリーおよび和を出力端子 C0 および S を介して出力する。

【0099】上記 3 入力加算器 141 ~ 146 の出力端子 C0 および S を介してそれぞれ出力されたキャリーおよび和は、5 入力加算器 147 ~ 149 に入力される。ここで、上記 3 入力加算器 141 ~ 146 の出力端子 C0 を介して出力されたキャリーは、上記 5 入力加算器 147 ~ 149 の入力端子 A2、B2 を介して入力され、上記 3 入力加算器 141 ~ 146 の出力端子 S を介して出力された和は、上記 5 入力加算器 147 ~ 149 の入力端子 A1、B1 を介して入力される。なお、上記 5 入力加算器 147 ~ 149 の入力端子 C1 はグランド（データ値 = “0”）に接続されている。

【0100】上記5入力加算器147～149は、入力端子A1、B1を介して入力されたデータ値を加算演算し、その演算結果である和を出力端子S1を介して出力する。また、5入力加算器147～149は、入力端子A2、B2を介して入力されたデータ値と、入力端子A1、B1を介して入力されたデータ値の加算演算により得られるキャリーとを加算演算し、その演算結果であるキャリーおよび和を出力端子C0、S2を介して出力する。すなわち、上記5入力加算器147～149は、出力端子C0、S2、S1を介して、加算演算結果の3ビット目(2進数の4の位)、2ビット目(2進数の2の位)、1ビット目(2進数の1の位)をそれぞれ出力する。

【0101】上記5入力加算器147～149の出力端子C0を介して出力される加算演算結果の3ビット目は、3入力加算器150に入力される。同様に、5入力加算器147～149の出力端子S2およびS1を介してそれぞれ出力される加算演算結果の2ビット目および1ビット目は、3入力加算器151および152にそれぞれ入力される。そして、3入力加算器150～152にて、入力された5入力加算器147～149による加算演算結果の3ビット目、2ビット目、1ビット目について、それぞれ加算演算が行われる。

【0102】そして、上記3入力加算器152は、出力端子Sを介して演算結果である和を出力信号RAC1として出力する。上記3入力加算器152の出力端子C0を介して出力されるキャリーと上記3入力加算器151の出力端子Sを介して出力される和とが、XOR回路153およびAND回路154にそれぞれ入力される。上記XOR回路153は演算結果を出力信号RAC2として出力する。

【0103】上記AND回路153から出力される演算結果と、上記3入力加算器151の出力端子C0を介して出力されるキャリーと、上記3入力加算器152の出力端子Sを介して出力される和とが、3入力加算器155に入力され加算演算が行われる。上記3入力加算器155は、演算結果である和を出力端子Sを介して出力信号RAC3として出力する。

【0104】上記3入力加算器150および155の出力端子C0を介してそれぞれ出力されるキャリーが、XOR回路156およびAND回路157に入力される。そして、上記XOR回路156は演算結果を出力信号RAC4として出力し、上記AND回路157は演算結果を出力信号RAC5として出力する。上述のようにして、第1のカウンタ回路106は、出力信号RA00～RANMに基づいて規則Aに従い変化するデータ数をカウントし、データ数を5ビット(RAC1～RAC5)の信号として出力する。

【0105】なお、第2のカウンタ回路107についても、上記図14に示した第1のカウンタ回路と同じ構成

であるため、説明は省略する。

【0106】図15は、図13に示したモード切替判定回路108の構成例を示す図である。図15において、161は、表示データI00～INMが上述した判定条件Iを満足する(規則Aに従い変化するデータ数が、規則Bに従い変化するデータ数よりも多い)か否か判定する判定回路であり、166は、表示データI00～INMが判定条件IIを満足する(規則Aに従い変化するデータ数が全データ数の1/4以上)か否か判定する判定回路である。なお、図15において、RAC1～RAC5、RBC1～RBC5は、上記第1および第2のカウンタ回路106、107から出力される規則A、規則Bに従い変化するデータ数をそれぞれ示す5ビットの出力信号であり、それぞれの添え字が下位から何ビット目であるかを示している。

【0107】判定回路161は、4つのXNOR回路162-1～162-4、5つのインバータ163-1～163-5、5つのAND回路164-1～164-5およびOR回路165により構成される。上記XNOR回路162-1には、出力信号RAC5、RBC5が入力され、XNOR回路162-2には、出力信号RAC4、RBC4が入力される。同様に、XNOR回路162-3には、出力信号RAC3、RBC3が入力され、XNOR回路162-4には、出力信号RAC2、RBC2が入力される。

【0108】また、上記AND回路164-1には、出力信号RAC5とインバータ163-1により反転された出力信号RBC5とが入力され、AND回路164-2には、出力信号RAC4とインバータ163-2により反転された出力信号RBC4と、XNOR回路162-1の出力とが入力される。同様に、AND回路164-3には、出力信号RAC3とインバータ163-3により反転された出力信号RBC3と、XNOR回路162-1および162-2の出力とが入力され、AND回路164-4には、出力信号RAC2とインバータ163-4により反転された出力信号RBC2と、XNOR回路162-1～162-3の出力とが入力される。上記AND回路164-5には、出力信号RAC1とインバータ163-5により反転された出力信号RBC1と、XNOR回路162-1～162-4の出力とが入力される。

【0109】すなわち、AND回路164-1は、出力信号RAC5が“1”、出力信号RBC5が“0”のとき、“H”を出力し、AND回路164-2は、出力信号RAC5と出力信号RBC5とが等しく、かつ出力信号RAC4が“1”、出力信号RBC4が“0”のとき、“H”を出力する。

【0110】同様に、AND回路164-3は、出力信号RAC5と出力信号RBC5、および出力信号RAC4と出力信号RBC4とがそれぞれ等しく、かつ出力信

号 R A C 3 が “ 1 ”、出力信号 R B C 3 が “ 0 ” のとき、“ H ” を出力し、AND 回路 1 6 4 - 4 は、出力信号 R A C 5 と出力信号 R B C 5、出力信号 R A C 4 と出力信号 R B C 4、および出力信号 R A C 3 と出力信号 R B C 3 とがそれぞれ等しく、かつ出力信号 R A C 2 が “ 1 ”、出力信号 R B C 2 が “ 0 ” のとき、“ H ” を出力する。また、同様に、AND 回路 1 6 4 - 5 は、出力信号 R A C 5 ~ R A C 2 と出力信号 R B C 5 ~ R B C 2 とがそれぞれ等しく、かつ出力信号 R A C 1 が “ 1 ”、出力信号 R B C 1 が “ 0 ” のとき、“ H ” を出力する。 10

【 0 1 1 1 】上記 OR 回路 1 6 5 には、上記 AND 回路 1 6 4 - 1 ~ 1 6 4 - 5 の出力が入力され、演算結果を AND 回路 1 6 0 に出力する。以上のような構成により、判定回路 1 6 1 は、表示データ I 0 0 ~ I N M が上述した判定条件 I を満足する（規則 A に従い変化するデータ数が、規則 B に従い変化するデータ数よりも多い）か否か判定し、判定条件 I を満足する場合には、AND 回路 1 6 0 に “ H ” を出力する。

【 0 1 1 2 】判定回路 1 6 6 は、3 つの OR 回路 1 6 7、1 6 8、1 7 0 および 1 つの AND 回路 1 6 9 によ 20 り構成される。上記 OR 回路 1 6 7 には、出力信号 R A C 5、R A C 4 が入力され、OR 回路 1 6 8 には、出力信号 R A C 2、R A C 1 が入力される。また、AND 回路 1 6 9 には、出力信号 R A C 3 と、OR 回路 1 6 8 の出力とが入力され、OR 回路 1 7 0 には、OR 回路 1 6 7 の出力と AND 回路 1 6 9 の出力とが入力され、演算結果を AND 回路 1 6 0 に出力する。

【 0 1 1 3 】これにより、判定回路 1 6 6 は、出力信号 R A C 1 ~ R A C 5 により示される規則 A に従い変化するデータ数が 5 以上であるか否か、すなわち表示データ 30 I 0 0 ~ I N M が判定条件 I I を満足する（規則 A に従い変化するデータ数が全データ数の 1 / 4 以上）か否か判定し、判定条件 I I を満足する場合には、AND 回路 1 6 0 に “ H ” を出力する。

【 0 1 1 4 】上記 AND 回路 1 6 0 には、判定回路 1 6 1、1 6 6 の出力信号が入力されており、判定回路 1 6 1、1 6 6 の出力信号がともに “ H ”、すなわち、表示データ I 0 0 ~ I N M が判定条件 I および I I を満足するとき、“ H ” のモード切替信号 R C を出力する。

【 0 1 1 5 】図 1 6 は、送信側（制御回路 9 2）の反転 40 選択回路 9 4 の構成例を示す図である。図 1 6 において、1 2 1 はフリップフロップであり、入力された表示データ I 0 0 をクロック C L K に同期させ X O R 回路 1 2 2 およびセクタ 1 2 3 に出力する。X O R 回路 1 2 2 には、上記フリップフロップ 1 2 1 の出力信号と表示データ I 0 0 とが入力され、その演算結果がフリップフロップ 1 2 4 に入力される。フリップフロップ 1 2 4 は、上記 X O R 回路 1 2 2 の出力信号をクロック C L K に同期させセクタ 1 2 3 に出力する。なお、フリップフロップ 1 2 1、1 2 4 には、クリア信号として外部か 50

ら供給されるスタート信号 S T A R T が入力される。

【 0 1 1 6 】セクタ 1 2 3 には、上記フリップフロップ 1 2 1 の出力信号、フリップフロップ 1 2 4 の出力信号、およびデータ反転検出回路 9 3 から供給されるモード切替信号 R C が入力されている。なお、上記モード切替信号 R C は、図示しないフリップフロップ等を介して、上記フリップフロップ 1 2 1 の出力信号およびフリップフロップ 1 2 4 の出力信号に同期して入力される。セクタ 1 2 3 は、モード切替信号 R C が “ H ” の場合には、フリップフロップ 1 2 1 の出力信号を選択し、モード切替信号 R C が “ L ” の場合には、フリップフロップ 1 2 4 の出力信号を選択する。そして、セクタ 1 2 3 は、選択した出力信号を表示データ D 0 0 として出力する。なお、反転選択回路 9 5、9 6 は、上記図 1 6 に示した反転選択回路 9 4 と入力される表示データ（図 1 6 においては、表示データ I 0 0）が異なるのみで同じ構成であるため、説明は省略する。

【 0 1 1 7 】図 1 7 は、受信側（データドライバ 9 7）の反転選択回路 9 8 の構成例を示す図である。図 1 7 において、1 3 1 はフリップフロップであり、入力された表示データ D 0 0 をクロック C L K に同期させ、セクタ 1 3 3 に出力する。X O R 回路 1 3 2 には、上記表示データ D 0 0 とセクタ 1 3 3 の出力信号である表示データ Q 0 0 とが入力され、その演算結果がフリップフロップ 1 3 4 に入力される。フリップフロップ 1 3 4 は、上記 X O R 回路 1 3 2 の出力信号をクロック C L K に同期させセクタ 1 3 3 に出力する。なお、フリップフロップ 1 3 1、1 3 4 には、クリア信号として外部から供給されるスタート信号 S T A R T が入力される。

【 0 1 1 8 】セクタ 1 3 3 には、上記フリップフロップ 1 3 1、1 3 4 の出力信号、およびデータ反転検出回路 9 3 から供給されるモード切替信号 R C が入力されており、モード切替信号 R C が “ H ” の場合には、フリップフロップ 1 3 4 の出力信号を選択し、モード切替信号 R C が “ L ” の場合には、フリップフロップ 1 3 1 の出力信号を選択する。そして、セクタ 1 3 3 は、選択した出力信号を表示データ Q 0 0 として出力する。なお、セクタ 1 3 3 に入力される上記モード切替信号 R C は、図示しないフリップフロップ等を介して、上記フリップフロップ 1 3 1、1 3 4 の出力信号に同期して入力される。なお、反転選択回路 9 9、1 0 0 は、上記図 1 7 に示した反転選択回路 9 8 と入力される表示データ（図 1 7 においては、表示データ D 0 0）が異なるのみで同じ構成であるため、説明は省略する。

【 0 1 1 9 】次に、第 3 の実施形態による液晶表示装置の動作について説明する。まず、外部から画像信号が供給されると、上記画像信号は図示しないビデオ信号変換回路により L C D モジュールにて処理可能な信号（表示データ I 0 0 ~ I N M、クロック信号およびイネーブル信号）に変換され、図 9 に示す L C D モジュール 9 1 内

の制御回路 92 に供給される。

【0120】制御回路 92 は、供給された表示データ $I_{00} \sim I_{NM}$ 、図示しないクロック信号およびイネーブル信号に基づいて、図示しないゲートドライバおよびデータドライバ 97 により液晶パネル 101 を駆動するための制御信号を生成し、ゲートドライバおよびデータドライバ 97 に供給する。また、供給された表示データ $I_{00} \sim I_{NM}$ は、制御回路 92 内の反転選択回路 94 ~ 96 にそれぞれ供給されるとともに、データ反転検出回路 93 に供給される。

【0121】表示データ $I_{00} \sim I_{NM}$ が供給されたデータ反転検出回路 93 は、上述した規則 A、B 等の所定の規則に従って変化する表示データを検出する。さらに、データ反転検出回路 93 は、上記検出した表示データ数を用いて、上述した判定条件 I および II を満足するか否か判定し、上記判定条件 I および II を満足する場合には、モード切替信号 RC を “H” にして出力する。次に、表示データ $I_{00} \sim I_{NM}$ がそれぞれ供給された反転選択回路 94 ~ 96 は、上記表示データ $I_{00} \sim I_{NM}$ と上記データ反転検出回路 93 から供給される

モード切替信号 RC とに基づいて、図 10 に示す送信側の真理値表に従い、表示データ $D_{00} \sim D_{NM}$ をそれぞれ出力する。

【0122】上記制御回路 92 内の反転選択回路 94 ~ 96 から出力された表示データ $D_{00} \sim D_{NM}$ は、データドライバ 97 内の反転選択回路 98 ~ 100 にそれぞれ入力される。また、上記反転選択回路 98 ~ 100 には、上記データ反転検出回路 93 からモード切替信号 RC が供給されており、表示データ $D_{00} \sim D_{NM}$ および

モード切替信号 RC に基づいて、図 11 に示す受信側の真理値表に従い、表示データ $Q_{00} \sim Q_{NM}$ をそれぞれ出力する。これにより、外部から供給される表示データ $I_{00} \sim I_{NM}$ とデータドライバ 97 から出力される表示データ $Q_{00} \sim Q_{NM}$ は同じデータ値となる。

【0123】そして、データドライバ 97 は、反転選択回路 98 ~ 100 から出力された表示データ $Q_{00} \sim Q_{NM}$ に応じた電圧を液晶パネル 101 のデータラインに印加して各データラインを駆動し、さらに図示しないゲートドライバにより液晶パネル 101 の各スキャンラインを駆動することで外部から供給された画像信号に係る

画像を液晶パネル 101 に表示する。

【0124】図 18 は、上述した液晶表示装置の動作の一例を示す図である。なお、図 18 においては、表示期間において外部から入力される全ての表示データ $I_{00} \sim I_{NM}$ が、1 クロック毎に反転する縦縞の画像を液晶パネル 101 に表示する場合を一例として示している。また、図 18 においては、外部から入力される表示データ $I_{00} \sim I_{NM}$ 、および制御回路 92 からデータドライバ 97 に送信される表示データ $D_{00} \sim D_{NM}$ について示している。

【0125】まず、ブランキング期間（非表示期間） B_{n-1} 、 B_n においては、LCD モジュール 91 には全て “L” の表示データ $I_{00} \sim I_{NM}$ が入力され、制御回路 92 から全て “L” の表示データ $D_{00} \sim D_{NM}$ が出力される。次に、表示期間 P_1 において、全てのデータが “H” に反転した表示データ $I_{00} \sim I_{NM}$ が入力され、表示期間 P_2 において、さらに全てのデータが “L” に反転した表示データ $I_{00} \sim I_{NM}$ が入力される。

10 【0126】このとき、制御回路 92 内のデータ反転検出回路 93 は、期間 B_n 、 P_1 および P_2 における表示データ $I_{00} \sim I_{NM}$ に基づいて、表示期間 P_1 にてデータ出力モードを切り替えるか否か判定する。図 18 に示す例では、期間 B_n 、 P_1 、 P_2 において、表示データ $I_{00} \sim I_{NM}$ の全てが “L” → “H” → “L” と上述した規則 A に従い変化しているため、上述した判定条件 I、II をともに満たす。したがって、データ反転検出回路 93 は、表示期間 P_1 において、データ出力モードを切り替えると判定し、モード切替信号 RC を “H” に

20 する。

【0127】また、表示期間 P_1 における表示データ $I_{00} \sim I_{NM}$ は、全て “H” であるため、反転選択回路 94 ~ 96 は、図 10 に示す送信側の真理値表に従い、1 つ前のクロック（ブランキング期間 B_n ）において入力された表示データ $I_{00} \sim I_{NM}$ を反転して、表示期間 P_1 における表示データ $D_{00} \sim D_{NM}$ として出力する。

【0128】次に、表示期間 P_3 において、全てのデータが “H” に反転した表示データ $I_{00} \sim I_{NM}$ が入力される。このとき、データ反転検出回路 93 は、期間 P_1 、 P_2 および P_3 における表示データ $I_{00} \sim I_{NM}$ に基づいて、表示期間 P_2 にてデータ出力モードを切り替えるか否か判定する。表示期間 P_1 、 P_2 、 P_3 において、全ての表示データ $I_{00} \sim I_{NM}$ は “H” → “L” → “H” と上述した規則 A に従い変化しているため、上述した表示期間 P_1 と同様に、データ反転検出回路 93 は、表示期間 P_2 において、データ出力モードを切り替えると判定し、モード切替信号 RC を “H” に維持する。

【0129】また、表示期間 P_2 における表示データ $I_{00} \sim I_{NM}$ は、全て “L” であるため、反転選択回路 94 ~ 96 は、図 10 に示す送信側の真理値表に従い、1 つ前のクロック（表示期間 P_1 ）において入力された表示データ $I_{00} \sim I_{NM}$ と同じデータを表示期間 P_2 における表示データ $D_{00} \sim D_{NM}$ として出力する。

【0130】次に、表示期間 P_4 において、全てのデータが “L” に反転した表示データ $I_{00} \sim I_{NM}$ が入力される。このとき、データ反転検出回路 93 は、期間 P_2 、 P_3 および P_4 における表示データ $I_{00} \sim I_{NM}$ に

50 基づいて、表示期間 P_3 にてデータ出力モードを切り替

えるか否か判定する。表示期間 P_2 、 P_3 、 P_4 において、全ての表示データ $I00 \sim INM$ は “L” $\rightarrow$ “H” $\rightarrow$ “L” と上述した規則 A に従い変化しているので、上述した表示期間 P_1 、 P_2 と同様に、データ反転検出回路 93 は、表示期間 P_3 において、データ出力モードを切り替えると判定し、モード切替信号 RC を “H” に維持する。

【0131】また、表示期間 P_3 における表示データ $I00 \sim INM$ は、全て “H” であるので、反転選択回路 94 ~ 96 は、図 10 に示す送信側の真理値表に従い、1 つ前のクロック（表示期間 P_2 ）において入力された “L” の表示データ $I00 \sim INM$ を反転して、表示期間 P_3 における表示データ $D00 \sim DNM$ を “H” として出力する。

【0132】表示期間 P_4 以降の表示期間においても、上述した動作を行うことで、図 18 に示すように、外部から入力される全ての表示データ $I00 \sim INM$ が、1 クロック毎に反転しても、制御回路 92 からデータドライバ 97 に供給する表示データ $D00 \sim DNM$ は反転せず、“H” のままである。

【0133】なお、上述した第 3 の実施形態においては、説明の便宜上、表示データのみについて示したが、本発明は表示データに限らず、上述したデータ反転信号についても適用することができる。なお、データ反転信号を用いる場合には、図 9 に示した表示データ $I00 \sim INM$ および表示データ $D00 \sim DNM$ とデータ反転信号とを制御回路 92 およびデータドライバ 97 内でそれぞれ XOR 演算した演算結果を表示データとして反転選択回路等に入力すれば良い。

【0134】図 19 は、データ反転駆動を行う表示装置に第 3 の実施形態を適用した場合の具体的な動作の一例を示す図である。図 19 においては、 R 、 G 、 B 各 6 ビットからなる表示データ IRX 、 IGX 、 IBX (X は 0 ~ 5 の整数) が入力され、(A) に示すように液晶パネル 101 の一部（あるスキャンラインにおけるデータライン XR 、 YG 、 XB : X は 0 ~ 5 の整数) に、紫 $\rightarrow$ 黒 $\rightarrow$ 紫 $\rightarrow$ 黒 $\rightarrow$ 白 $\rightarrow$ 白を順次表示する場合を一例として示す。なお、ブランキング期間中は表示データ IRX 、 IGX 、 IBX として黒データが入力されるとする。

【0135】図 19 (B) に示すように、黒データが入力されるブランキング期間（非表示期間） B_{n-1} 、 B_n および表示期間 P_2 、 P_4 においては、表示データ IRX 、 IGX 、 IBX は全て “L” であり、紫データが入力される表示期間 P_1 、 P_3 においては、表示データ IGX は “L”、表示データ IRX および IBX は “H” である。また、白データが入力される表示期間 P_5 、 P_6 においては、表示データ IRX 、 IGX 、 IBX は全て “H” である。

【0136】上述のようにして、各期間に入力される表示データ IRX 、 IGX 、 IBX は、上述した第 1 およ

び第 2 の実施形態と同様に、まず、制御回路 92 において 1 クロック前に入力された表示データ IRX 、 IGX 、 IBX との比較結果に基づいてレベル反転されるデータ反転信号 $AINV$ に応じて、適宜ビット毎にデータ値の反転処理を施した表示データ ARX 、 AGX 、 ABX (X は 0 ~ 5 の整数) に変換される。これにより、図 19 (B) に示すように、データ反転信号 $AINV$ は、表示期間 $P_1 \sim P_5$ においてそれぞれレベル反転し、表示データ ARX 、 AGX 、 ABX は、表示データ AGX が表示期間 P_1 、 P_3 で “H” となる以外は、全て “L” となる。

【0137】次に、データ反転検出回路 93 は、データ反転信号 $AINV$ および表示データ ARX 、 AGX 、 ABX について、上述した規則 A または規則 B に従って変化するデータ数（データ反転信号 $AINV$ も 1 つのデータとして含める。）を検出する。図 19 に示す例では、表示期間 P_1 、 P_2 、 P_3 、 P_4 （判定に用いるデータはそれぞれ表示期間 $B_n \sim P_2$ 、 $P_1 \sim P_3$ 、 $P_2 \sim P_4$ 、 $P_3 \sim P_5$ ）におけるデータ反転信号 $AINV$ 、および表示期間 P_1 、 P_2 、 P_3 （判定に用いるデータはそれぞれ表示期間 $B_n \sim P_2$ 、 $P_1 \sim P_3$ 、 $P_2 \sim P_4$ ）における表示データ AGX が、規則 A に従って変化するデータに該当する。また、表示期間 P_5 （判定に用いるデータは表示期間 $P_4 \sim P_6$ ）におけるデータ反転信号 $AINV$ および表示期間 P_4 （判定に用いるデータは表示期間 $P_3 \sim P_5$ ）における表示データ AGX が、規則 B に従って変化するデータに該当する。

【0138】したがって、表示期間 $P_1 \sim P_3$ においては、規則 A に従って変化するデータ数は 7、規則 B に従って変化するデータ数は 0 であり、全データ数は 19 であるから、上述した判定条件 I および II を満たし、データ反転検出回路 93 はモード切替信号 RC を “H” にする。また、表示期間 P_4 においては、規則 A に従って変化するデータ数は 1、規則 B に従って変化するデータ数は 6 であり、上述した判定条件 I、II を満足しないので、データ反転検出回路 93 はモード切替信号 RC を “L” にする。

【0139】そして、反転選択回路 94 ~ 96 は、データ反転検出回路 93 から供給される、モード切替信号 RC と、表示データ ARX 、 AGX 、 ABX およびデータ反転信号 $AINV$ とに基づいて、上記図 10 に示した送信側の真理値表に従って、表示データ DRX 、 DGX 、 DBX (X は 0 ~ 5 の整数) およびデータ反転信号 $DI NV$ をそれぞれ出力する。これにより、図 19 に示すように、表示期間 P_1 、 P_4 において、モード切替信号 RC 、データ反転信号 INV および表示データ DGX の 6 ビットのデータがビット毎にそれぞれ反転し、表示期間 P_5 において、データ反転信号 INV のみが反転する。したがって、ブランキング期間 B_{n-1} から表示期間 P_6 において、表示データ ARX 、 AGX 、 ABX およびデー

タ反転信号 AINV のみを用いた場合には、データ反転数の合計が 29 となるのに対して、さらに表示データ DRX、DGX、DBX およびデータ反転信号 DINV を用いた場合には、データ反転数の合計は 17 となり、少ないデータ反転数で入力された表示データ IRX、IGX、IBX に係る画像を液晶パネル 101 に表示することができる。

【0140】以上、説明したように第 3 の実施形態によれば、データ反転検出回路 93 にて、3 クロックの期間における表示データ I00 ~ INM、または表示データ I00 ~ INM およびデータ反転信号 INV の変化を検出し、検出した結果が所定の条件を満たす場合には、モード切替信号 RC を出力して、受信側であるデータドライバ 97 に 1 クロック前に出力した表示データ Q00 ~ QNM を反転または非反転して出力するように指示する。

【0141】これにより、特に、表示データ I00 ~ INM、または表示データ I00 ~ INM およびデータ反転信号 INV が 1 クロック毎に切り替わる場合には、制御回路 92 からデータドライバ 97 に送信する表示データ D00 ~ DNM においてデータ値が反転するデータ数を非常に少なくすることができ、表示データ D00 ~ DNM が単位時間あたりに反転する頻度を減少させ、表示データ D00 ~ DNM を送信する信号線から放射される電流量（電磁波ノイズ）を低減することができる。

【0142】なお、上述した第 3 の実施形態においては、データ反転検出回路 93 は判定条件 I、II をともに満足する場合に、モード切替信号 RC を出力するものとしたが、判定条件 I のみを満足した場合に、モード切替信号 RC を出力するようにしても良い。

【0143】（第 4 の実施形態）次に、本発明の第 4 の実施形態について説明する。上述した第 3 の実施形態において、全く変化しない表示データ、連続して反転する表示データおよび反転と非反転とを繰り返す表示データが混在して入力され、入力された表示データが所定のパターンで変化するときには、モード切替信号 RC を “H” にしてデータ出力モードを切り替えると、制御回路 92 から出力する表示データにおいてデータ値を反転して出力するデータ数が増える場合がある。例えば、図 20 に示すようなパターンで表示データ I00 ~ I02 が変化すると、入力された表示データ I00 ~ I02 に対して、データ出力モードの切り替えのみを行い出力する第 1 の出力では、表示期間 P₂ から表示期間 P₃ へ移る際、モード切替信号 RC および出力する表示データ D00 ~ D02 のすべてが反転してしまう。

【0144】そこで、第 4 の実施形態は、上述した第 3 の実施形態において示したデータ出力モードの切り替えに加え、さらに表示データをデータ反転駆動し、制御回路 92 からデータドライバ 97 に出力する表示データの反転数を常に全表示データ数の 1/2 以下になるように

したものである。

【0145】なお、第 4 の実施形態による表示装置を用いた液晶表示装置の LCD モジュール 91 は、上記図 9 に示した LCD モジュールと同様に制御回路 92（データ反転検出回路 93、反転選択回路 94 ~ 96 を含む）、データドライバ 97（反転選択回路 98 ~ 100 を含む）および液晶パネル 101 により構成される。

【0146】第 4 の実施形態における LCD モジュール 91 内のデータ反転検出回路 93 は、第 3 の実施形態において上述したように、供給される表示データ I00 ~ INM において所定の規則に従い変化するデータ数を検出し、検出結果に応じてモード切替信号 RC を出力する。データ反転検出回路 93 は、表示データ I00 ~ INM およびモード切替信号 RC に応じて、制御回路 92 からデータドライバ 97 に表示データを出力する際に、データ値を反転して出力するための反転信号 RCIV を出力する。

【0147】具体的には、データ反転検出回路 93 は、上記図 10 に示す送信側の真理値表に従い、制御回路 92 からデータドライバ 97 に表示データ D00 ~ DNM を出力するとした場合に、上記表示データ D00 ~ DNM の反転数が全表示データ数の 1/2 より多いか否か判断する。上記判断の結果、表示データ D00 ~ DNM の反転数が全表示データ数の 1/2 より多いと判断した場合には、反転信号 RCIV をレベル反転し、そうでないと判断した場合には反転信号 RCIV の信号レベルを維持する。

【0148】上記判断について、以下の (i) ~ (iv) に示す。なお、データ反転検出回路 93 は、所定の条件を満たす表示データ数をカウントするときは、上述した第 1 のカウンタ回路 106 と同様のカウンタ回路により表示データ数をカウントする。

【0149】(i) モード切替信号 RC が、“L” → “H” に変化するとき

データ反転検出回路 93 は、供給された表示データ I00 ~ INM においてデータ値が “H” である表示データ数をカウントし、データ値が “H” である表示データ数が全データ数の 1/2 より多い場合には、表示データ D00 ~ DNM の反転数が全表示データ数の 1/2 より多いと判断し、反転信号 RCIV をレベル反転する。

【0150】(ii) モード切替信号 RC が、“H” → “L” に変化するとき

データ反転検出回路 93 は、供給された表示データ I00 ~ INM と 2 クロック前に供給された表示データ I00 ~ INM とを比較して、同じデータ値の表示データ数をカウントし、同じデータ値の表示データ数が全データ数の 1/2 より多い場合には、表示データ D00 ~ DNM の反転数が全表示データ数の 1/2 より多いと判断し、反転信号 RCIV をレベル反転する。

【0151】(iii) モード切替信号 RC が、“L”

を維持するとき

データ反転検出回路 93 は、供給された表示データ I00 ~ INM と 1 クロック前に供給された表示データ I00 ~ INM とを比較して、データ値が反転した表示データ数をカウントし、データ値が反転した表示データ数が全データ数の 1/2 より多い場合には、表示データ D00 ~ DNM の反転数が全表示データ数の 1/2 より多いと判断し、反転信号 RCI V をレベル反転する。

【0152】(iv) モード切替信号 RC が、“H” を維持するとき

データ反転検出回路 93 は、1 クロック前に供給された表示データ I00 ~ INM と 2 クロック前に供給された表示データ I00 ~ INM とを比較して、データ値が反転した表示データ数をカウントし、データ値が反転した表示データ数が全データ数の 1/2 より多い場合には、表示データ D00 ~ DNM の反転数が全表示データ数の 1/2 より多いと判断し、反転信号 RCI V をレベル反転する。

【0153】図 21 は、第 4 の実施形態における送信側（制御回路 92）の反転選択回路 94 の構成例を示す図である。図 21 において、171 はフリップフロップであり、入力された表示データ I00 をクロック CLK に同期させ XOR 回路 172 に出力する。XOR 回路 172 には、上記フリップフロップ 171 の出力信号、表示データ I00 およびデータ反転検出回路 93 から供給される反転信号 RCI V が入力され、その演算結果がフリップフロップ 174 に入力される。フリップフロップ 174 は、上記 XOR 回路 172 の出力信号をクロック CLK に同期させセクタ 176 に出力する。

【0154】また、XOR 回路 173 には、表示データ I00 および上記反転信号 RCI V が入力され、その演算結果がフリップフロップ 175 に入力される。フリップフロップ 175 は、上記 XOR 回路 173 の出力信号をクロック CLK に同期させセクタ 176 に出力する。なお、フリップフロップ 171、174、175 には、クリア信号として外部から供給されるスタート信号 START が入力される。

【0155】セクタ 176 には、上記フリップフロップ 174、175 の出力信号、およびデータ反転検出回路 93 から供給されるモード切替信号 RC が入力されている。なお、上記モード切替信号 RC は、図示しないフリップフロップ等を介して、上記フリップフロップ 174、175 の出力信号に同期して入力される。セクタ 176 は、モード切替信号 RC が“H”の場合には、フリップフロップ 175 の出力信号を選択し、モード切替信号 RC が“L”の場合には、フリップフロップ 174 の出力信号を選択する。そして、セクタ 176 は、選択した出力信号を表示データ D00 として出力する。なお、反転選択回路 95、96 は、上記図 21 に示した反転選択回路 94 と入力される表示データが異なるのみで

同じ構成であるため、説明は省略する。

【0156】図 22 は、受信側（データドライバ 97）の反転選択回路 98 の構成例を示す図である。図 22 において、181 は XOR 回路であり、入力された表示データ D00 とデータ反転検出回路 93 から供給される反転信号 RCI V とが入力され、その演算結果がフリップフロップ 182 に入力される。フリップフロップ 182 は、上記 XOR 回路 181 の出力信号をクロック CLK に同期させセクタ 185 に出力する。また、183 は XOR 回路であり、上記表示データ D00、セクタ 85 の出力信号である表示データ Q00、および上記反転信号 RCI V が入力され、その演算結果がフリップフロップ 184 に入力される。フリップフロップ 184 は、上記 XOR 回路 183 の出力信号をクロック CLK に同期させセクタ 185 に出力する。なお、フリップフロップ 182、184 には、クリア信号として外部から供給されるスタート信号 START が入力される。

【0157】セクタ 185 には、上記フリップフロップ 182、184 の出力信号、およびデータ反転検出回路 93 から供給されるモード切替信号 RC が入力されており、モード切替信号 RC が“H”の場合には、フリップフロップ 184 の出力信号を選択し、モード切替信号 RC が“L”の場合には、フリップフロップ 182 の出力信号を選択する。そして、セクタ 185 は、選択した出力信号を表示データ Q00 として出力する。なお、セクタ 185 に入力される上記モード切替信号 RC は、図示しないフリップフロップ等を介して、上記フリップフロップ 182、184 の出力信号に同期して入力される。なお、反転選択回路 99、100 は、上記図 22 に示した反転選択回路 98 と入力される表示データが異なるのみで同じ構成であるため、説明は省略する。

【0158】以上、説明したように第 4 の実施形態によれば、供給される表示データ I00 ~ INM に応じてモード切替信号 RC を出力してデータ出力モードを切り替えるとともに、制御回路 92 からデータドライバ 97 に表示データを出力する際に、反転して出力しようとする表示データ数に応じて、反転信号 RCI V を出力して表示データ D00 ~ DNM を反転駆動することにより、図 20 の第 2 の出力に示すように、表示データ I00 ~ INM として、全く変化しない表示データ、連続して反転する表示データおよび反転と非反転とを繰り返す表示データが混在して入力されたとしても、反転して出力する表示データ D00 ~ DNM の数が常に全表示データ数の 1/2 以下にすることができる。したがって、表示データ D00 ~ DNM を送信する信号線から放射される電波量（電磁波ノイズ）を低減することができる。

【0159】（第 5 の実施形態）次に、本発明の第 5 の実施形態について説明する。図 23 は、第 5 の実施形態による表示装置の構成例を示す図である。図 23 において、201 は信号発生器であり、スペクトラム拡散処理

禁止信号（以下、「SS処理禁止信号」と称す。）SSOFF、制御信号CTL、クロック信号CLKおよび上記クロック信号CLKに同期したデータ信号DT1をインタフェース203を介して表示装置202に供給する。

【0160】表示装置202は、上記インタフェース203を有し、スペクトラム拡散処理回路（以下、「SS回路」と称す。）204、制御回路205、ドライバ回路210、表示部211により構成される。上記SS回路204は、供給されるクロック信号CLKにスペクトラム拡散処理（以下、「SS処理」と称す。）を施して、上記クロック信号CLKの周波数を分散させて（周波数を高くしたり、低くしたりして）、スペクトラム拡散クロック信号（以下、「SSクロック信号」と称す。）SSCLKとして制御回路205に供給する。

【0161】制御回路205は、駆動制御回路206、メモリ部207、第1のセクタ208および第2のセクタ209により構成される。駆動制御回路206は、供給される制御信号CTL、クロック信号CLKおよびデータ信号DT1が入力され、上記制御信号CTLに従って所定の制御処理等を行い、データ信号DT2およびクロック信号CLKを出力する。

【0162】メモリ部207は、上記駆動制御回路206から供給されるデータ信号DT2をSSクロック信号SSCLKに同期させて出力するためのものであり、メモリ部207には、上記データ信号DT2を書き込むためのライトクロック(WCLK)としてクロック信号CLKが供給される。また、メモリ部207には、書き込んだデータを読み出すためのリードクロック(RCLK)としてSSクロック信号SSCLKが供給され、SSクロック信号SSCLKに同期して読み出したSSデータ信号DT3を第1のセクタ208に供給する。

【0163】第1のセクタ208は、供給されるSS処理禁止信号SSOFFに応じて、駆動制御回路206から供給されるデータ信号DT2またはメモリ部207から供給されるSSデータ信号DT3を選択的に駆動データ信号DT4としてドライバ回路210に供給する。同様に、第2のセクタ209は、供給されるSS処理禁止信号SSOFFに応じて、インタフェース203を介して供給されるクロック信号CLKまたはSS回路204から供給されるSSクロック信号SSCLKを選択的に駆動クロック信号DCLKとしてドライバ回路210に供給する。

【0164】ドライバ回路210は、制御回路205内の第1および第2のセクタ208、209からそれぞれ供給された駆動データ信号DT4および駆動クロック信号DCLKに基づいて、表示部211を駆動制御して表示部211に所望の画像を表示させる。

【0165】次に、上述した本実施形態による表示装置の動作について説明する。まず、信号発生器201から

SS処理禁止信号SSOFF、制御信号CTL、クロック信号CLKおよびクロック信号CLKに同期したデータ信号DT1がインタフェース203を介して表示装置202に供給される。なお、信号発生器201から供給されるクロック信号CLKが既にSS処理を施したクロック信号である場合には、信号発生器201は、表示装置202でのSS処理を禁止するアクティブな（SS処理禁止信号が、正論理ならば“H”、負論理ならば“L”の）SS処理禁止信号SSOFFを表示装置202に供給する。一方、そうでない（SS処理を施していない）場合には、信号発生器201は、表示装置202でのSS処理を許可するインアクティブなSS処理禁止信号SSOFFを表示装置202に供給する。

【0166】供給されたSS処理禁止信号SSOFFは、第1および第2のセクタ208、209に入力され、制御信号CTLおよびデータ信号DT1は、制御回路205内の駆動制御回路206に入力される。また、クロック信号CLKは、駆動制御回路206、SS回路204および第2のセクタ209に入力される。

【0167】クロック信号CLKが入力されたSS回路204では、クロック信号CLKにSS処理を施し、SS処理により得られたSSクロック信号SSCLKがメモリ部207および第2のセクタ209にそれぞれ供給される。

【0168】また、制御信号CTL、クロック信号CLKおよびデータ信号DT1が入力された駆動制御回路206では、クロック信号CLKを用いて制御信号CTLに基づいた所定の制御処理等が行われ、データ信号DT2およびクロック信号CLKが出力される。上記駆動制御回路206から出力されたデータ信号DT2は、メモリ部207および第1のセクタ208に供給される。駆動制御回路206からメモリ部207に供給されたデータ信号DT2は、クロック信号CLKに同期してメモリ部207に書き込まれた後、SSクロック信号SSCLKに同期して読み出され第1のセクタ208に供給される。

【0169】上述したようにして、第1のセクタ208には、クロック信号CLKに同期したデータ信号DT2、およびSSクロック信号SSCLKに同期したデータ信号DT3が入力される。また、第2のセクタ209には、クロック信号CLKおよびSSクロック信号SSCLKが入力される。

【0170】そして、第1および第2のセクタ208、209は、SS処理禁止信号SSOFFがアクティブ（SS処理禁止）のときには、データ信号DT2およびクロック信号CLKを選択し、駆動データDT4、駆動クロック信号DCLKとしてドライバ回路210にそれぞれ出力する。一方、SS処理禁止信号SSOFFがインアクティブ（SS処理許可）のときには、第1および第2のセクタ208、209は、データ信号DT3

およびＳＳクロック信号ＳＣＬＫを選択し、駆動データＤＴ４、駆動クロック信号ＤＣＬＫとしてドライバ回路２１０にそれぞれ出力する。

【０１７１】第１および第２のセクタ２０８、２０９から駆動データＤＴ４および駆動クロック信号ＤＣＬＫがそれぞれ供給されたドライバ回路２１０は、上記駆動データＤＴ４および駆動クロック信号ＤＣＬＫに基づいて、表示部２１１を駆動制御し、表示部２１１に所望の画像を表示させる。

【０１７２】以上、説明したように第５の実施形態によれば、表示装置２０２内部でのＳＳ処理を禁止するためのＳＳ処理禁止信号ＳＳＯＦＦを表示装置２０２に供給し、供給されたＳＳ処理禁止信号ＳＳＯＦＦに応じて、クロック信号ＣＬＫとそれに同期したデータ信号ＤＴ２、または表示装置２０２内でＳＳ処理を施したＳＳクロック信号ＳＳＣＬＫとそれに同期したデータ信号ＤＴ３の何れかを選択し、ドライバ回路２１０に供給する。

【０１７３】これにより、外部から供給されるクロック信号ＣＬＫにＳＳ処理が既に施されていたとしても、アクティブなＳＳ処理禁止信号ＳＳＯＦＦにより、表示装置２０２の内部にてＳＳ処理が施されていないクロック信号ＣＬＫとそれに同期したデータ信号ＤＴ２を選択することで、表示装置２０２内でのＳＳ処理機能を無効にし、２度以上のＳＳ処理が施されることを防止することができる。したがって、供給されたクロック信号ＣＬＫに既に施されているＳＳ処理を有効に作用させることができ、クロック信号やデータ信号を送信する信号線からの放射電波（電磁波ノイズ）のノイズピークを分散させ、信号線から放射される電波量（電磁波ノイズ）を低減することができる。

【０１７４】また、２度以上のＳＳ処理が施されることを防止することができるので、表示装置２０２の外部でのＳＳ処理と表示装置２０２内でのＳＳ処理とが互いに相殺され、ＳＳクロック信号ＳＳＣＬＫがＳＳ処理を全く施されていないものとなってしまうたり、表示装置２０２の外部でのＳＳ処理により周波数が高くなったクロック信号ＣＬＫに対して表示装置２０２内でＳＳ処理を施すことによりＳＳクロック信号ＳＳＣＬＫの周波数がさらに高くなり、メモリ部２０７内のデータ量が不足したりするなど予期しない新たな問題が生じてしまうことを防止することができる。

【０１７５】（第６の実施形態）次に、本発明の第６の実施形態について説明する。上述した第５の実施形態では、ＳＳ処理を禁止するためのＳＳ処理禁止信号ＳＳＯＦＦは外部から供給されていたが、第６の実施形態では、図２４に示すように構成することにより、外部から供給されるクロック信号の周波数や位相等に基づいて、当該クロック信号にＳＳ処理が施されているか否か検出することにより、表示装置２０２'内でＳＳ処理禁止信号ＳＳＯＦＦを生成するものである。

【０１７６】図２４は、第６の実施形態による表示装置の構成例を示す図である。なお、この図２４において、図２３に示したブロックと同一の機能を有するブロックには同一の符号を付し、重複する説明は省略する。また、図２３に示したブロックと同一ではないが対応する機能を有するブロックには、同じ符号に'を付している。

【０１７７】図２４において、２０１'は信号発生器であり、制御信号ＣＴＬ、クロック信号ＣＬＫおよび上記クロック信号ＣＬＫに同期したデータ信号ＤＴ１をインタフェース２０３'を介して表示装置２０２'に供給する。また、２０５'は制御回路であり、駆動制御回路２０６、メモリ部２０７、第１のセクタ２０８および第２のセクタ２０９に加え、さらに位相比較回路２１２および位相変化検出カウンタ回路２１３を備えている。

【０１７８】位相比較回路２１２は、インタフェース２０３'を介して信号発生器２０１'から供給されるクロック信号ＣＬＫと、上記クロック信号ＣＬＫに基づいて生成される出力クロック信号との位相差を比較する。また、位相比較回路２１２は、比較結果に基づいて、クロック信号ＣＬＫと出力クロック信号との位相差に応じた信号を位相変化検出カウンタ回路２１３に供給する。上記位相比較回路２１２は、例えば、ＰＬＬ回路等により構成される。

【０１７９】位相変化検出カウンタ回路２１３は、位相比較回路２１２から供給されるクロック信号ＣＬＫと出力クロック信号との位相差に応じた信号に基づいて、ＳＳ処理禁止信号ＳＳＯＦＦ'を制御し、第１および第２のセクタ２０８、２０９に出力する。

【０１８０】次に、上述した本実施形態による表示装置の動作について説明する。なお、本実施形態による表示装置の動作においては、上述した第５の実施形態による表示装置の動作とは、ＳＳ処理禁止信号ＳＳＯＦＦ'を信号発生器２０１'から入力するか、表示装置２０２'内部で生成するかが異なるのみで他の動作は同じであるので、重複する説明は省略し、以下では、ＳＳ処理禁止信号ＳＳＯＦＦ'の生成動作について説明する。

【０１８１】インタフェース２０３'を介して信号発生器２０１'から供給されたクロック信号ＣＬＫは、上述した第５の実施形態による表示装置と同様に、駆動制御回路２０６、ＳＳ回路２０４および第２のセクタ２０９に入力されるとともに、さらに位相比較回路２１２に入力される。位相比較回路２１２では、供給されたクロック信号ＣＬＫと当該位相比較回路２１２を介して出力する出力クロック信号との位相差を検出し、検出した位相差に応じた信号を位相変化検出カウンタ回路２１３に供給する。

【０１８２】すなわち、供給されるクロック信号ＣＬＫの周波数が一定の場合（ＳＳ処理が施されていない場合）には、クロック信号ＣＬＫと出力クロック信号との

位相差に変動がなく、一定の信号が位相変化検出カウンタ回路 213 に供給される。一方、供給されるクロック信号 CLK の周波数が絶えず変動している場合 (SS 処理が施されている場合) には、クロック信号 CLK と出力クロック信号との位相差に変動が生じ、位相差に応じて変化した信号が位相変化検出カウンタ回路 213 に供給される。

【0183】そして、位相変化検出カウンタ回路 213 は、位相比較回路 212 から供給される位相差に応じた信号の変化に基づいてカウンタを動作させ、カウンタ値が予め設定した設定値以上となった場合には、SS 処理禁止信号 SSOFF' をアクティブにして、第 1 および第 2 のセクタ 208、209 に出力する。一方、カウンタ値が予め設定した設定値より小さい場合には、インアクティブの SS 処理禁止信号 SSOFF' を第 1 および第 2 のセクタ 208、209 に出力する。

【0184】したがって、第 1 および第 2 のセクタ 208、209 により、SS 処理禁止信号 SSOFF' に応じて、データ信号 DT2 またはデータ信号 DT3、およびクロック信号 CLK または SS クロック信号 SSC CLK がそれぞれ選択され、駆動データ DT4、駆動クロック信号 DCLK としてドライバ回路 210 に出力される。

【0185】以上、説明したように第 6 の実施形態によれば、第 5 の実施形態による表示装置に、さらに、供給されたクロック信号に基づいて生成したクロック信号と、供給されたクロック信号との位相差に応じた信号を出力する位相比較回路 212、および上記位相差に応じた信号の変化をカウントする位相変化検出カウンタ回路 213 を設け、供給されたクロック信号に基づいて生成したクロック信号と、供給されたクロック信号との位相差に応じた信号の変化から、供給されたクロック信号に SS 処理が既に施されているか否かを判定する。

$$f(t) = \frac{A}{2} + \frac{2A}{\pi} \left(\sin \omega \cdot t + \frac{1}{3} \sin 3\omega \cdot t + \frac{1}{5} \sin 5\omega \cdot t + \dots \right) \quad (1)$$

【0191】なお、式 (1) において、 $\omega = 2\pi / T$ である。さらに、送信側は、式 (1) に示す信号 $f(t)$ の高周波成分 (高周波項) を除去し、式 (2) で示される基本波からなる正弦波の信号 $f'(t)$ を受信側に送信する。

【0192】

$$f'(t) = \frac{A}{2} + \frac{2A}{\pi} \sin \omega \cdot t \quad (2)$$

【0193】受信側は、上記式 (2) で示される正弦波の信号 $f'(t)$ を受信し、正弦波の信号 $f'(t)$ に含まれる正弦波 $\sin(\omega t)$ を抽出し、PLL (Phase Locked Loop) 回路等により、正弦波 $\sin(3\omega t)$ 、 $\sin(5\omega t)$ 、... を生成する。受信側は、抽出した正弦波 $\sin(\omega t)$ および生成した正弦波 $\sin$

*【0186】これにより、表示装置 202' 内で供給されたクロック信号に SS 処理が施されているか否かを判定することにより、SS 処理禁止信号 SSOFF' を生成し出力することができる。したがって、外部から SS 処理禁止信号 SSOFF が供給されなくとも、クロック信号 CLK に 2 度以上の SS 処理が施されることを防止することができるとともに、クロック信号やデータ信号を送信する信号線からの放射電波 (電磁波ノイズ) のノイズピークを分散させ、信号線から放射される電流量 (電磁波ノイズ) を低減することができる。

【0187】(第 7 の実施形態) 次に、本発明の第 7 の実施形態について説明する。第 7 の実施形態は、クロック信号やデータ信号を装置間あるいは回路間で伝送する際、通常、矩形波のクロック信号やデータ信号を伝送していたものを、矩形波から正弦波に変換したクロック信号やデータ信号を伝送することにより、高調波成分を減少させ、信号の伝送により放出される電流量 (電磁波ノイズ) の低減を図るものである。

【0188】まず、本実施形態の原理について説明する。本実施形態では、送信側にフーリエ変換機能、受信側に逆フーリエ変換機能を備えるようにして、送信側は矩形波の信号にフーリエ変換を施すことにより正弦波の信号に変換して送信し、受信側は受信した正弦波の信号に逆フーリエ変換を施すことにより矩形波の信号に復元して出力する。

【0189】例えば、図 25 (A) に示すような振幅 A、周期 T の矩形波のクロック信号が入力され、当該クロック信号を送信しようとする際、送信側では上記クロック信号にフーリエ変換を施し、式 (1) で示される信号 $f(t)$ に変換する。

【0190】

【数 1】

$n(3\omega t)$ 、 $\sin(5\omega t)$ 、... に、位相係数の逆数 $1/1$ 、 $1/3$ 、 $1/5$ 、... をそれぞれ乗算するとともに、係数 $2A/\pi$ を乗算する。

【0194】さらに、受信側は、 $2/A$ を含めて上記乗算により得られた結果の総和を求めることにより、上記式 (1) に示される信号 $f(t)$ の右边を復元して、それに逆フーリエ変換を施す。これにより、受信側は、上記式 (2) に示される正弦波の信号 $f'(t)$ から、送信側に入力された図 25 (A) に示す矩形波のクロック信号を復元し生成する。

【0195】図 26 および図 27 は、矩形波のクロック信号を送信した場合と、上述のように処理したと仮定して正弦波のクロック信号を送信した場合において、クロック信号を送信する際に放射される電流量 (電磁波ノイズ) を比較するための図である。図 26 は、矩形波のク

ロック信号を送信した場合に放射される電波量（電磁波ノイズ）を説明するための図であり、図 27 は、正弦波のクロック信号を送信した場合に放射される電波量（電磁波ノイズ）を説明するための図である。

【0196】図 26（A）および図 27（A）において、上段には送信する矩形波のクロック信号および正弦波のクロック信号をそれぞれ示し、下段には上段に示したクロック信号に高速フーリエ変換（以下、「FFT」と称す。）を施すことにより得られるスペクトルを示す。また、図 26（B）および図 27（B）は、クロック信号に FFT を施すことにより得られるスペクトルにおいて、クロック信号の周波数の奇数倍の周波数域での放射される電波量（電磁波ノイズ）を表形式でそれぞれ示した図である。なお、図 26 および図 27 において、矩形波のクロック信号および正弦波のクロック信号は、振幅が 5 V（10 V peak to peak）、周波数が 50 kHz であり、図 26 に示す矩形波のクロック信号は、デューティ比が 50% である。

【0197】図 26 および図 27 にそれぞれ示した FFT を施すことにより得られたスペクトルからわかるように、正弦波のクロック信号を送信すると、矩形波のクロック信号を送信する場合に比べてクロック信号の高調波成分が削減される。特に、図 27 に示すように正弦波のクロック信号を送信した場合には、図 26 に示す矩形波のクロック信号を送信した場合に比べて、クロック信号の周波数の奇数倍の周波数域での電磁波ノイズのピーク値が大きく低減される。

【0198】また、ここで信号を送信する際に、電波（電磁波ノイズ）を放出するのはクロック信号に限らず、データ信号等の他の信号を送信する際にも電波（電磁波ノイズ）が放出される。例えば、図 25（B）に示す「H」パターンを表示装置に表示させるデータを送信する場合と、表示装置の表示領域を全て黒く表示するデータを送信する場合とでは、上記「H」パターンを表示装置に表示させるデータを送信する場合の方が放出される電波量（電磁波ノイズ）が増加するので、本実施形態では、データ信号も矩形波の信号から正弦波の信号に変換して送信する。

【0199】第 7 の実施形態による信号伝送システムは、例えば、図 28 に示すような液晶表示装置に適用することができる。図 28 において、241 は信号源であり、表示部 255 に画像を表示させるためのクロック信号および表示信号等を制御回路 242 に供給する。信号源 241 は、例えば、パーソナル・コンピュータ等により構成される。

【0200】制御回路 242 は、ゲート駆動部 244、データ駆動部 249 等を制御するためのものであり、タイミングコントローラ 243 を含み構成される。タイミングコントローラ 243 は、上記信号源 241 から供給されるクロック信号および表示信号等に基づいて、所定

の処理を行い、表示データ等の表示制御信号 SIG1、フレーム信号等の表示制御信号 SIG2、クロック信号 CLK1 およびゲートクロック信号 CLK2 を生成し出力する。

【0201】ゲート駆動部 244 は、複数のゲートドライバ 245 ~ 248 により構成される。ゲートドライバ 245 ~ 248 は、タイミングコントローラ 243 から供給される表示制御信号 SIG2 およびゲートクロック信号 CLK2 に基づいて、表示部 255 の各スキャンラインをそれぞれ駆動することにより、表示部 255 が有する複数のスキャンラインを順次駆動する。

【0202】データ駆動部 249 は、複数のデータドライバ 250 ~ 254 により構成される。データドライバ 250 ~ 254 は、タイミングコントローラ 243 から供給される表示制御信号 SIG1 およびクロック信号 CLK1 に基づいて、表示部 255 の各データラインに表示制御信号 SIG1 に応じた電圧を印加する。

【0203】表示部 255 は、複数のスキャンラインと複数のデータラインとがマトリクス状に配列され、上記スキャンラインとデータラインとの交差部に画像を表示するための画素が配設されている。上記スキャンラインおよびデータラインが、上述した複数のゲートドライバ 245 ~ 248 および複数のデータドライバ 250 ~ 254 によりそれぞれ駆動制御され、信号源 241 から供給された表示信号に係る画像が表示部 255 に表示される。

【0204】図 29 は、本実施形態による送信部および受信部の構成例を示すブロック図であり、（A）は送信部 261 を示し、（B）は受信部 264 を示している。図 29 に示す送信部 261 および受信部 264 は、例えば、図 28 に示す信号源 241 から制御回路 242 内のタイミングコントローラ 243 に矩形波の信号を正弦波の信号に変換して送信する場合には、信号源 241 に送信部 261 を設け、タイミングコントローラ 243 に受信部 264 を設けるようにする。また、例えば、図 28 に示すタイミングコントローラ 243 からゲートドライバ 245 ~ 248 およびデータドライバ 250 ~ 254 の少なくとも一方に矩形波の信号を正弦波の信号に変換して送信する場合には、タイミングコントローラ 243 に送信部 261 を設け、正弦波の信号を受信するゲートドライバ 245 ~ 248 およびデータドライバ 250 ~ 254 の少なくとも一方に受信部 264 を設けるようにする。

【0205】なお、以下の説明では、上述した図 25（A）に示す矩形波のクロック信号を正弦波のクロック信号に変換して送信する場合を一例として説明する。まず、送信部 261 について説明する。送信部 261 は、高速フーリエ変換（FFT）演算部 262 および周波数成分解析部 263 により構成される。FFT 演算部 262 は、入力された矩形波のクロック信号にフーリエ変換

を施し、得られた基本波 ($\sin[\omega t]$)、およびその高調波成分 ($\sin[(2N-1)\omega t]$: $N=2, 3, \dots$) をそれぞれ周波数成分解析部 263 に供給する。

【0206】周波数成分解析部 263 は、FFT 演算部 262 から供給された基本波 ($\sin[\omega t]$)、およびその高調波成分 ($\sin[(2N-1)\omega t]$) の周波数をそれぞれ解析することにより基本波のみを抽出し、上述した式 (2) に示す基本波からなる正弦波の信号 $f'(t)$ を出力する。これにより、送信部 261 に 10 入力された矩形波のクロック信号が、基本波からなる正弦波のクロック信号に変換され、送信部 261 から送信される。

【0207】次に、受信部 264 について説明する。受信部 264 は、受信した信号 (受信信号) から直流成分を除去する減算回路 265 と、詳細は後述する PLL 回路 266 と、PLL 回路 266 から出力された信号の周波数を $1/n$ (n は奇数) 倍して PLL 回路 266 に供給する、カウンタ等により構成された周波数分割回路 270 と、PLL 回路 266 から出力される信号と周波数 20 分割回路 270 から出力される倍率 $1/n$ とを乗算処理する乗算部 271 とを備えている。また、受信部 264 は、メモリ 273 と、乗算部 271 からの出力とメモリ 273 からの出力とを加算処理して、演算結果をメモリ 273 に供給する加算部 272 と、メモリ 273 から出力される信号に直流成分を加算する加算回路 274 と、加算回路 274 から出力される信号に逆フーリエ変換を施し出力する逆 FFT 演算部 275 とを備えている。

【0208】PLL 回路 266 は、同期整流回路 (位相比較回路) 267、低域通過フィルタ 268 および電圧 30 制御発振回路 269 により構成される。同期整流回路 (位相比較回路) 267 は、減算回路 265 により直流成分が除去された受信信号と、電圧制御発振回路 269 から出力され、周波数分割回路 270 により周波数が $1/n$ 倍された信号との位相を比較して位相差に応じた信号を出力する。低域通過フィルタ 268 は、同期整流回路 (位相比較回路) 267 から出力された信号の低周波数域の成分を通過させるフィルタであり、電圧制御発振回路 269 は、低域通過フィルタ 268 を通過した信号に応じた発振出力を出力する。

【0209】次に、受信部 264 の動作について説明する。受信部 264 は、送信部 261 から送信された基本波からなる正弦波のクロック信号を受信すると、まず、減算回路 265 にて受信した正弦波のクロック信号から直流成分 $A/2$ を除去する。これにより、式 (3) で示される信号 $g(t)$ が生成される。

【0210】

【数 3】

$$g(t) = \frac{2A}{\pi} \sin \omega \cdot t \quad \text{---- (3)}$$

* 【0211】減算回路 265 にて生成された信号 $g(t)$ は、PLL 回路 266 内の同期整流回路 (位相比較回路) 267 に入力される。また、同期整流回路 (位相比較回路) 267 には、PLL 回路 266 の出力信号の周波数を $1/n$ 倍した信号が周波数分割回路 270 から供給されている。これにより、PLL 回路 266 (同期整流回路 267、低域通過フィルタ 268 および電圧制御発振回路 269) は、安定した際に、減算回路 265 から供給される信号 $g(t)$ (周波数 $\omega/(2\pi)$) と、PLL 回路 266 の出力信号の周波数を $1/n$ 倍して周波数分割回路 270 から供給される信号との位相差が一定となる信号を出力する。すなわち、PLL 回路 266 は、減算回路 265 から供給される信号 $g(t)$ の周波数を n 倍した信号を周波数分割回路 270 および乗算部 271 にそれぞれ出力する。

【0212】次に、乗算部 271 は、PLL 回路 266 から出力される信号 $g(t)$ の周波数を n 倍した信号と、周波数分割回路 270 から出力される倍率 $1/n$ との乗算処理を行う。これにより、式 (4) で示される信号 $h_n(t)$ が生成される。

【0213】

【数 4】

$$h_n(t) = \frac{2A}{\pi} \cdot \frac{1}{n} \sin n\omega \cdot t \quad \text{---- (4)}$$

【0214】乗算部 271 により生成された信号 $h_n(t)$ は、加算部 272 に供給され、加算部 272 にてメモリ 273 からの出力と加算演算され、演算結果がメモリ 273 に格納される。上述した動作を $n=1, 3, 5, \dots$ と繰り返すことにより、メモリ 273 には、信号 $h_1(t) + h_3(t) + h_5(t) + \dots$ が格納されるとともに、メモリ 273 から加算回路 274 に供給される。

【0215】加算回路 274 では、メモリ 273 から供給される信号 $h_1(t) + h_3(t) + h_5(t) + \dots$ に、直流成分 ($A/2$) を加算し、逆 FFT 演算部 275 に供給する。これにより、上述した式 (1) に示される信号 $f(t)$ の右边が復元され、逆 FFT 演算部 275 に供給される。そして、逆 FFT 演算部 275 にて、加算回路 274 から供給される信号に逆フーリエ変換が 40 施され、送信部 261 に入力された矩形波のクロック信号と同一の矩形波のクロック信号が出力される。

【0216】図 30 および図 31 は、上記図 29 に示すような送信部 261 および受信部 264 により、矩形波の信号を正弦波の信号に変換して伝送した際に放射される電波量のシミュレーション結果を説明するための図である。図 30 は、シミュレーションモデルを示す図であり、(A) はシミュレーションモデル全体を示しており、281 および 284 はシールドボックスであり、一方が送信部 261 となって信号を送信し、他方が受信部 264 となって上記一方のシールドボックスから送信さ 50

れた信号を受信する。282はシールドボックスの開口部であり、シールドボックス281、284の外部に同軸ケーブル283を引き出すためのものである。

【0217】また、図30(B)は、シールドボックス281内を上部から見た図であり、信号を送信または受信する信号入出力部286が基板285上に設置され、送受信する信号を伝播させるために基板285上に形成されたパターン287により、同軸ケーブル283と電氣的に接続されている。なお、シールドボックス284については、上記シールドボックス281と同じ構成であるので、説明は省略する。

【0218】図31は、図30に示したシミュレーションモデルを用いて、周波数がそれぞれ50MHzである矩形波の信号および正弦波の信号を、同軸ケーブル283を介してそれぞれ伝送した場合に放射された電波量を示す図である。なお、図31は、10m法により測定した結果を示している。図31に示すグラフにおいて、横軸は周波数[MHz]、縦軸は放射電波量[dB(μV/m)]であり、周波数が50~1000MHzの範囲にて、50MHzの整数倍の周波数における放射電波量を示している。また、それに対応する値を表形式で示している。

【0219】図31からわかるように、同軸ケーブル283を介して、矩形波の信号を伝送した場合には、50~1000MHzの範囲で、50MHzの整数倍の周波数において強い強度の放射電波が観測されているのに対して、正弦波の信号を伝送した場合には、周波数が50MHzの放射電波のみが観測されている。これにより、矩形波の信号を正弦波の信号に変換して送受信することにより、信号に含まれる高調波成分を削減し、高周波数域での放射電波量を大きく削減できることがわかる。

【0220】以上、説明したように第7の実施形態によれば、送信部261は、FFT演算部262および周波数成分解析部263により、入力された矩形波の信号(クロック信号等)にフーリエ変換を施して基本波のみを抽出することにより入力された矩形波の信号を正弦波の信号に変換して送信する。また、送信部261から送信された正弦波の信号を受信する受信部264は、受信した正弦波の信号に基づいて、PLL回路266により受信した正弦波の高調波の信号を順次生成し、乗算部271および加算部272等により、生成した高調波の信号に所定の係数を乗算して総和を求め、求めた総和の信号に逆FFT演算部275にて逆フーリエ変換を施すことにより入力された矩形波の信号と同一の信号を復元する。

【0221】これにより、送信部261と受信部264との間では、基本波からなる正弦波の信号を送受信することとなり、矩形波の信号を送受信するときと比べて、送受信する信号に含まれる高調波成分を大きく減少させることができ、送受信の際に信号線から放射される電波

量(電磁波ノイズ)を大きく低減することができる。

【0222】なお、上述した第7の実施形態では、矩形波の信号を正弦波の信号に変換して送信する際、矩形波の信号の振幅と変換された正弦波の信号の振幅とは同じとしていたが、図32に示すように、送信部261'にて正弦波の信号の振幅を圧縮(小さく)し、受信部264'にて送信部261'により圧縮された正弦波の振幅を復元するようにしても良い。

【0223】図32は、送信部および受信部の他の構成例を示すブロック図である。なお、この図32において、図29に示したブロックと同一の機能を有するブロックには同一の符号を付し、重複する説明は省略する。また、図29に示したブロックと同一ではないが対応する機能を有するブロックには、同じ符号に'を付している。

【0224】図32において、送信部261'は、上記図29に示した送信部261が備える機能ブロックに加え、送信する正弦波の信号の振幅を圧縮するためのオペアンプ291、およびオペアンプ291による正弦波の信号の振幅の圧縮率を制御する圧縮率制御部292をさらに備えている。また、同様に、受信部264'は、上記図29に示した受信部264が備える機能ブロックに加え、受信した正弦波の信号の振幅を復元するためのオペアンプ293、およびオペアンプ293による正弦波の信号の振幅の復元率を制御する復元率制御部294をさらに備えている。

【0225】図33は、上記図32に示すオペアンプ291、293の周辺回路の構成の一例を示す図である。図33において、Vinは正弦波の信号の入力端子、Voutは正弦波の信号の出力端子である。オペアンプの一方の入力端子は可変抵抗R₁(抵抗値r₁)を介して入力端子Vinと接続され、他方の入力端子は抵抗R_sを介して接地されている。また、オペアンプの出力端子は出力端子Voutに接続されるとともに、抵抗R_f(抵抗値r_f)を介してオペアンプの上記一方の入力端子に接続されている。これにより、図33に示す回路による利得Gは $G = -(r_f / r_1)$ となる。

【0226】上述のように構成した送信部261'および受信部264'において、送信部261'では、可変抵抗R₁の抵抗値を圧縮率制御部292により制御し、抵抗比(r_f/r₁)を変化させることで、FFT演算部262および周波数成分解析部263にて所定の処理を施すことにより得られた正弦波の信号の振幅をG(=r_f/r₁)倍して送信する。

【0227】また、受信部264'では、可変抵抗R₁の抵抗値をr₁'とすると、送信部261'の可変抵抗R₁の抵抗値r₁に応じて、抵抗値r₁'を $r_1' = (r_1^2 / r_1)$ となるように復元率制御部294により制御する。したがって、抵抗比(r_f/r₁')は、(r_f/r₁)となり、受信部264'では、受信した正弦波の

信号の振幅を $(1/G)$ 倍する。これにより、送信部 261' にて送信する正弦波の信号の振幅を圧縮し、受信部 264' にて受信した正弦波の信号の振幅を復元することができる。伝送路では振幅を小さくした正弦波の信号を伝送することができる。これにより、送受信の際に信号線から放射される電波量（電磁波ノイズ）をさらに低減することができる。

【0228】（第 8 の実施形態）次に、本発明の第 8 の実施形態について説明する。第 8 の実施形態は、第 7 の実施形態と同様に、信号を送受信する際には正弦波の信号に変換して送受信するとともに、送受信する正弦波の信号において、同位相の信号と逆位相の信号とが略同数になるように、正弦波の信号の位相を制御するようにしたものである。第 8 の実施形態による信号伝送システムも、図 28 に示すような液晶表示装置に適用することができる。

【0229】図 34 は、第 8 の実施形態による送信側の構成例を示すブロック図である。図 34 において、361 は信号出力部であり、複数の矩形波のクロック信号 $SC L K N$ ($N = 0, 1, 2, 3, \dots$)、および複数の矩形波のデータ信号 $S D T N$ ($N = 0, 1, 2, 3, \dots$) を出力する。362 は第 1 の位相情報制御部であり、信号出力部 361 から供給されるクロック信号 $SC L K N$ ($N = 0, 1, 2, 3, \dots$) に基づいて、クロック位相反転情報 $C I N F$ および複数のクロック位相選択信号 $C S E L M$ ($M = 1, 2, 3, \dots$) を生成する。

【0230】364 - N ($N = 0, 1, 2, 3, \dots$) は送信部であり、送信部 364 - 0 には信号出力部 361 から出力されたクロック信号 $SC L K 0$ が供給され、送信部 364 - 1 にはクロック信号 $SC L K 1$ およびクロック位相選択信号 $C S E L 1$ が供給される。同様に、送信部 364 - 2 にはクロック信号 $SC L K 2$ およびクロック位相選択信号 $C S E L 2$ が供給され、送信部 364 - 3 にはクロック信号 $SC L K 3$ およびクロック位相選択信号 $C S E L 3$ が供給される。

【0231】送信部 364 - N ($N = 0, 1, 2, 3, \dots$) の構成について、送信部 364 - 1 を用いて説明する。送信部 364 - 1 において、365 は FFT 演算部、366 は周波数成分解析部であり、上記図 29 に示した FFT 演算部 262、周波数成分解析部 263 とそれぞれ同じものであるため、重複する説明は省略する。

【0232】また、367 はオペアンプであり、一方の入力端子を介して周波数成分解析部 366 から出力された基本波からなる正弦波の信号が供給されるとともに、他方の入力端子を介して基準電圧（図 34 においては $(A/2)V$ ）が供給される。そして、オペアンプ 367 は、供給される基準電圧に対して、上記正弦波の信号を反転させた（位相を π だけずらした）信号（以下、「位相反転信号」と称す。）を選択回路 368 に出力する。

【0233】選択回路 368 には、周波数成分解析部 366 から出力された基本波からなる正弦波の信号と、オペアンプ 367 から出力された位相反転信号とが入力され、第 1 の位相情報制御部 362 から供給されるクロック位相選択信号 $C S E L 1$ に応じて、正弦波の信号または位相反転信号の何れかをクロック信号 $T C L K 1$ として選択的に出力する。この選択回路 368 は、例えば、JK フリップフロップ回路等により構成される。

【0234】ここで、送信部 364 - N ($N = 0, 1, 2, 3, \dots$) は、送信部 364 - 0 を除き、入力されるクロック信号およびクロック位相選択信号、出力するクロック信号が異なるのみで全く同じ構成である。ただし、送信部 364 - 0 は、上述したオペアンプ 367 および選択回路 368 は備えず、FFT 演算部および周波数成分解析部 366 にて所定の処理を施して変換した正弦波のクロック信号をそのままクロック信号 $T C L K 0$ として出力する。

【0235】363 は第 2 の位相情報制御部であり、信号出力部 361 から供給されるデータ信号 $S D T N$ ($N = 0, 1, 2, 3, \dots$) に基づいて、データ位相反転情報 $D I N F$ および複数のデータ位相選択信号 $D S E L M$ ($M = 1, 2, 3, \dots$) を生成する。

【0236】369 - N ($N = 0, 1, 2, 3, \dots$) は送信部であり、送信部 369 - 0 には信号出力部 361 から出力されたデータ信号 $S D T 0$ が供給され、送信部 369 - 1 にはデータ信号 $S D T 1$ およびデータ位相選択信号 $D S E L 1$ が供給される。同様に、送信部 369 - 2 にはデータ信号 $S D T 2$ およびデータ位相選択信号 $D S E L 2$ が供給され、送信部 369 - 3 にはデータ信号 $S D T 3$ およびデータ位相選択信号 $D S E L 3$ が供給される。なお、送信部 369 - N ($N = 0, 1, 2, 3, \dots$) については、上述したクロック信号が入力される送信部 364 - N ($N = 0, 1, 2, 3, \dots$) にそれぞれ対応したものであり、同様の構成であるので説明は省略する。

【0237】図 35 は、図 34 に示した第 1 の位相情報制御回路 362 の構成を示すブロック図である。なお、図 35 に示す第 1 の位相情報制御回路 362 は、クロック信号 $SC L K 0$ を基準クロック信号として、当該 $SC L K 0$ を除くクロック信号 $SC L K N$ ($N = 1, 2, 3, \dots$) を反転するか否か決定するものである。

【0238】図 35 において、387 - M ($M = 1, 2, 3, \dots$) は位相比較器であり、クロック信号 $SC L K N$ ($N = 1, 2, 3, \dots$) がそれぞれ入力されるとともに、基準クロック信号としたクロック信号 $SC L K 0$ が入力される。各位相比較器 387 - M ($M = 1, 2, 3, \dots$) は、入力されたクロック信号 $SC L K N$ の位相とクロック信号 $SC L K 0$ の位相とを比較し、比較結果を位相比較情報（同位相の場合 “1”、逆位相の場合 “0”）として出力する。

【0239】388はカウンタ回路であり、各位比較器387-M(M=1、2、3、...)から供給される位相比較情報に基づいて、クロック信号SCLK0の位相と同位相のクロック信号および逆位相のクロック信号の数をカウントする。カウンタ回路388は、カウント結果を位相比較情報と同じ極性の信号(同位相が多い場合“1”、逆位相が多い場合“0”)として出力端子PからXNOR回路389-M(M=1、2、3、...)にそれぞれ出力する。

【0240】また、カウンタ回路388は、供給される位相比較情報に基づいて、送信する際に反転する信号数 $K = |((\text{同位相の信号数}) - (\text{逆位相の信号数})) / 2|$ (ただし、小数点以下切り捨て)を計算する。そして、カウンタ回路388は、出力端子OL(L=2、3、...)からAND回路390-M(M=1、2、3、...)に上記信号数Kに応じて“1”を順次出力する。なお、カウンタ回路388の出力端子O2はAND回路390-1に接続され、出力端子O3はAND回路390-2に接続されており、同様に出力端子O(n+1)はAND回路390-nに接続されている。

【0241】ここで、上記カウンタ回路388は、出力端子OL(L=2、3、...)からAND回路390-M(M=1、2、3、...)に“1”を出力する際、AND回路390-M(M=1、2、3、...)の出力であるクロック位相選択信号CSELM(M=1、2、3、...)に基づいて、実際に信号反転が行われるクロック信号数を判断して“1”を出力する。

【0242】XNOR回路389-M(M=1、2、3、...)は、位相比較器387-M(M=1、2、3、...)からの位相比較情報と、カウンタ回路388の出力端子Pから出力されるカウント結果とがそれぞれ入力され、その演算をAND回路390-M(M=1、2、3、...)に出力する。AND回路390-M(M=1、2、3、...)は、XNOR回路389-M(M=1、2、3、...)の演算結果、およびカウンタ回路388の出力端子OLからの出力がそれぞれ入力され、その演算結果をクロック位相選択信号CSELM(M=1、2、3、...)としてそれぞれ出力する。

【0243】また、381はFFT演算部、382は周波数成分解析部であり、入力されるクロック信号SCLK0に所定の処理を施して基本波からなる正弦波の信号を生成し同期整流回路(位相比較回路)383に出力する。同期整流回路(位相比較回路)383、低域通過フィルタ384、電圧制御発振回路385および周波数分割回路386は、上述した図29の受信部264に示す同期整流回路(位相比較回路)267、低域通過フィルタ268、電圧制御発振回路269および周波数分割回路270と同じ機能を有するものであり、電圧制御発振回路385から出力され周波数分割回路386にて周波数を1/m倍された正弦波の信号に基づいて、電圧制御

発振回路385から周波数をm倍した正弦波の信号をクロック位相反転情報CINFとして出力する。

【0244】なお、本実施形態では、上記周波数分割回路386にて周波数を1/m倍するときのmは、AND回路390-M(M=1、2、3、...)の出力であるクロック位相選択信号CSELM(M=1、2、3、...)が“1”となるものの添え字Mに1を加えた数である。また、上記クロック位相選択信号CSELM(M=1、2、3、...)が複数ある場合には、電圧制御発振回路385から出力される周波数をm倍した正弦波の信号を全て加算する加算部等を設けて、全ての正弦波の信号を重ね合わせたものをクロック位相反転情報CINFとして出力する。

【0245】なお、第2の位相情報制御部363は、上述した第1の位相情報制御部362と同じ構成であるので説明は省略する。

【0246】図36は、第8の実施形態による受信側の構成例を示すブロック図である。図36において、401は第1の周波数分析回路であり、受信した正弦波のクロック信号TCLK0、およびクロック位相反転情報CINFに基づいて、クロック位相選択信号RC SM(M=1、2、3、...)を生成する。

【0247】403-N(N=0、1、2、3、...)は受信部であり、受信部403-0には受信したクロック信号TCLK0が供給され、受信部403-1にはクロック信号TCLK1およびクロック位相選択信号RC S1が供給される。同様に、受信部403-2にはクロック信号TCLK2およびクロック位相選択信号RC S2が供給され、受信部403-3にはクロック信号TCLK3およびクロック位相選択信号RC S3が供給される。

【0248】受信部403-N(N=0、1、2、3、...)の構成について、受信部403-1を用いて説明する。受信部403-1において、減算回路404、同期整流回路406、低域通過フィルタ407、電圧制御発振回路408、周波数分割回路409、乗算部410、加算部411、メモリ412、加算回路413および逆FFT演算部414は、上述した図29に示す受信部264の機能ブロックと同じものであるので説明は省略する。

【0249】417はオペアンプであり、一方の入力端子を介して減算回路404から出力された基本波からなる正弦波の信号が供給されるとともに、他方の入力端子を介して基準電圧(図36においてはGND)が供給される。そして、オペアンプ417は、GNDに対して、上記正弦波の信号を反転させた位相反転信号を選択回路405に出力する。

【0250】選択回路405には、減算回路404から出力された基本波からなる正弦波の信号と、オペアンプ417から出力された信号とが入力され、第1の周波数

分析回路 401 から供給されるクロック位相選択信号 R C S 1 に応じて、正弦波の信号または位相反転信号の何れかを選択的に出力する。この選択回路 405 は、例えば、J K フリップフロップ回路等により構成される。

【0251】ここで、受信部 403 - N (N = 0、1、2、3、...) は、受信部 403 - 0 を除き、入力されるクロック信号およびクロック位相選択信号が異なるのみで全く同じ構成である。ただし、受信部 403 - 0 は、上述したオペアンプ 417 および選択回路 405 は備えず、上述した図 29 に示す受信部 264 と同様の構成である。402 は第 2 の周波数分析回路であり、受信した正弦波のデータ信号 T D T 0、およびデータ位相反転情報 D I N F に基づいて、データ位相選択信号 R D S M (M = 1、2、3、...) を生成する。

【0252】416 - N (N = 0、1、2、3、...) は受信部であり、受信部 416 - 0 には受信したデータ信号 T D T 0 が供給され、受信部 416 にはデータ信号 T D T 1 およびデータ位相選択信号 R D S 1 が供給される。同様に、受信部 416 - 2 にはデータ信号 T D T 2 およびデータ位相選択信号 R D S 2 が供給され、受信部 416 - 3 にはデータ信号 T D T 3 およびデータ位相選択信号 R D S 3 が供給される。なお、受信部 416 - N (N = 0、1、2、3、...) については、上述したクロック信号が入力される受信部 403 - N (N = 0、1、2、3、...) にそれぞれ対応したものであり、同様の構成であるので説明は省略する。

【0253】次に、動作について説明する。なお、本実施形態では、クロック信号 S C L K N (N = 0、1、2、3、...) およびデータ信号 S D T N (N = 0、1、2、3、...) について、同様の動作をそれぞれ行うので、以下の説明では、クロック信号 S C L K N (N = 0、1、2、3、...) についてのみ説明する。

【0254】まず、信号出力部 361 から出力されたクロック信号 S C L K N (N = 0、1、2、3、...) は、位相情報制御部 362 に供給されるとともに、送信部 364 - N (N = 0、1、2、3、...) にそれぞれ供給される。位相情報制御部 362 に供給されたクロック信号 S C L K N (N = 0、1、2、3、...) は、クロック信号 S C L K 0 が位相比較器 387 - M (M = 1、2、3、...) の全てに供給され、クロック信号 S C L K N (N = 1、2、3、...) が位相比較器 387 - M (M = 1、2、3、...) にそれぞれ供給される。各位相比較器 387 - M (M = 1、2、3、...) は、供給されたクロック信号 S C L K 0 の位相とクロック信号 S C L K N (N = 1、2、3、...) の位相とを比較し、その結果、同位相であれば“1”の、逆位相であれば“0”の位相比較情報をカウンタ回路 388 に供給する。また、各位相比較器 387 - M (M = 1、2、3、...) は、それぞれ接続された X N O R 回路 389 - M (M = 1、2、3、...) に上記位相比較情報を供給する。

【0255】各位相比較器 387 - M (M = 1、2、3、...) から位相比較情報が供給されたカウンタ回路 388 は、上記位相比較情報に基づいて、クロック信号 S C L K N (N = 1、2、3、...) において、クロック信号 S C L K 0 の位相と同位相の信号数および逆位相の信号数をそれぞれカウントする。カウンタ回路 388 は、上記カウント結果、同位相の信号数が逆位相の信号数以上の場合には“1”の、同位相の信号数が逆位相の信号数よりも少ない場合には“0”の信号を出力端子 P から X N O R 回路 389 - M (M = 1、2、3、...) にそれぞれ供給する。

【0256】これにより、反転すべきクロック信号、すなわち、クロック信号 S C L K N (N = 1、2、3、...) において、同位相の信号が過半数以上あるクロック信号に対応する X N O R 回路 389 - M (M = 1、2、3、...) からは“1”が出力される。なお、上述した説明においては、位相比較情報はクロック信号 S C L K 0 と同位相であれば“1”、逆位相であれば“0”としたが、位相比較情報と、カウンタ回路 388 の出力端子 P から出力される過半数を示す信号が同位相および逆位相の際に出力される信号との極性が同じであれば良い。

【0257】さらに、カウンタ回路 388 は、供給される位相比較情報に基づいて、送信する際に反転する信号数 K を計算し、出力端子 O L (L = 2、3、...) から A N D 回路 390 - N (N = 1、2、3、...) に上記信号数 K に応じて“1”を順次出力する。例えば、K = 2 の場合には、まず、出力端子 O 2 から A N D 回路 390 - 1 に“1”を出力する。そして、A N D 回路 390 - 1 にて、X N O R 回路 389 - 1 からの出力との A N D 演算が行われ、クロック信号 S C L K 1 が反転すべき信号（同位相のクロック信号が過半数以上ある信号）の場合には、クロック位相選択信号 C S E L 1 が“1”となり送信部 364 - 1 に出力される。一方、クロック信号 S C L K 1 が反転すべき信号でない場合には、クロック位相選択信号 C S E L 1 が“0”となり送信部 364 - 1 に出力される。

【0258】なお、上記クロック位相選択信号 C S E L 1 は、カウンタ回路 388 にも供給され、クロック位相選択信号 C S E L 1 が“1”の場合には、カウンタ回路 388 は上記信号数 K から 1 を減算する。一方、クロック位相選択信号 C S E L 1 が“0”の場合には、カウンタ回路 388 は上記信号数 K を維持する。上述した処理を信号数 K が“0”となるまで、出力端子 O 3、O 4、... から“1”を順次出力することにより反転する信号を決定していく。

【0259】また、送信する信号を反転したか否かを示す情報を生成するため、クロック位相選択信号 C S E L M (M = 1、2、3、...) が周波数分割回路 386 に供給される。周波数分割回路 386 は、クロック位相選択信号 C S E L M (M = 1、2、3、...) が“1”である

ものの添え字 N に 1 を加えた数 m を算出し、電圧制御発振回路 385 から出力される正弦波の信号の周波数を $1/m$ 倍して同期整流回路 383 に供給する。なお、同期整流回路 383 には、FFT 演算部 381 および周波数成分解析部 382 によりクロック信号 $SCCLK0$ に所定の処理を施して生成した基本波からなる正弦波のクロック信号が供給されているので、電圧制御発振回路 385 からはクロック信号 $SCCLK0$ の基本波の周波数を m 倍した正弦波の信号がクロック位相反転情報 $CINF$ として出力され、外部に送信される。

【0260】また、各送信部 364 - N ($N = 0, 1, 2, 3, \dots$) にそれぞれ供給されたクロック信号 $SCCLKN$ ($N = 0, 1, 2, 3, \dots$) は、FFT 演算部 365 および周波数成分解析部 366 により所定の処理が施され、基本波からなる正弦波のクロック信号に変換される。そして、クロック信号 $SCCLK0$ を変換した基本波からなる正弦波のクロック信号は、クロック信号 $TCLK$ としてそのまま送信される。

【0261】また、クロック信号 $SCCLKN$ ($N = 1, 2, 3, \dots$) を変換した基本波からなる正弦波のクロック信号は、選択回路 368 に入力されるとともに、オペアンプ 367 にて反転された後、選択回路 368 に入力される。そして、選択回路 368 は、第 1 の位相情報制御部 362 から出力されるクロック位相選択信号 $CSELM$ ($M = 1, 2, 3, \dots$) が “1” の場合には、オペアンプ 367 を介して入力された正弦波のクロック信号をクロック信号 $TCLKN$ ($N = 1, 2, 3, \dots$) として出力し、クロック位相選択信号 $CSELM$ ($M = 1, 2, 3, \dots$) が “0” の場合には、周波数成分解析部 366 から入力された正弦波のクロック信号をクロック信号 $TCLKN$ ($N = 1, 2, 3, \dots$) として出力する。これにより、クロック信号 $TCLK0$ と同位相のクロック信号と逆位相のクロック信号とを略同数にして送信する。

【0262】また、上記クロック信号 $TCLKN$ ($N = 0, 1, 2, 3, \dots$) およびクロック位相反転情報 $CINF$ を受信した側では、まず、受信したクロック信号 $TCLK0$ とクロック位相反転情報 $CINF$ とを用いて、周波数分析回路 401 により上記クロック位相反転情報 $CINF$ に含まれるクロック信号 $TCLK0$ の高調波となる周波数成分を検出する。また、周波数分析回路 401 は、検出された周波数成分がクロック信号 $TCLK0$ の周波数の何倍の信号であるか算出し、その算出した値から 1 を減算した添え字 M のクロック位相選択信号 $RCSM$ ($M = 1, 2, 3, \dots$) を “1” にして、受信部 403 - N ($N = 0, 1, 2, 3, \dots$) にそれぞれ出力する。

【0263】また、受信したクロック信号 $TCLKN$ ($N = 0, 1, 2, 3, \dots$) は、各受信部 403 - N ($N = 0, 1, 2, 3, \dots$) にそれぞれ供給され、受信

部 403 - N ($N = 0, 1, 2, 3, \dots$) にて逆フーリエ変換を含む復元処理が行われ、クロック信号 $RCLKN$ ($N = 0, 1, 2, 3, \dots$) として信号入力部 415 に供給される。このとき、受信部 403 - N ($N = 1, 2, 3, \dots$) では、それぞれ供給されたクロック信号 $TCLKN$ ($N = 1, 2, 3, \dots$) をオペアンプ 417 により反転し、周波数分析回路 401 から供給されるクロック位相選択信号 $RCSN$ ($N = 1, 2, 3, \dots$) に応じて、受信したクロック信号 $TCLKN$ ($N = 1, 2, 3, \dots$) またはそれを反転したクロック信号の何れかを選択して逆フーリエ変換を含む復元処理を行う。

【0264】これにより、受信側では、受信した正弦波のクロック信号 $TCLKN$ ($N = 0, 1, 2, 3, \dots$) に基づいて、信号出力部 361 から出力された矩形波のクロック信号 $SCCLKN$ ($N = 0, 1, 2, 3, \dots$) と同等の矩形波のクロック信号 $RCLKN$ ($N = 0, 1, 2, 3, \dots$) を復元して信号入力部 415 に供給する。

【0265】以上、説明したように第 8 の実施形態によれば、複数の矩形波のクロック信号および複数の矩形波のデータ信号の少なくとも一方を正弦波の信号に変換して送受信する際、送信側では、位相情報制御部 362、363 により基準信号に対して同位相の信号数と逆位相の信号数とをそれぞれ検出し、上記検出結果に応じて、基準信号に対して同位相の信号数と逆位相の信号数とが略同数になるように送信する正弦波の信号を反転して送信するとともに、反転した正弦波の信号を識別するための情報を受信側に送信する。受信側では、送信側から送信された反転した正弦波の信号を識別するための情報を周波数分析回路 401、402 により解析し、解析結果に応じて反転して送信された正弦波の信号を再び反転し復元する。

【0266】これにより、図 34 に示す送信側と図 36 に示す受信側との間では、同位相の信号と逆位相の信号とが略同数の基本波からなる正弦波の信号が送受信されるので、信号線から放射される電波が互いに位相が異なる正弦波の信号により相殺されることにより、送受信の際に信号線から放射される電波量（電磁波ノイズ）を低減することができる。

【0267】なお、上述した第 7 および第 8 の実施形態において、基本波からなる正弦波の信号から直流成分を除去する減算回路は受信側に設けていたが、送信側に設けても良いことは言うまでもない。また、上述した第 7 および第 8 の実施形態においては、本発明の信号伝送システムを液晶表示装置に適用した場合について示したが、液晶表示装置に限られるものではなく、内部処理は矩形波の信号を用いて行う任意の信号伝送システムに適用することができる。

【0268】なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に

解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。本発明の諸態様を付記として以下に示す。

【0269】(付記1)マトリクス状に配置された表示画素により構成される表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号を送信する送信回路と、上記送信回路から送信された表示データおよびデータ反転信号を受信し、上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転する受信回路とを備えることを特徴とする表示装置。

【0270】(付記2)上記送信回路は、送信する上記表示データのデータ値が1つ前に送信した表示データのデータ値に対して反転する信号線数が、上記複数の信号線数の1/2より多い場合には、1つ前に送信したデータ反転信号に対して上記データ反転信号を反転して送信するとともに、上記送信するデータ反転信号に応じて、上記送信する表示データのデータ値を信号線毎に反転して送信することを特徴とする付記1に記載の表示装置。

【0271】(付記3)上記送信回路は、上記送信する表示データのデータ値が、少なくとも3クロックの期間、連続して切り替わる信号線数が、上記複数の信号線数の1/4より多い場合には、モード切替信号を送信するとともに、供給される表示データに応じて、1つ前に供給された表示データのデータ値を信号線毎に反転して送信することを特徴とする付記2に記載の表示装置。

(付記4)上記受信回路は、上記送信回路から送信されたモード切替信号に応じて、受信した表示データまたは1つ前に受信回路から表示部に出力した表示データを用いて、上記表示部に対して出力する表示データを生成することを特徴とする付記3に記載の表示装置。

【0272】(付記5)表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号を送信する送信回路を備えることを特徴とする表示装置の駆動回路。

【0273】(付記6)上記送信回路は、送信する上記表示データのデータ値が1つ前に送信した表示データのデータ値に対して反転する信号線数を検出し、検出結果に応じて、1つ前に送信したデータ反転信号に対して上記データ反転信号を反転して送信する反転信号数検出回路と、上記反転信号数検出回路から送信するデータ反転信号に応じて、上記送信する表示データのデータ値を信号線毎に反転して送信する出力信号処理回路とを備えることを特徴とする付記5に記載の表示装置の駆動回路。

(付記7)上記反転信号数検出回路は、上記検出した信

号線数が上記複数の信号線数の1/2より多いときに、上記データ反転信号を反転することを特徴とする付記6に記載の表示装置の駆動回路。

【0274】(付記8)上記送信回路は、上記送信する表示データのデータ値が、少なくとも3クロックの期間、連続して切り替わる信号線数を検出する検出回路と、上記検出回路により検出された信号線数が、所定の信号線数より多いか否か判定し、上記判定の結果、上記検出された信号線数が上記所定の信号線数より多い場合に、モード切替信号を送信する判定回路とを備えることを特徴とする付記5に記載の表示装置の駆動回路。

(付記9)上記判定回路は、上記検出回路により検出された信号線数が、上記複数の信号線数の1/4以上であるか否かを判定することを特徴とする付記8に記載の表示装置の駆動回路。

【0275】(付記10)上記検出回路は、さらに上記送信する表示データのデータ値が切り替わった後、少なくとも2クロックの期間、データ値が同じ値である信号線数を検出し、上記判定回路は、上記検出回路により検出された表示データのデータ値が、少なくとも3クロックの期間、連続して切り替わる信号線数が、所定の信号線数より多いか否か判定するとともに、表示データのデータ値が切り替わったのち、少なくとも2クロックの期間、データ値が同じ値である信号線数よりも多いか否か判定し、上記判定結果に応じて上記モード切替信号を送信することを特徴とする付記8に記載の表示装置の駆動回路。

【0276】(付記11)上記送信回路は、上記モード切替信号を送信する際に、送信する上記表示データのデータ値が1つ前に送信した表示データのデータ値に対して反転する信号線数が、上記複数の信号線数の1/2より多い場合には、さらにモード切替データ反転信号を送信することを特徴とする付記8に記載の表示装置の駆動回路。

【0277】(付記12)複数の信号線を介して送信された表示部に画像を表示するための表示データと、上記表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号とを受信し、上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転する受信回路を備えることを特徴とする表示装置の駆動回路。

【0278】(付記13)上記受信回路は、上記受信した表示データに基づいて、上記表示部を制御するための制御信号を生成する制御回路を備え、上記制御回路は、上記データ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転して上記表示部に対して出力する入力信号処理回路を備えることを特徴とする付記12に記載の表示装置の駆動回路。

(付記14)上記受信回路は、上記受信した表示データに基づいて、上記表示部を駆動する表示部駆動回路であ

ることを特徴とする付記 12 に記載の表示装置の駆動回路。

【0279】(付記 15) 上記受信回路は、モード切替信号を受信し、上記受信したモード切替信号に応じて、上記受信した表示データ、または 1 つ前に受信回路から表示部に対して出力した表示データに基づいて、上記表示部に対して出力する表示データを生成することを特徴とする付記 12 に記載の表示装置の駆動回路。

【0280】(付記 16) 入力されるクロック信号にスペクトラム拡散処理を施す機能を有し、上記スペクトラム 10 拡散処理を施したクロック信号に同期した表示データを表示部に対して供給可能な表示装置であって、入力されるスペクトラム拡散処理制御信号に応じて、上記スペクトラム拡散処理を施す機能を有効にするか否か選択するようにしたことを特徴とする表示装置。

(付記 17) 上記スペクトラム拡散処理制御信号に応じて、上記入力されるクロック信号および上記入力されるクロック信号に同期した表示データの組、または上記スペクトラム拡散処理を施したクロック信号および上記スペクトラム拡散処理を施したクロック信号に同期した表 20 示データの組を選択し、選択したクロック信号に基づいて、選択した表示データを上記表示部に対して供給することを特徴とする付記 16 に記載の表示装置。

【0281】(付記 18) 上記入力されるクロック信号に同期した表示データと、スペクトラム拡散処理を施したクロック信号に同期した表示データとがそれぞれ入力される第 1 のセクタと、上記入力されるクロック信号と、上記スペクトラム拡散処理を施したクロック信号とがそれぞれ入力される第 2 のセクタとを備え、上記第 1 および第 2 のセクタは、上記スペクトラム拡散処理 30 制御信号に応じて、上記入力されるクロック信号および入力されるクロック信号に同期した表示データの組、または上記スペクトラム拡散処理を施したクロック信号およびスペクトラム拡散処理を施したクロック信号に同期した表示データの組を選択し、選択したクロック信号に基づいて、選択した表示データを上記表示部に対して供給することを特徴とする付記 16 に記載の表示装置。

【0282】(付記 19) 入力されるクロック信号にスペクトラム拡散処理を施す機能を有し、上記スペクトラム 40 拡散処理を施したクロック信号に同期した表示データを表示部に対して供給可能な表示装置であって、上記入力されるクロック信号にスペクトラム拡散処理が施されているか否か検出し、上記検出結果に応じて、上記スペクトラム拡散処理を施す機能を有効にするか否か選択するようにしたことを特徴とする表示装置。

(付記 20) 上記入力されるクロック信号にスペクトラム拡散処理が施されているか否か検出した検出結果に応じて、上記入力されるクロック信号および上記入力されるクロック信号に同期した表示データの組、または上記 50 スペクトラム拡散処理を施したクロック信号および上記

スペクトラム拡散処理を施したクロック信号に同期した表示データの組を選択し、選択したクロック信号に基づいて、選択した表示データを上記表示部に対して供給することを特徴とする付記 19 に記載の表示装置。

【0283】(付記 21) 上記入力されるクロック信号に基づいて生成されたクロック信号の周波数と、上記入力されるクロック信号の周波数とを比較する比較回路と、上記比較回路による比較結果に基づいて、上記入力されるクロック信号にスペクトラム拡散処理が施されているか否か検出するスペクトラム拡散処理検出回路とを 10 備えることを特徴とする付記 19 に記載の表示装置。

(付記 22) 上記入力されるクロック信号に基づいて生成されたクロック信号と上記入力されるクロック信号との位相差に応じた信号を出力する位相比較回路と、上記位相比較回路から出力される位相差に応じた信号に基づいて、上記入力されるクロック信号にスペクトラム拡散処理が施されているか否か検出するスペクトラム拡散処理検出回路とを備えることを特徴とする付記 19 に記載の表示装置。

【0284】(付記 23) 矩形波のクロック信号に所定の処理を施し、正弦波の信号に変換して送信する送信回路と、上記送信回路から送信された上記正弦波の信号を受信して、上記受信した正弦波の信号に上記所定の処理とは逆の処理を施して、上記矩形波のクロック信号を復元する受信回路とを備えることを特徴とする信号伝送シ 20 ステム。

【0285】(付記 24) 矩形波のクロック信号に所定の処理を施し、正弦波の信号に変換して送信することを特徴とする信号伝送装置。

(付記 25) 上記矩形波のクロック信号にフーリエ変換を施すフーリエ変換回路と、上記フーリエ変換回路より出力される信号から基本周波数成分を抽出して基本周波数成分からなる正弦波の信号を送信する周波数成分抽出回路とを備えることを特徴とする付記 24 に記載の信号 30 伝送装置。

【0286】(付記 26) 上記周波数成分抽出回路から出力される正弦波の信号の電圧振幅を圧縮する圧縮回路をさらに備えることを特徴とする付記 25 に記載の信号伝送装置。

【0287】(付記 27) 複数の上記矩形波のクロック信号をそれぞれ変換した複数の正弦波の信号の 1 つを基準信号として、上記基準信号の位相と上記複数の正弦波の信号の位相と比較する位相比較回路と、上記位相比較回路による比較結果に基づいて、上記基準信号と同位相の正弦波の信号の数と、上記基準信号と逆位相の正弦波の信号の数とが、略同数となるように上記複数の正弦波の信号の位相を反転させるための位相制御回路とを備えることを特徴とする付記 24 に記載の信号伝送装置。

【0288】(付記 28) 送信された正弦波の信号を受信して、上記受信した正弦波の信号に所定の処理を施し

て、矩形波の信号を復元することを特徴とする信号伝送装置。

(付記 29) 上記受信した正弦波の信号は、基本周波数成分からなる正弦波の信号であり、上記基本周波数成分からなる正弦波の信号に基づいて、上記基本周波数の整数倍の周波数の正弦波の信号を複数生成する正弦波生成回路と、上記正弦波生成回路により生成された複数の正弦波の信号を互いに加算する加算回路と、上記加算回路により加算された信号に逆フーリエ変換を施す逆フーリエ変換回路とを備えることを特徴とする付記 28 に記載の信号伝送装置。

【0289】(付記 30) 上記正弦波生成回路は、上記受信した基本周波数成分からなる正弦波の信号に基づいて、上記基本周波数の奇数倍の周波数の正弦波の信号を複数生成することを特徴とする付記 29 に記載の信号伝送装置。

(付記 31) 上記受信した基本周波数成分からなる正弦波の信号の電圧振幅を増幅する復元回路をさらに備えることを特徴とする付記 29 に記載の信号伝送装置。

【0290】(付記 32) 矩形波のクロック信号およびデータ信号に所定の処理を施し、正弦波の信号に変換してそれぞれ送信する送信回路と、上記送信回路からそれぞれ送信された上記正弦波の信号を受信して、上記受信した正弦波の信号に上記所定の処理とは逆の処理を施して、上記矩形波のクロック信号およびデータ信号をそれぞれ復元する受信回路とを備えることを特徴とする信号伝送システム。

【0291】(付記 33) マトリクス状に配置された表示画素により構成される表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号を送信し、上記送信された表示データおよびデータ反転信号を受信し、上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転することを特徴とする表示装置の信号伝送方法。

【0292】(付記 34) マトリクス状に配置された表示画素により構成される表示部に画像を表示するための複数の信号線を介して送信する表示データのデータ値が 1 つ前に送信した表示データのデータ値に対して反転する信号線数を検出し、上記検出した反転する信号線数が、上記複数の信号線数の $1/2$ より多い場合には、1 つ前に送信したデータ反転信号に対して上記データ反転信号を反転し、上記反転したデータ反転信号に応じて、上記送信する表示データのデータ値を信号線毎に反転して送信するとともに、上記反転したデータ反転信号を送信し、上記送信された表示データおよび反転したデータ反転信号を受信し、上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転することを特徴とする表示装置の信号伝送方法。

【0293】(付記 35) マトリクス状に配置された表示画素により構成される表示部に画像を表示するための複数の信号線を介して送信する表示データのデータ値が、少なくとも 3 クロックの期間、連続して切り替わる信号線数を検出し、上記検出した連続して切り替わる信号線数が、上記複数の信号線数の $1/4$ より多い場合には、モード切替信号を送信するとともに、供給される表示データに応じて、1 つ前に供給された表示データのデータ値を信号線毎に反転して送信することを特徴とする表示装置の信号伝送方法。

【0294】(付記 36) 表示部に画像を表示するための表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信される表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号を送信することを特徴とする表示装置の信号伝送方法。

(付記 37) 送信する上記表示データのデータ値が 1 つ前に送信した表示データのデータ値に対して反転する信号線数を検出し、上記検出結果に応じて、1 つ前に送信したデータ反転信号に対して上記データ反転信号を反転し、上記反転したデータ反転信号に応じて、上記送信する表示データのデータ値を信号線毎に反転して送信するとともに、上記反転したデータ反転信号を送信することを特徴とする付記 36 に記載の表示装置の信号伝送方法。

【0295】(付記 38) 上記送信する表示データのデータ値が、少なくとも 3 クロックの期間、連続して切り替わる信号線数を検出し、上記検出された信号線数が、所定の信号線数より多いか否かを判定し、上記判定の結果、上記検出された信号線数が上記所定の信号線数より多い場合に、モード切替信号を送信することを特徴とする付記 36 に記載の表示装置の信号伝送方法。

(付記 39) 複数の信号線を介して送信された表示部に画像を表示するための表示データと、上記表示データのデータ値を上記信号線毎に反転したか否かを示すデータ反転信号とを受信し、上記受信したデータ反転信号に応じて、上記受信した表示データのデータ値を信号線毎に反転することを特徴とする表示装置の信号伝送方法。

【0296】(付記 40) 入力されるクロック信号にスペクトラム拡散処理を施す機能を有し、上記スペクトラム拡散処理を施したクロック信号に同期した表示データを表示部に対して供給可能な表示装置の信号伝送方法であって、入力されるスペクトラム拡散処理制御信号に応じて、上記スペクトラム拡散処理を施す機能を有効にするか否か選択するようにしたことを特徴とする表示装置の信号伝送方法。

(付記 41) 上記スペクトラム拡散処理制御信号に応じて、上記入力されるクロック信号および上記入力されるクロック信号に同期した表示データの組、または上記スペクトラム拡散処理を施したクロック信号および上記ス

ペクトラム拡散処理を施したクロック信号に同期した表示データの組を選択し、上記選択したクロック信号に基づいて、上記選択した表示データを上記表示部に対して供給することを特徴とする付記 40 に記載の表示装置の信号伝送方法。

【0297】(付記 42) 入力されるクロック信号にスペクトラム拡散処理を施す機能を有し、上記スペクトラム拡散処理を施したクロック信号に同期した表示データを表示部に対して供給可能な表示装置の信号伝送方法であって、上記入力されるクロック信号にスペクトラム拡散処理が施されているか否か検出し、上記検出結果に応じて、上記スペクトラム拡散処理を施す機能を有効にするか否か選択するようにしたことを特徴とする表示装置の信号伝送方法。

(付記 43) 上記入力されるクロック信号に基づいて生成されたクロック信号と上記入力されるクロック信号との位相差に応じた信号を出力し、上記出力される位相差に応じた信号に基づいて、上記入力されるクロック信号にスペクトラム拡散処理が施されているか否か検出することを特徴とする付記 42 に記載の表示装置の信号伝送方法。

【0298】(付記 44) 矩形波のクロック信号に所定の処理を施し、正弦波の信号に変換して送信し、上記送信された上記正弦波の信号を受信し、上記受信した正弦波の信号に上記所定の処理とは逆の処理を施して、上記矩形波のクロック信号を復元することを特徴とする信号伝送方法。

【0299】(付記 45) 矩形波のクロック信号に所定の処理を施し、正弦波の信号に変換して送信することを特徴とする信号伝送方法。

(付記 46) 上記矩形波のクロック信号にフーリエ変換を施し、上記フーリエ変換により得られた信号から基本周波数成分を抽出し、上記抽出した基本周波数成分からなる正弦波の信号を送信することを特徴とする付記 45 に記載の信号伝送方法。

【0300】(付記 47) 正弦波の信号を受信して、上記受信した正弦波の信号に所定の処理を施して、矩形波の信号を復元することを特徴とする信号伝送方法。

(付記 48) 上記受信した正弦波の信号は、基本周波数成分からなる正弦波の信号であり、上記基本周波数成分からなる正弦波の信号に基づいて、上記基本周波数の整数倍の周波数の正弦波の信号を複数生成し、上記生成された複数の正弦波の信号を互いに加算し、上記加算された信号に逆フーリエ変換を施すことを特徴とする付記 47 に記載の信号伝送方法。

【0301】(付記 49) 矩形波のクロック信号およびデータ信号に所定の処理を施して正弦波の信号に変換してそれぞれ送信し、上記送信された上記正弦波の信号を受信し、上記受信した正弦波の信号に上記所定の処理とは逆の処理を施して、上記矩形波のクロック信号および

*データ信号をそれぞれ復元することを特徴とする信号伝送方法。

【0302】

【発明の効果】以上説明したように、本発明によれば、表示部に供給する表示データを複数の信号線を介して送信するとともに、上記複数の信号線を介して送信する表示データを反転したか否かを示すデータ反転信号を送信する送信回路と、受信したデータ反転信号に応じて、受信した表示データを反転する受信回路とを備え、表示データおよびデータ反転信号を送受信する際、複数の信号線においてデータが変化する信号線数が増加する場合には、データ反転信号により表示データを反転してデータが反転する信号線数を複数の信号線数の半分にする。これにより、単位時間当たりに信号線のデータが反転する頻度を減少させることができ、信号を転送する信号線から放射される電波量を低減することができる。

【0303】また、入力されるスペクトラム拡散処理制御信号に応じて、入力されるクロック信号にスペクトラム拡散処理を施す機能を有効にするか否か選択するようにした場合には、入力されるクロック信号にスペクトラム拡散処理が施されていないときには、表示装置が備えるスペクトラム拡散処理を施す機能を有効にし、入力されるクロック信号にスペクトラム拡散処理がすでに施されているときには、表示装置が備えるスペクトラム拡散処理を施す機能を無効にすることで、入力されるクロック信号に 2 度以上スペクトラム拡散処理が施されることを防止して、入力されるクロック信号を確実にスペクトラム拡散させて、信号を転送する信号線から放射される電波のノイズピークを分散させ、信号を転送する信号線から放射される電波量を低減することができる。

【0304】また、矩形波のクロック信号に所定の処理を施して正弦波の信号に変換して送信して、送信された正弦波の信号を受信して、受信した正弦波の信号に所定の処理とは逆の処理を施して、矩形波のクロック信号を復元するようにした場合には、送受信する伝送路上では、基本波からなる正弦波の信号で送受信することとなり、伝送路上を送受信する信号に含まれる高調波成分を減少させることができ、信号を送受信する信号線から放射される電波量を大きく低減することができる。

【図面の簡単な説明】

【図 1】第 1 の実施形態による表示装置を適用した液晶表示装置の一構成例を示すブロック図である。

【図 2】第 1 の実施形態におけるビデオ信号変換回路の構成例を示すブロック図である。

【図 3】第 1 の実施形態における LCD モジュールの構成例を示すブロック図である。

【図 4】第 1 の実施形態におけるデータ反転駆動の原理を説明するための回路図である。

【図 5】図 4 に示す回路の真理値表を示す図である。

【図 6】第 1 の実施形態におけるデータ反転駆動の原理

を説明するためのタイミングチャートである。

【図 7】第 1 の実施形態におけるデータ反転駆動の一例を示す図である。

【図 8】第 2 の実施形態における LCD モジュールの構成例を示すブロック図である。

【図 9】第 3 の実施形態による表示装置を適用した液晶表示装置の LCD モジュールの構成例を示すブロック図である。

【図 10】送信側の反転選択回路の真理値表を示す図である。

【図 11】受信側の反転選択回路の真理値表を示す図である。

【図 12】第 3 の実施形態におけるデータ反転検出回路（検出部）の構成例を示す図である。

【図 13】第 3 の実施形態におけるデータ反転検出回路（判定部）の構成例を示す図である。

【図 14】第 3 の実施形態におけるカウンタ回路の構成例を示す図である。

【図 15】第 3 の実施形態におけるモード切替判定回路の構成例を示す図である。

【図 16】第 3 の実施形態における送信側の反転選択回路の構成例を示す図である。

【図 17】第 3 の実施形態における受信側の反転選択回路の構成例を示す図である。

【図 18】第 3 の実施形態における液晶表示装置の動作の一例を示す図である。

【図 19】第 3 の実施形態における具体的な動作の一例を示す図である。

【図 20】第 4 の実施形態における液晶表示装置の動作の一例を示す図である。

【図 21】第 4 の実施形態における送信側の反転選択回路の構成例を示す図である。

【図 22】第 4 の実施形態における受信側の反転選択回路の構成例を示す図である。

【図 23】第 5 の実施形態による表示装置の構成例を示す図である。

【図 24】第 6 の実施形態による表示装置の構成例を示す図である。

【図 25】入力信号の一例を示す図である。

【図 26】矩形波のクロック信号を送信したときの放出電波量を示す図である。

【図 27】正弦波のクロック信号を送信したときの放出電波量を示す図である。

【図 28】第 7 の実施形態による信号伝送システムを適用する液晶表示装置の構成例を示すブロック図である。

【図 29】第 7 の実施形態における送信部および受信部の構成例を示すブロック図である。

【図 30】第 7 の実施形態におけるシミュレーションモデルを示す図である。

【図 31】図 30 に示すシミュレーションモデルにて矩形波の信号および正弦波の信号をそれぞれ送信したときの放出電波量を示す図である。

【図 32】第 7 の実施形態における送信部および受信部の他の構成例を示すブロック図である。

【図 33】図 32 に示すオペアンプの周辺回路の構成の一例を示す図である。

【図 34】第 8 の実施形態による送信側の構成例を示すブロック図である。

【図 35】図 34 に示した位相情報制御回路の構成を示すブロック図である。

【図 36】第 8 の実施形態による受信側の構成例を示すブロック図である。

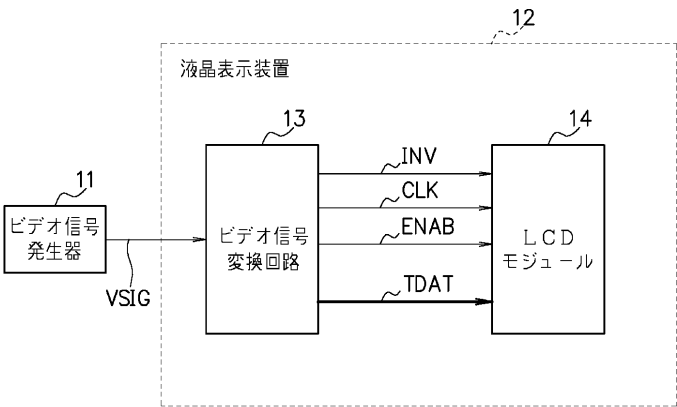
【図 37】従来の液晶表示装置の構成例を示すブロック図である。

【図 38】従来の液晶表示装置の他の構成例を示すブロック図である。

【符号の説明】

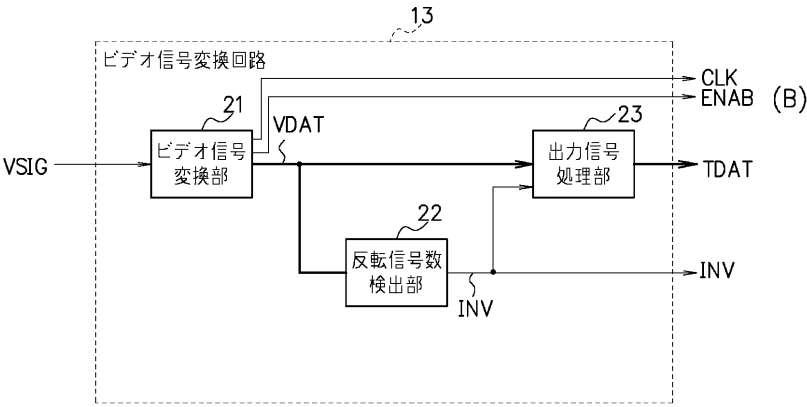
- 1 1 ビデオ信号発生器
- 1 2 液晶表示装置
- 1 3 ビデオ信号変換回路
- 1 4 LCD モジュール
- 2 1 ビデオ信号変換部
- 2 2 反転信号数検出部
- 2 3 出力信号処理部
- 3 1 制御信号作成部
- 3 2 入力信号処理部
- 3 3 ゲート駆動部
- 3 4 データ駆動部
- 3 5 液晶パネル
- 3 6 電源作成部
- 3 7 基準電圧作成部

【図 1】



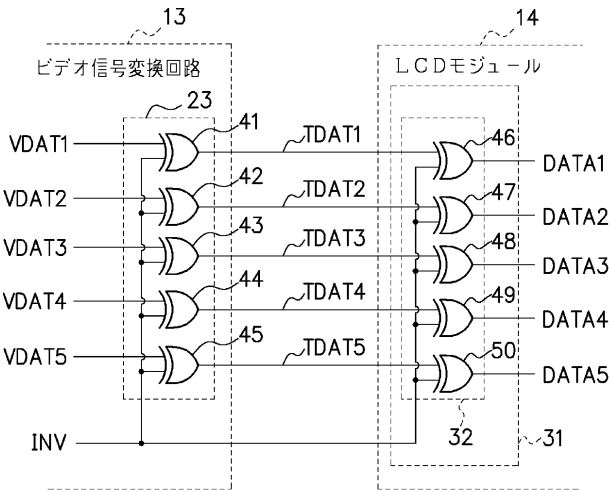
第 1 の実施形態

【図 2】



ビデオ信号変換回路の構成例

【図 4】



本実施形態におけるデータ反転駆動の原理説明図

【図 5】

入力		出力
INV	データ	データ
L	D	D
H	D	$\bar{D}$

D : 入力データ信号

真理値表

【図 7】

(A)

入力	VDAT(1)~VDAT(N/2)	L→L
	VDAT(N/2+1)~VDAT(N)	L→H
出力	INV	L→L
	TDAT(1)~TDAT(N/2)	L→L
	TDAT(N/2+1)~TDAT(N)	L→H

入力	VDAT(1)~VDAT(N/2-1)	L→L
	VDAT(N/2)~VDAT(N)	L→H
出力	INV	L→H
	TDAT(1)~TDAT(N/2-1)	L→H
	TDAT(N/2)~TDAT(N)	L→L

データ反転駆動の一例

【図 11】

RC	D	Q
L	L	L
L	H	H
H	L	Q _o
H	H	$\bar{Q}_o$

RC: モード切替信号

D: 入力データ

Q: 表示データ

受信側の反転選択回路の真理値表

【図 10】

RC	I	D
L	L	L
L	H	H
H	L	I _o
H	H	$\bar{I}_o$

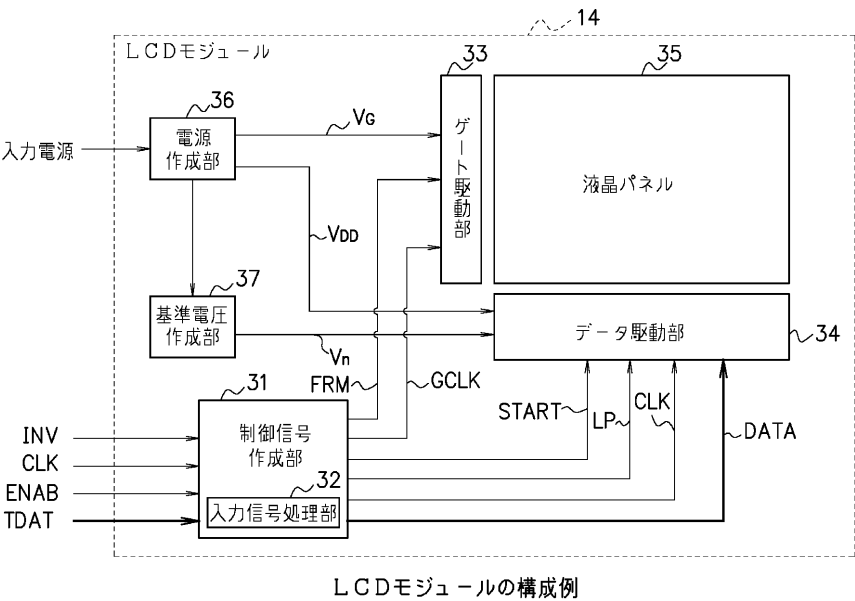
RC: モード切替信号

I: 入力データ

D: 出力データ

送信側の反転選択回路の真理値表

【図 3】



LCDモジュールの構成例

【図 6】

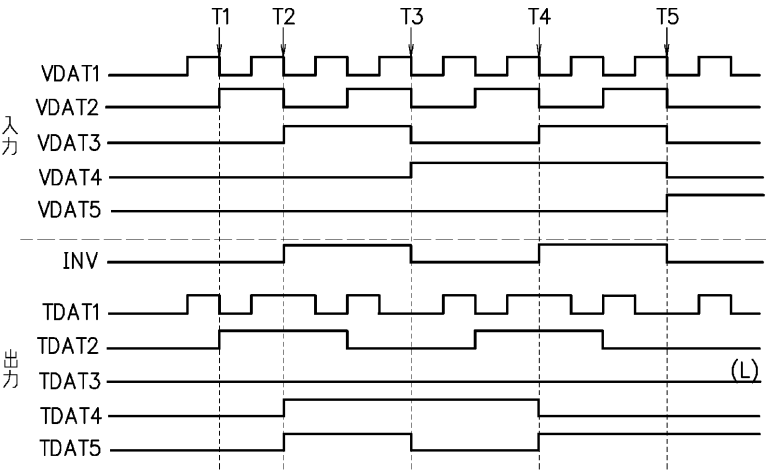


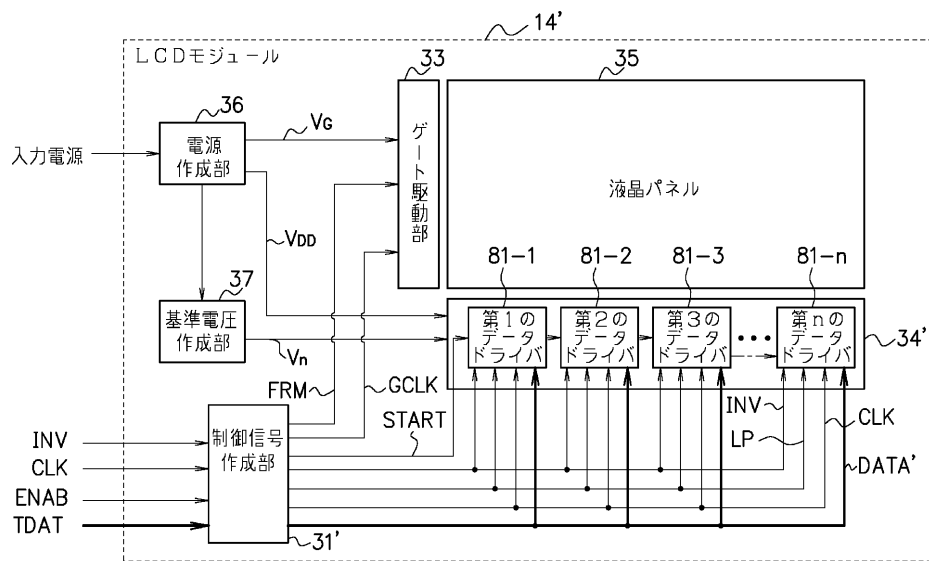
図 4 に示す回路の動作を示すタイミングチャート

【図 1 8】

表示位置		B _{n-1}	B _n	P ₁	P ₂	P ₃	P ₄
入 力	I00	L	L	H	L	H	L
	I01	L	L	H	L	H	L
	⋮	⋮	⋮	⋮	⋮	⋮	⋮
	INM	L	L	H	L	H	L
出 力	RC	L	L	H	H	H	H
	D00	L	L	H	H	H	H
	D01	L	L	H	H	H	H
	⋮	⋮	⋮	⋮	⋮	⋮	⋮
	DNM	L	L	H	H	H	H

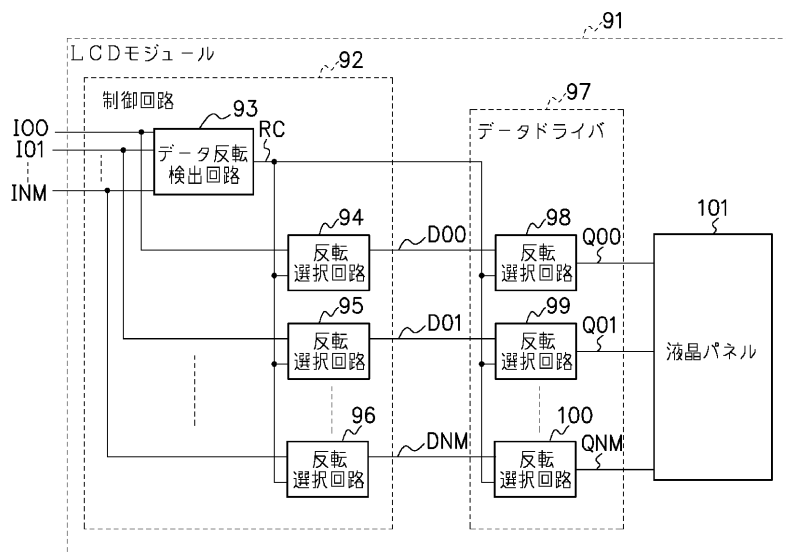
第 3 の実施形態による動作の一例（縦縞パターン）

【図 8】



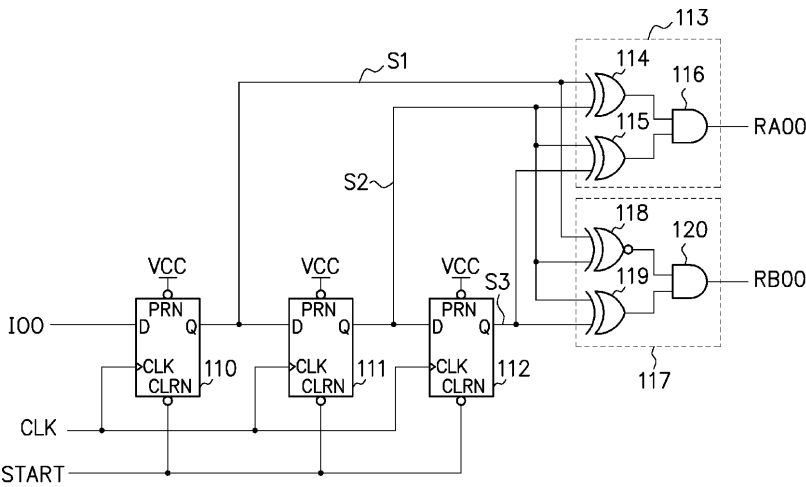
第2の実施形態によるLCDモジュールの構成例

【図 9】



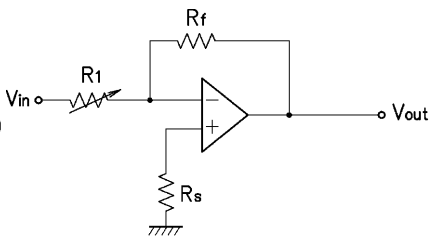
第3の実施形態

【図 1 2】



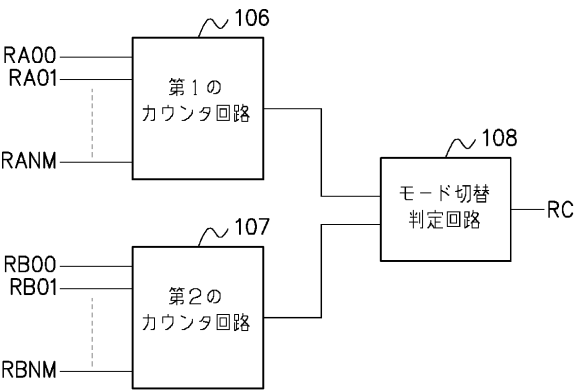
データ反転検出回路（検出部）の構成例

【図 3 3】



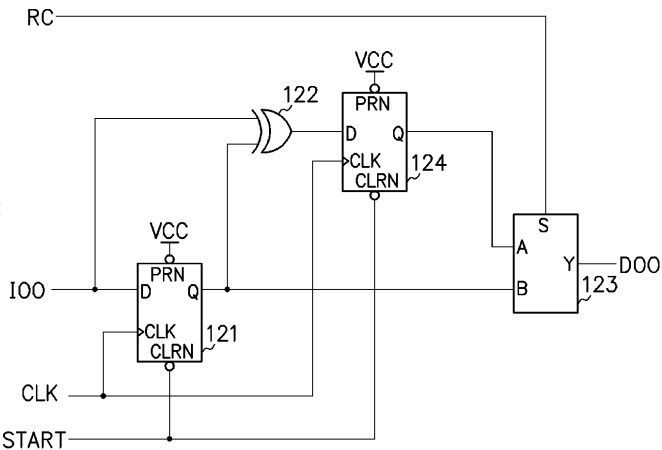
振幅制御回路

【図 1 3】



データ反転検出回路（判定部）の構成例

【図 1 6】



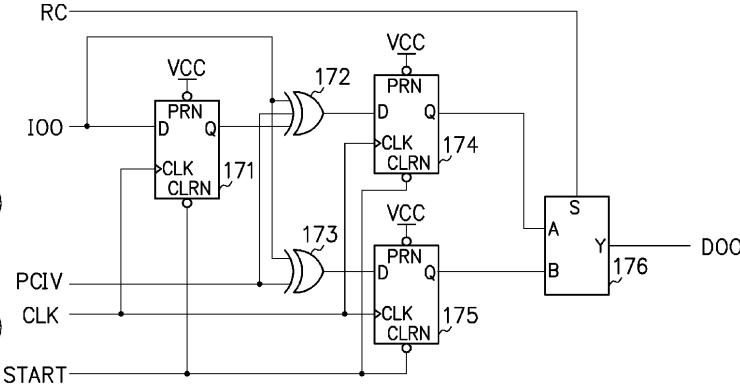
送信側の反転選択回路の構成例

【図 2 0】

表示位置	B _{n-1}	B _n	P ₁	P ₂	P ₃	P ₄	P ₅	P ₆
入力	I00	L	L	L	L	H	L	H
	I01	L	L	L	L	H	L	H
	I02	L	L	H	H	H	H	H
第1の出力	RC	L	L	L	L	H	H	H
	D00	L	L	L	L	H	H	H
	D01	L	L	L	L	H	H	H
第2の出力	D02	L	L	H	H	L	L	L
	RC	L	L	L	L	H	H	H
	RCIV	L	L	L	L	H	H	H
	D00	L	L	L	L	L	L	L
	D01	L	L	L	L	L	L	L
	D02	L	L	H	H	H	H	H

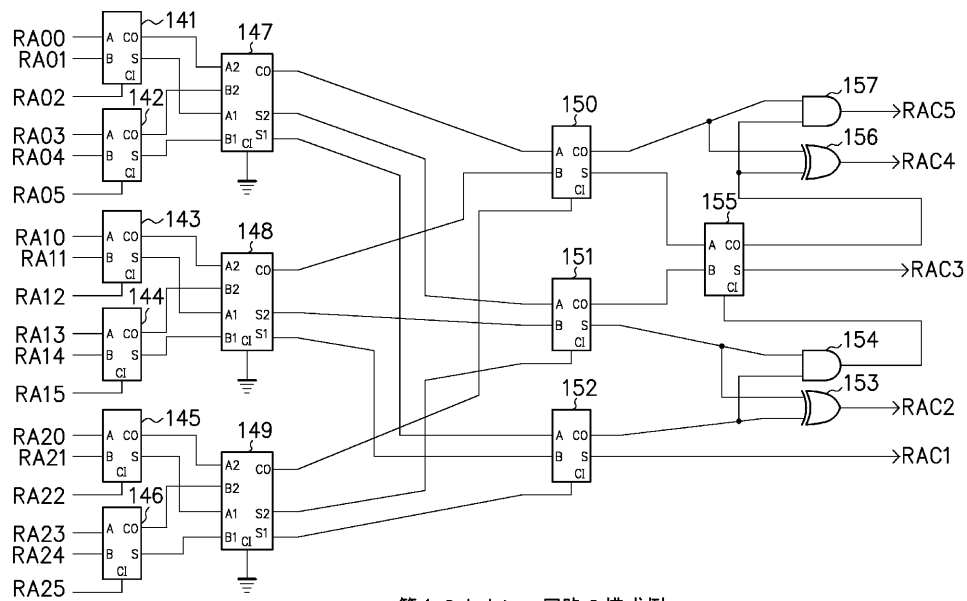
第 4 の実施形態による動作の一例

【図 2 1】

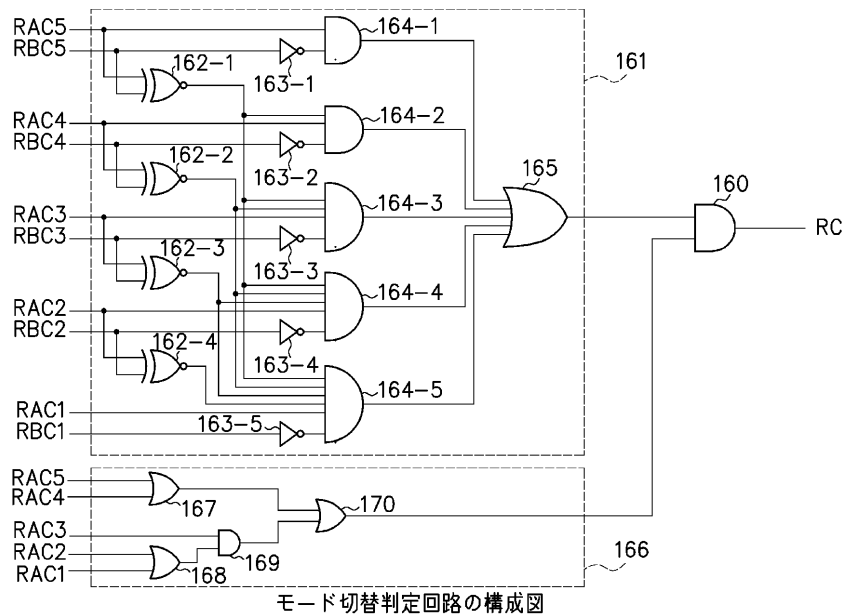


送信側の反転選択回路の構成例

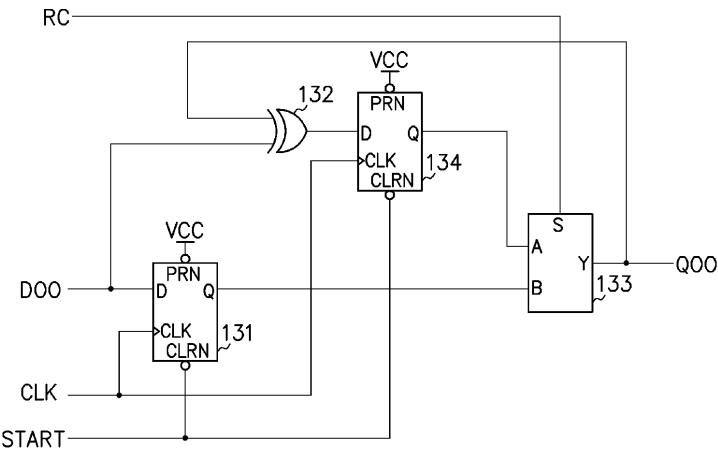
【図 14】



【図 15】

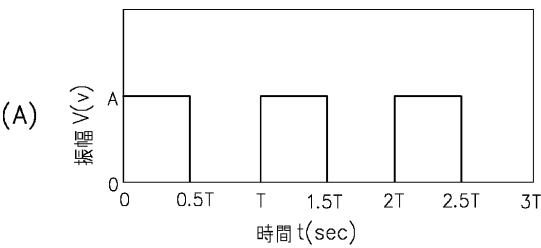


【図 17】

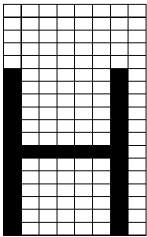


受信側の反転選択回路の構成例

【図 25】

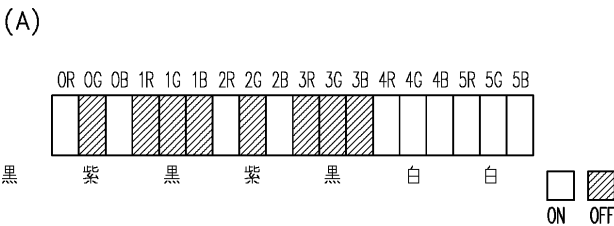


■ 1マス=1ピクセル



(B)

【図 19】



入力信号の例

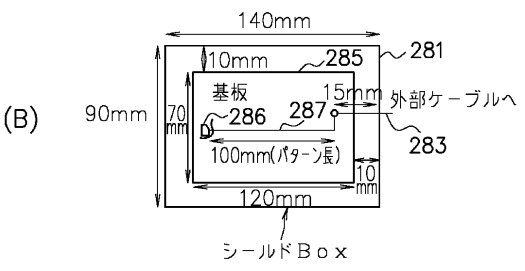
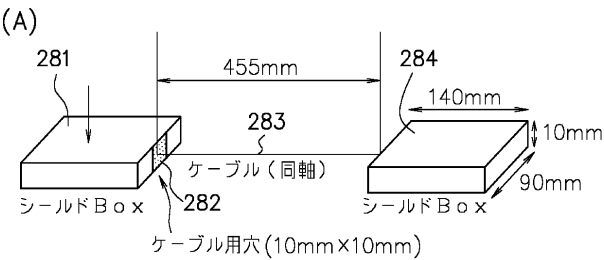
(B)

表示位置	B _{n-1}	B _n	P ₁	P ₂	P ₃	P ₄	P ₅	P ₆
入	IRX	L	L	H	L	H	L	H
	IGX	L	L	L	L	L	L	H
	IBX	L	L	H	L	H	L	H
カ	AINV	L	L	H(A)	L(A)	H(A)	L(A)	H(B)
	ARX	L	L	L	L	L	L	L
	AGX	L	L	H(A)	L(A)	H(A)	L(B)	L
	ABX	L	L	L	L	L	L	L
	判定A	0	0	7	7	7	1	0
	判定B	0	0	0	0	0	6	1
	反転数	0	0	7	7	7	7	1
出	RC	L	L	H	H	H	L	L
	DINV	L	L	H	H	H	L	H
	DRX	L	L	L	L	L	L	L
	DGX	L	L	H	H	H	L	L
	DBX	L	L	L	L	L	L	L
	反転数	0	0	8	0	0	8	1

X: 0~5

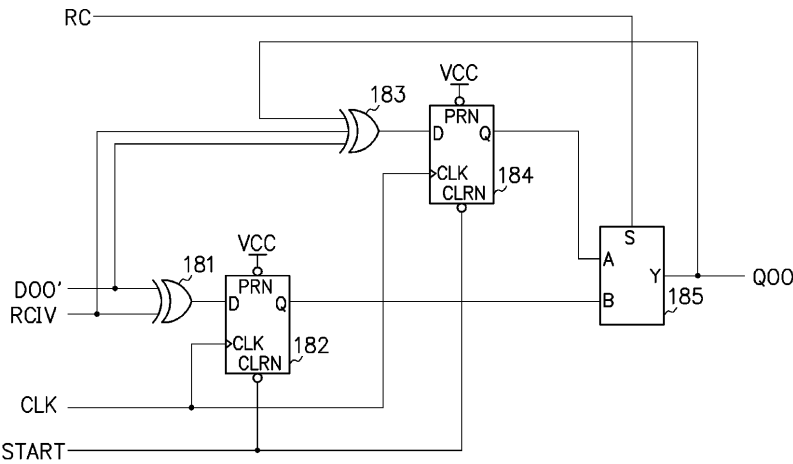
第3の実施形態による動作の具体例

【図 30】



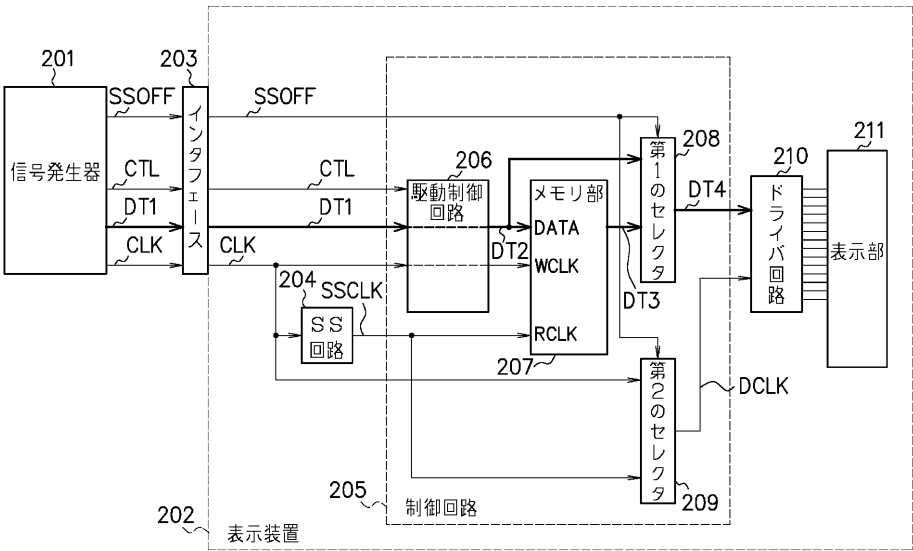
シミュレーションモデル

【図 2 2】



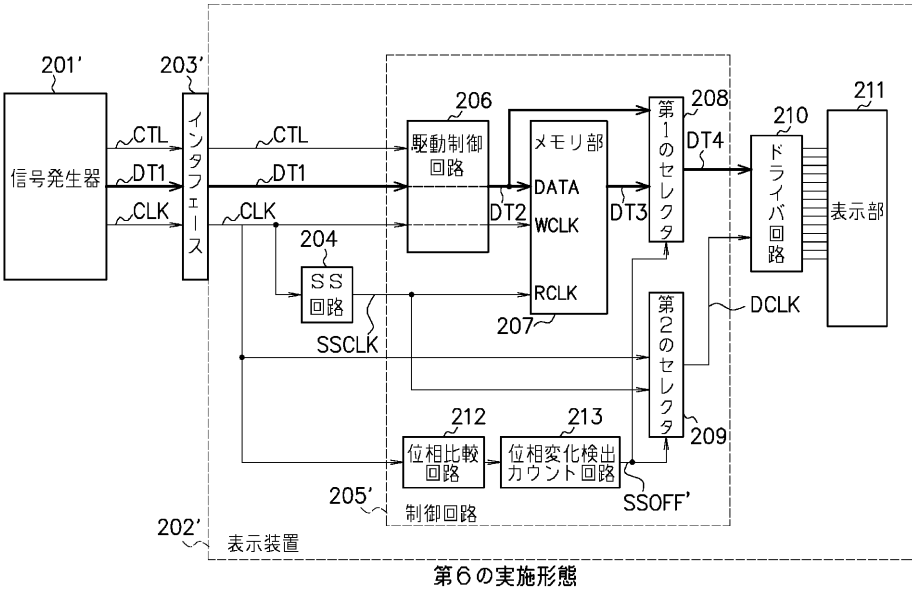
受信側の反転選択回路の構成例

【図 2 3】

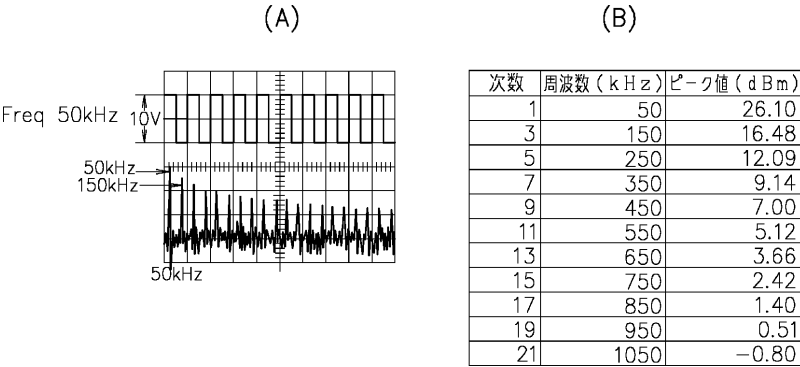


第 5 の実施形態

【図 24】

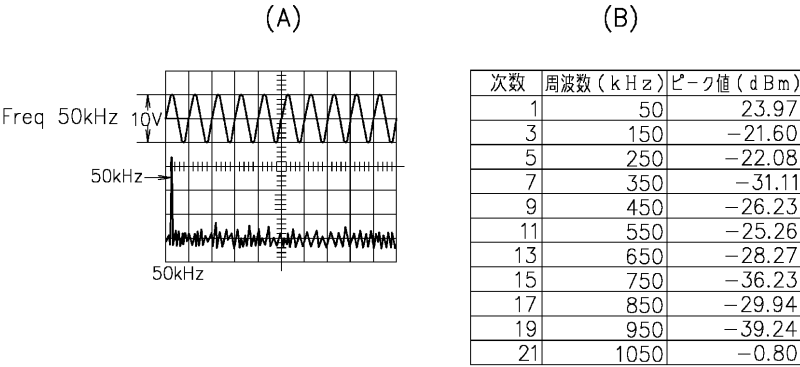


【図 26】



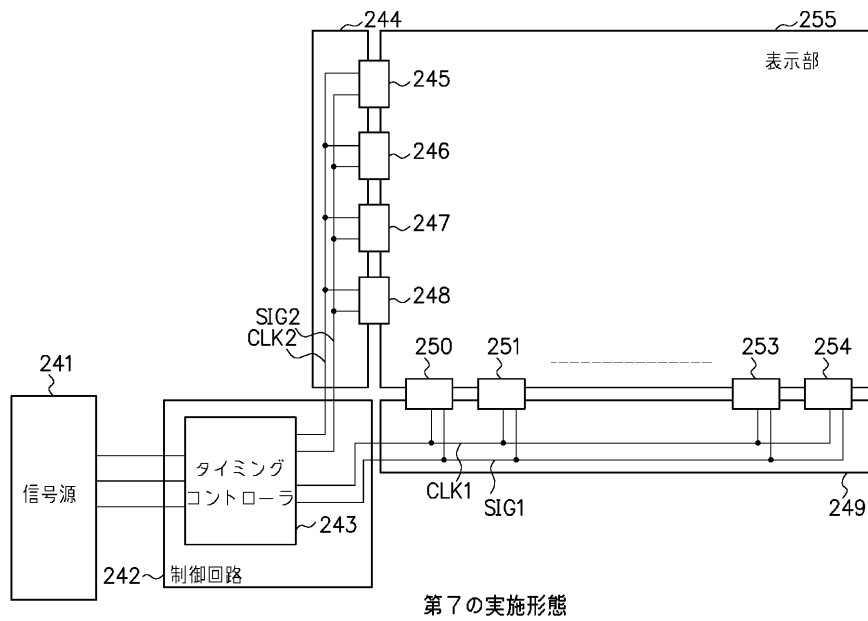
矩形波のスペクトル

【図 27】

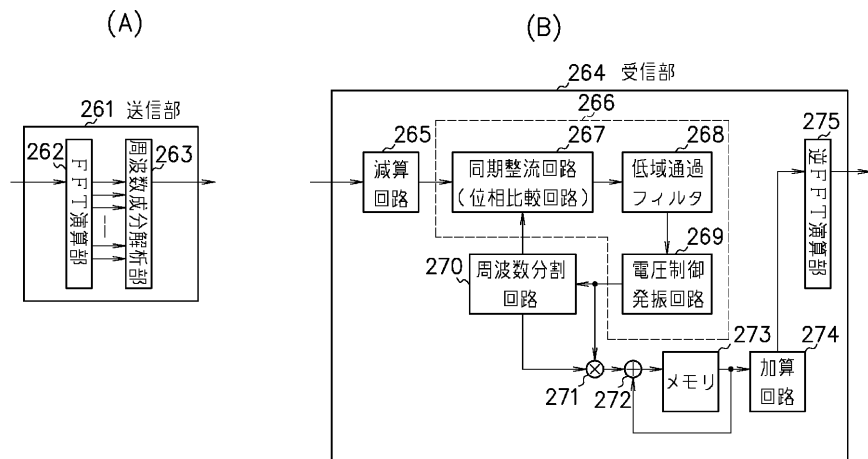


正弦波のスペクトル

【図 28】



【図 29】



第 7 の実施形態における送信部および受信部の構成例

【図 3 1】

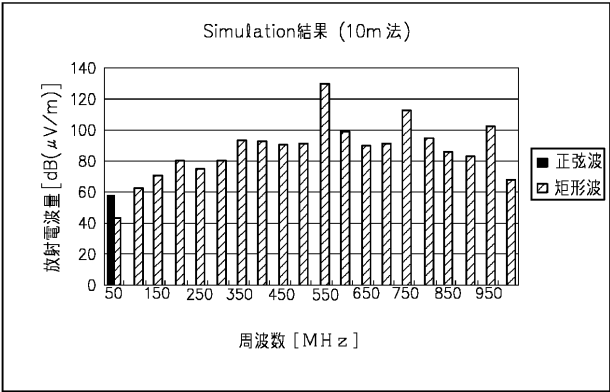
Simulation結果
正弦波

Freq	Hor	Ver
50	42.4111	34.8778

矩形波

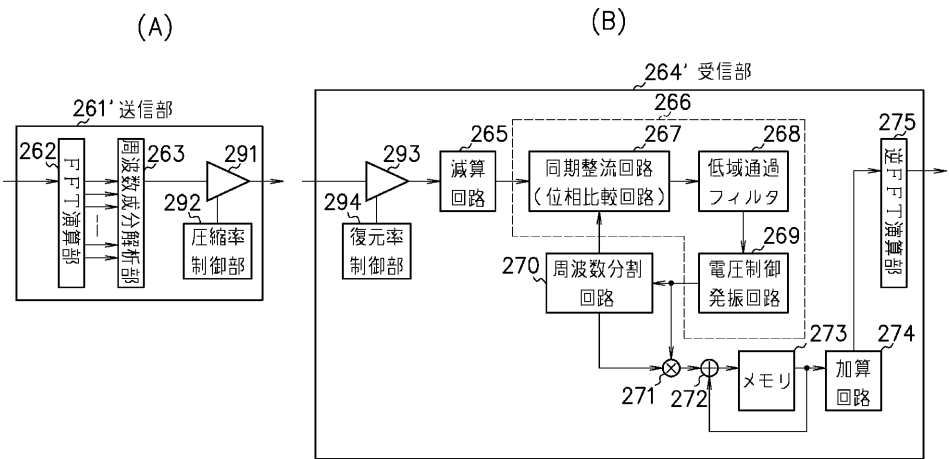
Freq	Hor	Ver
50	42.4111	34.8778
100	62.4249	53.2255
150	70.5287	53.8508
200	79.5198	73.8753
250	74.2437	70.0378
300	78.8954	72.1077
350	92.5226	84.0902
400	82.5574	83.5953
450	89.8637	81.5684
500	90.5572	79.5582
550	129.495	117.019
600	99.3152	89.9389
650	88.9817	80.2438
700	91.1082	83.525
750	111.799	103.989
800	84.5715	88.2278
850	85.1212	82.2858
900	83.0608	79.1153
950	101.537	95.2191
1000	67.5049	61.9466

矩形波: Freq=50MHz
Duty=0.49
tr,tf=1ns



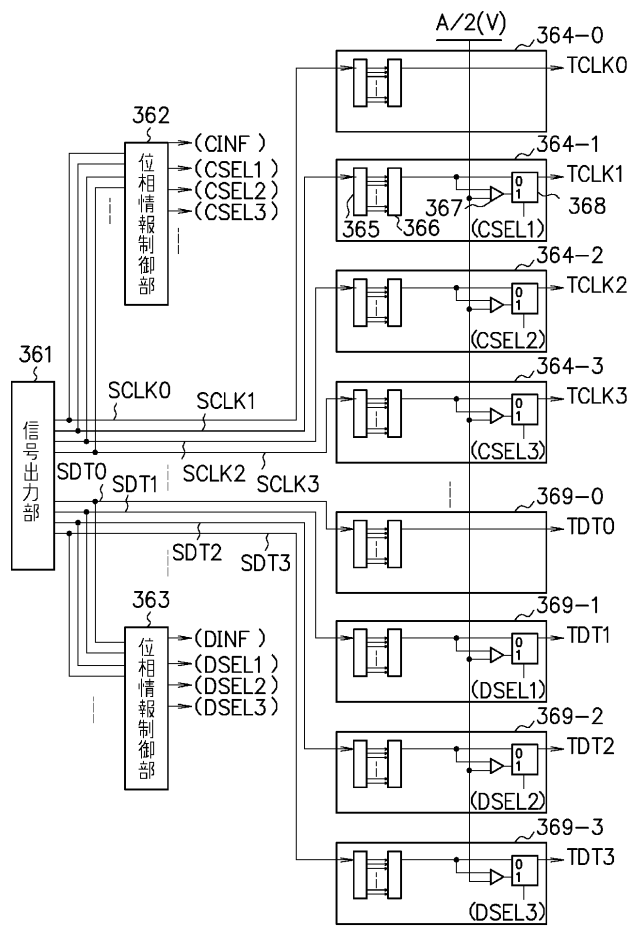
シミュレーション結果

【図 3 2】



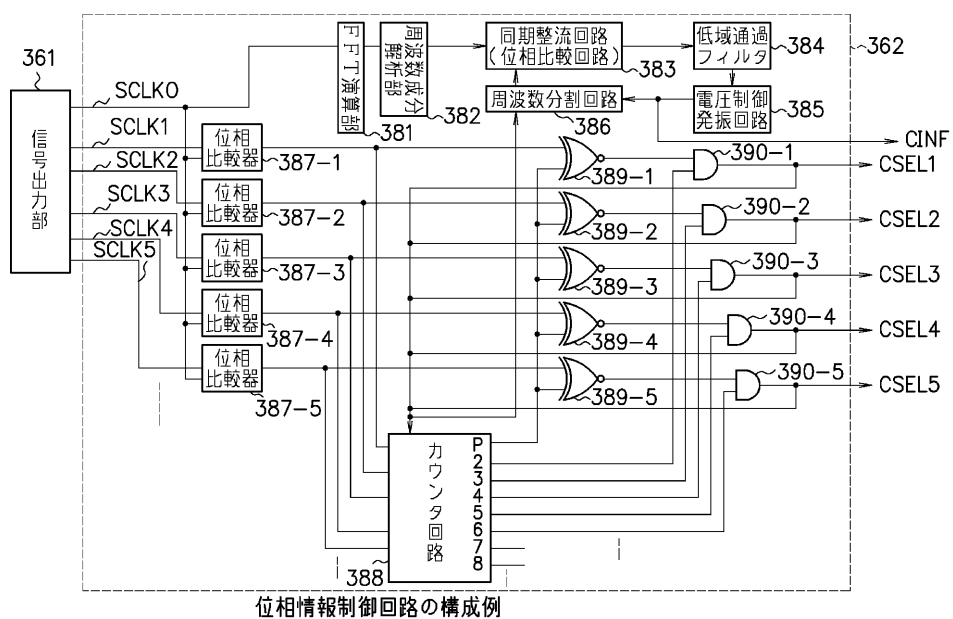
送信部および受信部の他の構成例

【図 34】



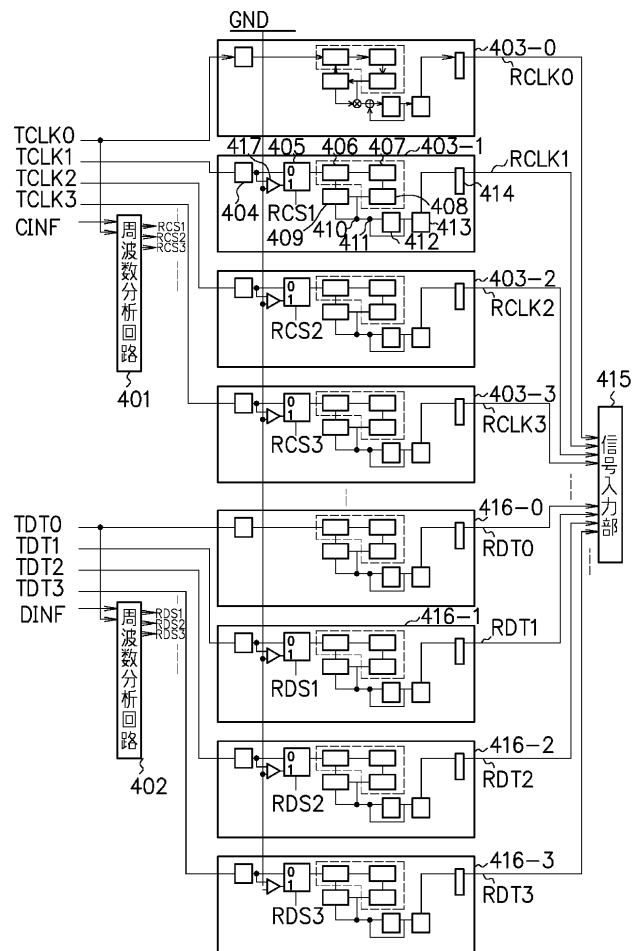
第8実施形態による送信側の構成例

【図 35】



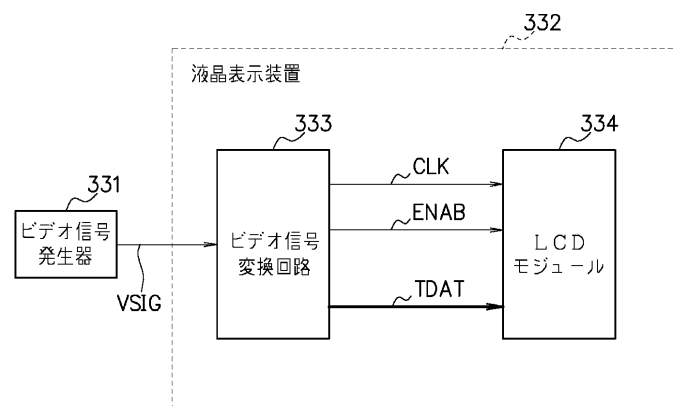
位相情報制御回路の構成例

【図 36】



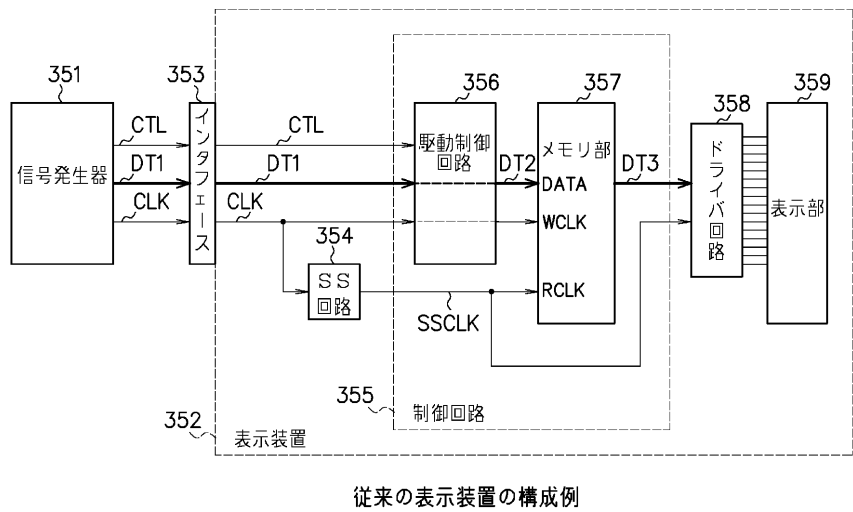
第8実施形態による受信側の構成例

【図 37】



従来の液晶表示装置の構成図

【図 3 8】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	タームコード [*] (参考)
G 0 9 G 3/20	6 3 3	G 0 9 G 3/20	6 3 3 Z
(72)発明者 抜山 和宏	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内	(72)発明者 鈴木 俊明	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内
(72)発明者 福德 章一	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内	F ターム(参考) 2H093 NC16 NC27 ND34 ND40	5C006 AA01 AF45 AF51 AF53 AF61
(72)発明者 山崎 浩	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内		AF71 BB12 BC16 BF06 BF14
			BF21 BF22 BF24 BF26 BF27
			FA32
			5C080 AA10 BB05 DD12 EE17 FF12
			GG07 GG08 JJ02 JJ03 JJ04

专利名称(译)	信号传输系统，信号传输装置，信号传输方法，显示装置，显示装置的驱动电路，		
公开(公告)号	JP2003084726A	公开(公告)日	2003-03-19
申请号	JP2001280174	申请日	2001-09-14
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
[标]发明人	伊藤高英 拔山和宏 福德章一 山崎浩 鈴木俊明		
发明人	伊藤 高英 拔山 和宏 福德 章一 山崎 浩 鈴木 俊明		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.580 G09G3/20.611.C G09G3/20.612.U G09G3/20.632.Z G09G3/20.633.Z		
F-TERM分类号	2H093/NC16 2H093/NC27 2H093/ND34 2H093/ND40 5C006/AA01 5C006/AF45 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF71 5C006/BB12 5C006/BC16 5C006/BF06 5C006/BF14 5C006/BF21 5C006/BF22 5C006/BF24 5C006/BF26 5C006/BF27 5C006/FA32 5C080/AA10 5C080/BB05 5C080/DD12 5C080/EE17 5C080/FF12 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	横山纯一		
其他公开文献	JP4618954B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少从信号线辐射的无线电波（电磁波噪声）的数量，以在信号传输路径中传输信号。当通过多条信号线将显示数据TDAT从视频信号转换电路发送到LCD模块时，显示数据TDAT和指示显示数据TDAT是否为反相数据的数据反相信号INV。然后，LCD模块根据接收到的数据反转信号INV来反转接收到的显示数据TDAT，并且确定被反转为构成显示数据TDAT的比特总数的显示数据TDAT的比特数。显示数据TDAT每单位时间反转的次数减少到少于一半。

