

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 75869

(P2003 - 75869A)

(43)公開日 平成15年3月12日(2003.3.12)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ド* (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
	1/133 550	1/133 550	2 H 0 9 3
G 0 9 F 9/30	330	G 0 9 F 9/30 330	5 C 0 0 6
	338	338	5 C 0 8 0
G 0 9 G 3/20	611	G 0 9 G 3/20 611	5 C 0 9 4
審査請求 未請求 請求項の数 5 O L (全 7 数) 最終頁に続く			

(21)出願番号 特願2001 - 268579(P2001 - 268579)

(22)出願日 平成13年9月5日(2001.9.5)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 林 央晶

埼玉県深谷市幡羅町一丁目9番地2 株式会
社東芝深谷工場内

(74)代理人 100081732

弁理士 大胡 典夫 (外 2 名)

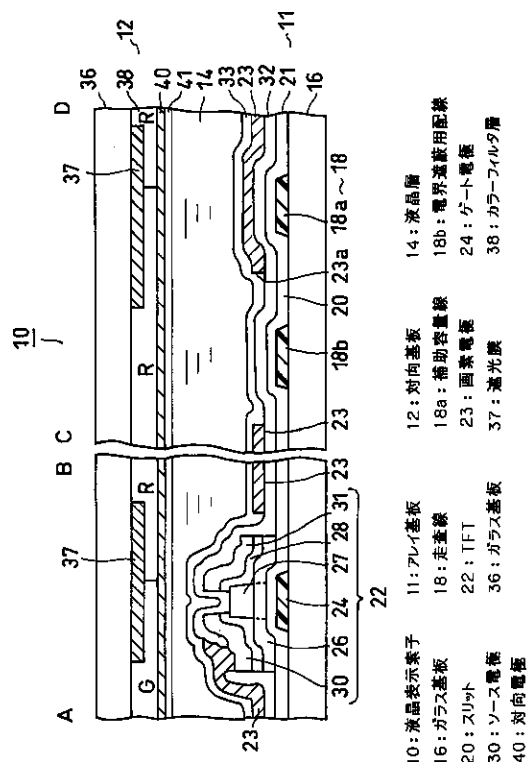
最終頁に続く

(54)【発明の名称】 平面表示素子

(57)【要約】

【課題】 ライン反転駆動の際に、信号線の極性反転による電位変化により生じる画素電極間寄生容量を低減し、中間調のラスト表示時の横ストライプ状の表示むらを防止して平面表示素子の表示品位の向上を図る。

【解決手段】 信号線 1 7 に平行に隣接する画素電極 2 3 の間隙に電界遮蔽用配線 1 8 a を配置して、信号線 1 7 の信号線電位の極性反転に伴う画素電極の画素電位の変化により画素電極 2 3 の間隙に生じる画素電極間寄生容量 (C p p ´) を極力小さくし、前段の画素電極の画素電位の上昇を防止し、液晶表示素子 1 0 の横ストライプ状の表示むらを解消する。



【特許請求の範囲】

【請求項 1】 絶縁基板上に交差して配置される信号線及び走査線の交点近傍に配置される複数のスイッチング素子と、

前記信号線及び前記走査線に沿ってマトリクス状に配置され前記スイッチング素子を介して前記信号線に接続される画素電極と、

前記走査線と一体的に形成され絶縁層を介して前記画素電極と補助容量を形成する補助容量線とを有する第 1 の基板と、

前記第 1 の基板と所定の間隙を隔てて対向配置される対向電極と、

前記第 1 の基板及び前記対向電極の間隙に封入される光変調層とを備え、

前記信号線に沿って前記画素電極の 2 画素毎に前記画素電極の電位極性が異なる平面表示素子であって、

前段の前記走査線に接続される前段行の前記画素電極と次の段の前記走査線に接続される次ぎの行の前記画素電極との間に電界遮蔽配線を具備することを特徴とする平面表示素子。

【請求項 2】 前記電界遮蔽配線は、前記走査線と一体であることを特徴とする請求項 1 記載の平面表示素子。

【請求項 3】 前記電界遮蔽配線は、前記絶縁基板と前記画素電極との中間層に配置されることを特徴とする請求項 1 又は請求項 2 のいずれか記載の平面表示素子。

【請求項 4】 前記走査線が、スリットを介して一体的に形成される前記補助容量線と前記電界遮蔽配線からなり、

前記補助容量線と補助容量を形成する前記画素電極の一端部が前記スリット領域内に位置することを特徴とする請求項 1 記載の平面表示素子。

【請求項 5】 前記光変調層が、液晶層であることを特徴とする請求項 1 乃至請求項 4 のいずれか記載の平面表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス状に配置される画素電極を有する平面表示素子に関する。

【0002】

【従来の技術】複数の走査線及び信号線の交点近傍に薄膜トランジスタ（以下 T F T と略称する。）等のスイッチング素子を形成し、このスイッチング素子にてマトリクス状に配列される画素電極のスイッチングを行うアレイ基板と、対向電極を有する対向基板との間隙に光変調層として例えば、液晶層を封入してなる平面表示素子にあっては、製造時の画素電極と走査線との位置合わせのばらつきに起因する補助容量の容量値のばらつきを防止して、画素電極毎の表示むらを防止する必要がある。

【0003】このため従来は、図 6 乃至図 8 に示すように、信号線 1 及び走査線 2 の交点近傍の T F T 3 により

マトリクス状に配列される画素電極 4 を駆動するアレイ基板 5 上にて、画素電極 4 の一端部 4 a が、隣接する他の走査線 2 を乗り越える構造を採用することにより、画素電極 4 と走査線 2 との位置合わせのばらつきに関わらず、画素電極 4 と走査線 2 との重複面積を一定に保ちこれにより補助容量 5 0 の容量値の均一化を図っていた。

【0004】一方この様なアレイ基板 5 を用いた平面表示素子にて、画像表示時の焼き付き現象等を防止するため、通常は表示フレーム毎に画素電極の電位極性を対向電極に対して反転して画像表示の駆動を行っている。このような画素電極の電位極性の反転パターンの 1 つとして、近年、走査線に沿って隣合う画素電極の電位極性を反転し、且つ信号線に沿って配置される画素電極の 2 画素毎に電位極性を反転するパターンを有する平面表示素子がある。

【0005】

【発明が解決しようとする課題】しかしながら信号線に沿って 2 画素毎に電位極性を反転する上記平面表示素子にあっては、中間調のラスト画面を表示すると、走査線に沿った横ストライプ状の表示むらを生じることが判明した。

【0006】これは平面表示素子の信号線に沿って狭い間隙を保持して隣り合う画素電極間には画素電極間寄生容量 5 1 を生じていて、各フレーム周期ごとに、信号線に沿って配置される画素電極の電位極性を 2 画素毎に反転する駆動方法においては、中間調ラスト画面表示の場合に、信号線に沿って隣接する画素電極間の画素電極間寄生容量に起因して図 7 に示すように前段の画素電位 V_p をシフトしてしまうことによる。

【0007】即ち、次に走査される走査線に接続される画素電極の電位極性が同極性であると、前段の走査線に接続される画素電極に書き込まれた画素電位は、液晶層 5 2 に印加される電圧が大きくなる方向にレベルシフトを生じる一方、次に走査される走査線に接続される画素電極の電位極性が逆極性であると、前段の走査線に接続される画素電極に書き込まれた画素電位は、液晶層に印加される電圧が小さくなる方向にレベルシフトを生じる。この結果、走査線の 1 ライン毎に画素電極による液晶層への印加電圧に差を生じ、平面表示素子にストライプ状の表示むらを生じその表示品位を損なうという問題を生じていた。

【0008】そこで本発明は上記課題を解決するもので、走査線に沿って隣り合う画素電極の電位極性が逆極性であり、且つ信号線に沿って配置される画素電極の 2 画素毎に電位極性が反転する様画素電極を反転駆動する平面表示素子の中間調のラスト画面の表示時に、横ストライプ状の表示むらを生じる事無く、良好な表示品位を得られる平面表示素子を提供する事を目的とする。

【0009】

【課題を解決するための手段】本発明は上記課題を解決

する為の手段として、絶縁基板上に交差して配置される信号線及び走査線の交点近傍に配置される複数のスイッチング素子と、前記信号線及び前記走査線に沿ってマトリクス状に配置され前記スイッチング素子を介して前記信号線に接続される画素電極と、前記走査線と一体的に形成され絶縁層を介して前記画素電極と補助容量を形成する補助容量線とを有する第 1 の基板と、前記第 1 の基板と所定の間隙を隔てて対向配置される対向電極と、前記第 1 の基板及び前記対向電極の間隙に封入される光変調層とを備え、前記信号線に沿って前記画素電極の 2 画素毎に前記画素電極の電位極性が異なる平面表示素子であって、前段の前記走査線に接続される前段行の前記画素電極と次の段の前記走査線に接続される次ぎの行の前記画素電極との間に電界遮蔽配線を設けるものである。

【0010】

【発明の実施の形態】以下、本発明の実施の形態を図 1 乃至図 5 を参照して説明する。10 は、アクティブマトリクス型液晶表示素子であり、第 1 の基板であるアレイ基板 11 及び第 2 の基板である対向基板 12 をスペーサ（図示せず）により一定の間隙を保持するよう対向配置し、形成された間隙に光変調層である液晶層 14 を封入してなっている。

【0011】アレイ基板 11 は、ガラス基板 16 上に 1024×3 本の信号線 17 と、768 本の走査線 18 とがほぼ直交する様に配置されている。走査線 18 は、スリット 20 を介し図 2 に点線で示す補助容量線 18a と、図 2 に実線で示す電界遮蔽用配線 18b とに別れてガラス基板 16 上に直接配置されている。この走査線 18 を覆うようにガラス基板 16 上に酸化シリコン（SiO₂）よりなるゲート絶縁膜 21 が配置され、信号線 17 はこのゲート絶縁膜 21 上に配置されている。信号線 17 と走査線 18 との交差点近傍には、スイッチング素子である TFT 22 が配置されている。

【0012】TFT 22 は、走査線 18 と一体のゲート電極 24 上にゲート絶縁膜 21 を介しアモルファスシリコン（以下 a-Si と略称する。）をパターン形成してなる半導体層 26、半導体層 26 のチャネル領域を保護するチャネル保護層 27、n⁺型アモルファスシリコン（n⁺a-Si）からなるオーミックコンタクト層 28 を介して設けられるソース電極 30 及びドレイン電極 31 から成っている。

【0013】さらに層間絶縁膜 32 を介してインジウム錫化合物（以下 ITO と略称する。）からなる画素電極 23 がパターン形成され、信号線 17 と一体のソース電極 30 に接続されている。図 2 に示す画素電極 23 の一端である上端 23a は、前段の画素電極 23 の走査線 18 の補助容量線 18a を乗り越えてスリット 20 領域に達し、画素電極 23 は、補助容量線 18a との重なり部分で補助容量（Cs）を形成している。

【0014】一方対向基板 12 のガラス基板 36 上に

は、液晶表示素子 10 として完成した場合に、アレイ基板 11 の TFT 22、画素電極 23 と信号線 17 との間隙、および画素電極 23 と走査線 18 との間隙を遮光するためのクロム層よりなる遮光膜 37 と、この遮光膜 37 間を埋めるように配置されたカラー表示を実現するための赤（R）、緑（G）、青（B）の 3 原色で構成されるカラーフィルタ層 38 とが配置されている。さらに、カラーフィルタ層 38 上には ITO からなる対向電極 40 が積層されている。

10 【0015】この様にしてなる上記アレイ基板 11 及び対向基板 12 のそれぞれの対向面にポリイミドからなる配向膜 33、41 を印刷塗布後、ラビング処理して、対向時に配向方向が略 90° となるよう両基板 11、12 を対向して組み立ててセルを形成し、その間隙に液晶組成物を注入して液晶層 14 を形成し、更に両基板 11、12 の外表面に偏光板（図示せず）を貼り付け、液晶表示素子 10 を完成する。

【0016】この液晶表示素子 10 は、映像信号により各画素電極 23 に印加され画素電位の極性が図 3 に示す様なパターンで反転されている。即ち、図 3 の縦方向を信号線 17 に平行、横方向を走査線 18 に平行とすると、走査線 18 に平行に隣り合う画素電極 23 の画素電位が逆極性とされ、信号線 17 に平行な画素電極 23 の画素電位が 2 画素毎に逆極性となる様反転駆動される。

【0017】この液晶表示素子 10 は、信号線 17 に平行な上下に隣接する画素電極 23 間に、走査線 18 の電界遮蔽用配線 18b が介在し、電界を遮蔽することから、上下の画素電極 23 間の画素電極間寄生容量（C_{pp}′）が低減され、従来上下に隣接する画素電極 23 間の間隙が狭いことに起因して形成される画素電極間寄生容量（C_{pp}′）により生じていた上段の画素電位の変動が非常に小さくなる。図 4 は、液晶表示素子 10 の画素の等価回路図である。ここで 42 は補助容量（Cs）、43 は画素電極間寄生容量（C_{pp}′）である。

【0018】この液晶表示素子 10 において、中間調のラスタ表示テストを行ったところ画素電極 23 は、図 5 に示す画素電位をえられた。ここで、画素電位 V_p、走査線電位 V_g、信号線電位 V_{sig}、対向電極電位 V_{com}、液晶印加電圧 V_{Lc} とする。信号線電位 V_{sig} は 2H 毎に極性が切り替わる。走査線電位 V_g は、TFT 22 をオンする走査パルス α と前記 TFT 22 のオフ時に伴う寄生容量に起因して画素電極 23 の画素電位変動を補償する補償パルス β とからなり、走査線 18 に順次印加される。

【0019】液晶表示素子 10 の中間調のラスタ表示時、先ず n 番目の走査線において、図 5（a）に示すように、走査パルス α による TFT 22 のオンにより図 3 の n 番目の画素電極の画素電位 V_p は信号線電位 V_{sig} への書き込みを行う。次の 1H には、n+1 番目の走査線、即ち隣接するすぐ下の走査線に TFT 22 を介し

て接続された図 3 の $n + 1$ 番目の画素電極に信号線電位 V_{sig} が書き込まれるが、この時、図 5 (b) に示すように、 $n + 1$ 番目に接続された画素電極の画素電位 V_p は負極性から正極性へ変化する。

【0020】この画素電位 V_p の電位変化が画素電極間寄生容量 ($C_{pp'}$) を介して前段の画素電極の画素電位 V_p を変動させ画素電位 V_p の上昇を招き、従来例にあっては図 7 (a) に示すように n 番目の走査線に接続される画素電極の画素電位 V_p と対向電極電位 V_{com} により形成される液晶印加電圧 $V_{LC}(n)$ は入力される映像信号よりもわずかに小さくなる。しかしながら、液晶表示素子 10 にあっては、 n 番目と $n + 1$ 番目の画素電極との間に電界遮蔽用配線 18b が設けられていて、画素電極間寄生容量 ($C_{pp'}$) が非常に小さい値となっているので、画素電極間寄生容量 ($C_{pp'}$) を起因とする画素電位 V_p の上昇が非常に小さく、ひいては、 n 番目の走査線に接続される画素電極の画素電位 V_p と対向電極電位 V_{com} により形成される液晶印加電圧 $V_{LC}(n)$ は、図 5 (a) に示す様に入力される映像信号とほぼ同等になる。

【0021】次に、 $n + 2$ 番目の走査線に TFT 22 を介して接続された図 3 の $n + 2$ 番目の画素電極に信号線電位 V_{sig} が書き込まれるが、この時、図 5 (c) に示すように、 $n + 2$ 番目に接続された画素電極の画素電位 V_p の極性は正極性のまま変化しないので、 $n + 1$ 段目に接続された画素電極 ($n + 1$) の画素電位 V_p は、従来例にあっては図 7 (b) に示すように画素電極間寄生容量 ($C_{pp'}$) を介して少し画素電位 V_p の上昇を招き、 $n + 1$ 番目の走査線に接続される画素電極の画素電位 V_p と対向電極電位 V_{com} により形成される液晶印加電圧 $V_{LC}(n + 1)$ は入力される映像信号よりもわずかに大きくなる。

【0022】しかしながら、液晶表示素子 10 にあっては、 $n + 1$ 番目と $n + 2$ 番目の画素電極との間に電界遮蔽用配線 18b が設けられていて、画素電極間寄生容量 ($C_{pp'}$) が非常に小さい値となっているので、画素電極間寄生容量 ($C_{pp'}$) を起因とする画素電位 V_p の上昇が非常に小さく、ひいては、 $n + 1$ 番目の走査線に接続される画素電極の画素電位 V_p と対向電極電位 V_{com} により形成される液晶印加電圧 $V_{LC}(n + 1)$ は、図 5 (b) に示す様に入力される映像信号とほぼ同等になる。次に、 $n + 3$ 番目の走査線に TFT 22 を介して接続された図 3 の $n + 3$ 番目の画素電極に信号線電位 V_{sig} が書き込まれるが、この時、図 5 (d) に示すように、 $n + 3$ 番目に接続された画素電極の画素電位 V_p の極性は正極性から負極性へ変化する。この画素電位 V_p の電位変化が画素電極間寄生容量 ($C_{pp'}$) を介して前段の画素電極の画素電位 V_p を変動させ画素電位 V_p の上昇を招き、従来例にあっては図 7 (c) に示すように $n + 2$ 番目の走査線に接続される画

素電極の画素電位 V_p と対向電極電位 V_{com} により形成される液晶印加電圧 $V_{LC}(n)$ は入力される映像信号よりも小さくなる。

【0023】しかしながらこの画素電位 V_p の電位変化に関わらず、 $n + 2$ 番目と $n + 3$ 番目の画素電極との間に電界遮蔽用配線 18b が設けられていて、画素電極間寄生容量 ($C_{pp'}$) が非常に小さい値となっているので、画素電極間寄生容量 ($C_{pp'}$) を起因とする画素電位 V_p の上昇が非常に小さく、ひいては、 n 番目の走査線に接続される画素電極の画素電位 V_p と対向電極電位 V_{com} により形成される液晶印加電圧 $V_{LC}(n + 2)$ は、図 5 (c) に示す様に入力される映像信号とほぼ同等になる。

【0024】次に、 $n + 4$ 番目の走査線に TFT 22 を介して接続された図 3 の $n + 4$ 番目の画素電極に信号線電位 V_{sig} が書き込まれるが、この時、図 5 (e) に示すように、 $n + 4$ 番目に接続された画素電極の画素電位 V_p の極性は負極性のまま変化しない。従って $n + 3$ 段目に接続された画素電極 ($n + 3$) の画素電位 V_p は、従来例にあっては図 7 (d) に示すように画素電極間寄生容量 ($C_{pp'}$) を介して少し画素電位 V_p の上昇を招き、 $n + 3$ 番目の走査線に接続される画素電極の画素電位 V_p と対向電極電位 V_{com} により形成される液晶印加電圧 $V_{LC}(n + 3)$ は入力される映像信号よりもわずかに大きくなる。

【0025】しかしながら $n + 3$ 番目と $n + 4$ 番目の画素電極との間に電界遮蔽用配線 18b が設けられていて、画素電極間寄生容量 ($C_{pp'}$) が非常に小さい値となっているので、画素電極間寄生容量 ($C_{pp'}$) を起因とする画素電位 V_p の上昇が非常に小さく、ひいては、 $n + 3$ 番目の走査線に接続される画素電極の画素電位 V_p と対向電極電位 V_{com} により形成される液晶印加電圧 $V_{LC}(n + 3)$ は、図 5 (d) に示す様に入力される映像信号とほぼ同等になる。

【0026】この後、 $n + 4$ 番目の走査線以降に接続される画素電極の画素電位については、 n 番目の画素電極の画素電位以降と同様の繰り返しとなり、液晶表示素子 10 全面にわたり画素電極の画素電位 V_p と対向電極電位 V_{com} により形成される液晶印加電圧 V_{LC} は、入力される映像信号とほぼ同等になる。従って、中間調のラスト表示において横ストライプ状の表示ムラの発生が見られず、良好な中間調のラスト表示を得られた。

【0027】このように構成すれば、走査線 18n に接続される前段行の画素電極 23n と次の段の走査線 18 ($n + 1$) に接続される次ぎの行の画素電極 23 ($n + 1$) との間に電界遮蔽用配線 18b を配線し、画素電極 23 間を電氣的に遮蔽することから、隣接する画素電極 23 間の間隙が狭くても、信号線 17 の極性反転時の電位変化により画素電極 23 間に生じる画素電極間寄生容量 ($C_{pp'}$) を著しく低減出来、液晶表示素子 10 の

中間調のラスト表示において、画素電極間寄生容量 ($C_{pp'}$) を原因とする横ストライプ状の表示むらを防止出来、均一で表示品位の高い液晶表示素子を得られる。又、走査線 18 にスリット 20 を設け、画素電極 23 をその上端 23a がスリット 20 内に位置する様配置する事により、補助容量 (C_s) の容量値のばらつきが無く画素毎の表示むらを防止出来、均一な表示を得られる。

【0028】尚本発明は上記実施の形態に限られるものではなく、その趣旨を変えない範囲での変更は可能であって、例えばマトリクス状に配列される画素電極の画素数等限定されない。また、電界遮蔽用配線や補助容量線の形状も限定されず、例えば第 1 の実施の形態において、走査線と画素電極上端との位置精度が高ければ走査線にスリットを設ける必要も無い。又カラーフィルタ層をアレイ基板上に設ける等しても良い。又この発明は、画素電極と対向電極との間にホール輸送層、有機発光層等を積層する等して配置した有機 EL 素子等にも有効に用いることができる。

【0029】

【発明の効果】以上説明したように本発明によれば、信号線と平行な画素電極間の狭い間隙に電界遮蔽用配線を設けることにより、画素電極間に生じる画素電極間寄生容量を著しく小さく出来、ひいては画素電位の変化に起因する隣接する画素電極の光変調層への印加電圧の変動が極めて小さくなり、中間調のラスト表示における横ストライプ状の表示むらを防止出来、均一で表示品位の高い平面表示素子の実用化を図れる。

【図面の簡単な説明】

【図 1】本発明の実施の形態のアレイ基板を示す一部概略平面図である。

【図 2】本発明の実施の形態の液晶表示素子を示す図 1 の A - B 線及び C - D 線から見た概略断面図である。

【図 3】本発明の実施の形態の液晶表示素子の画素に印加される映像信号の極性を示す説明図である。

【図 4】本発明の実施の形態の液晶表示素子の画素の等価回路図である。

【図 5】本発明の実施の形態の中間調ラスト表示時の液晶印加電圧を示し、(a) は n 番目の走査線への負極性

の書き込み時、(b) は n + 1 番目の走査線への正極性の書き込み時、(c) は n + 2 番目の走査線への正極性の書き込み時、(d) は n + 3 番目の走査線への負極性の書き込み時 (e) は n + 4 番目の走査線への負極性の書き込み時におけるグラフである。

【図 6】従来の液晶表示素子の画素の等価回路図である。

【図 7】従来の液晶表示素子の中間調ラスト表示時の液晶印加電圧を示し、(a) は n 番目の走査線への負極性の書き込み時、(b) は n + 1 番目の走査線への正極性の書き込み時、(c) は n + 2 番目の走査線への正極性の書き込み時、(d) は n + 3 番目の走査線への負極性の書き込み時 (e) は n + 4 番目の走査線への負極性の書き込み時におけるグラフである。

【図 8】従来の液晶表示素子のアレイ基板を示す一部概略平面図である。

【符号の説明】

10 ... 液晶表示素子

11 ... アレイ基板

12 ... 対向基板

14 ... 液晶層

16 ... ガラス基板

17 ... 信号線

18 ... 走査線

18a ... 補助容量線

18b ... 電界遮蔽用配線

20 ... スリット

22 ... TFT

23 ... 画素電極

24 ... ゲート電極

30 ... ソース電極

36 ... ガラス基板

37 ... 遮光膜

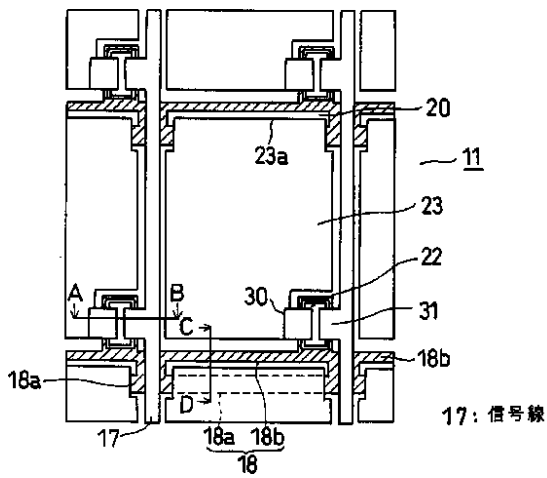
38 ... カラーフィルタ層

40 ... 対向電極

42 ... 補助容量 (C_s)

43 ... 画素電極間寄生容量 ($C_{pp'}$)

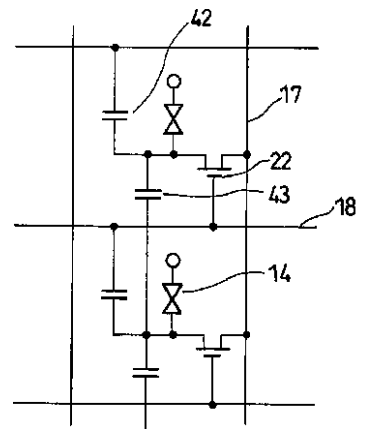
【図1】



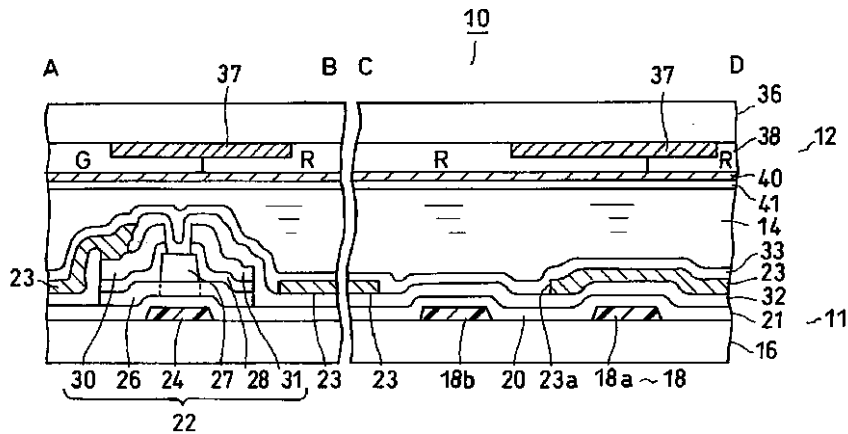
【図3】

	R	G	B	R	G	B	R	G	B
+	-	+	-	+	-	+	-	+	-
+	-	+	-	+	-	+	-	+	-
-	+	-	+	-	+	-	+	-	+
n	-	+	-	+	-	+	-	+	-
n+1	+	-	+	-	+	-	+	-	+
n+2	+	-	+	-	+	-	+	-	+
n+3	-	+	-	+	-	+	-	+	-
n+4	-	+	-	+	-	+	-	+	-

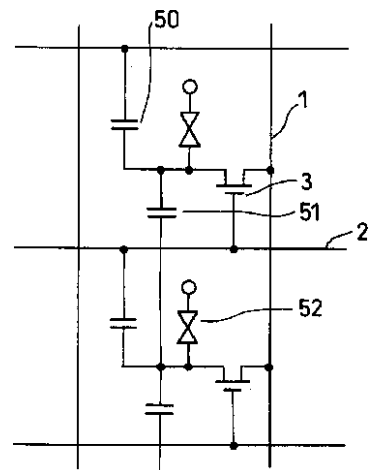
【図4】



【図2】

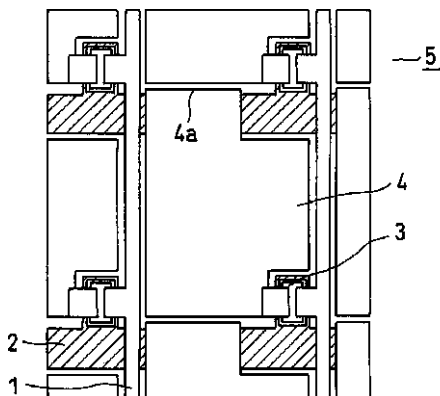


【図6】

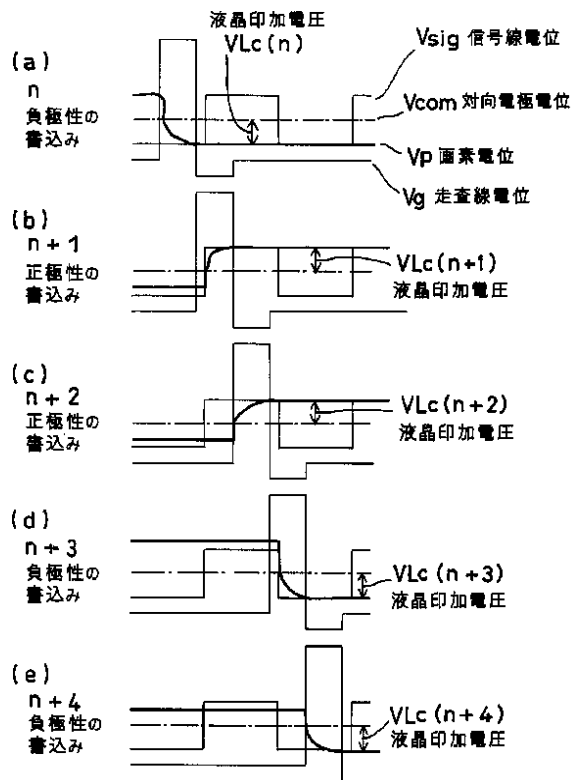


- 10: 液晶表示素子 11: アレイ基板 12: 対向基板 14: 液晶層
 16: ガラス基板 18: 走査線 18a: 補助容量線 18b: 電界遮蔽用配線
 20: スリット 22: TFT 23: 画素電極 24: ゲート電極
 30: ソース電極 36: ガラス基板 37: 遮光膜 38: カラーフィルタ層
 40: 対向電極

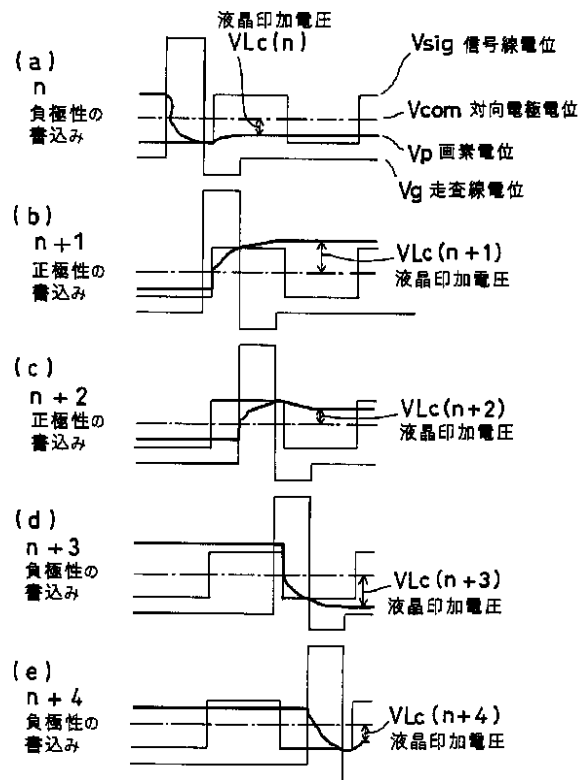
【図8】



【図5】



【図7】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テーム(参考)
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 B 5 F 1 1 0
	6 4 2		6 2 1 M
			6 4 2 A
3/36		3/36	
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 C

F ターム(参考) 2H092 GA13 GA17 GA26 GA61 JA26
 JB23 JB24 JB64 NA01 NA23
 PA06
 2H093 NA16 NA32 NA43 NC34 NC35
 NC36 ND15 NE03
 5C006 AC26 BB16 BC20 BF37 FA22
 5C080 AA10 BB05 DD05 FF11 JJ03
 JJ04 JJ06
 5C094 AA02 BA03 BA43 CA19 CA24
 DA14 DA15 DB04 EA04 EA07
 EA10 EB02 ED03 ED15
 5F110 AA30 BB01 CC07 DD02 EE37
 FF02 GG02 GG15 HK09 HK16
 NN02 NN12 NN72 NN73 NN80

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2003075869A5	公开(公告)日	2008-10-23
申请号	JP2001268579	申请日	2001-09-05
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	HAYASHI HISAAKI 林央晶		
发明人	林 央晶		
IPC分类号	G02F1/1368 G02F1/133 G09F9/30 G09G3/20 G09G3/36 H01L29/786		
CPC分类号	G09G3/3614 G02F1/136286 G09G2320/02 G02F1/136213 G02F2001/136218		
FI分类号	G02F1/1368 G02F1/133.550 G09F9/30.330.Z G09F9/30.338 G09G3/20.611.H G09G3/20.621.B G09G3/20.621.M G09G3/20.642.A G09G3/36 H01L29/78.612.C		
F-TERM分类号	2H093/NC34 5C094/BA03 5C080/AA10 5C094/EA07 2H093/NC35 5C094/CA24 5F110/NN02 2H092/NA01 2H092/PA06 5C094/AA02 5F110/NN12 5F110/EE37 5C094/BA43 5F110/BB01 5F110/NN72 2H092/NA23 2H092/JA26 5F110/NN73 5F110/CC07 5F110/DD02 2H092/JB24 5C094/DA15 2H092/GA13 2H092/GA26 5C094/EA04 5C006/AC26 2H092/JB23 5F110/GG15 5F110/GG02 2H092/GA17 5C006/BC20 5C080/JJ03 5C080/BB05 5C080/DD05 5F110/HK16 5C080/JJ04 2H093/NC36 2H092/GA61 2H093/NA32 5C080/FF11 5C094/EB02 2H092/JB64 5C094/ED03 5C006/FA22 2H093/ND15 2H093/NE03 5C094/CA19 5C080/JJ06 5C006/BB16 5C094/EA10 5C094/DA14 5C006/BF37 2H093/NA43 5C094/DB04 5F110/HK09 2H093/NA16 5F110/AA30 5C094/ED15 5F110/FF02 5F110/NN80 2H192/AA24 2H192/CB05 2H192/CB71 2H192/CC16 2H192/DA02 2H192/DA72 2H192/EA22 2H192/EA43 2H192/GA03 2H192/GD61 2H193/ZA04 2H193/ZA06 2H193/ZA08 2H193/ZB02 2H193/ZC02 2H193/ZC14 2H193/ZP03		
其他公开文献	JP2003075869A		

摘要(译)

解决的问题：在行反转驱动时，为了减少由于信号线的极性反转引起的电势变化而引起的像素电极之间的寄生电容，在半色调光栅显示时防止水平条纹状的显示不均匀，并实现平面显示元件。提高显示质量。解决方案：在与信号线17平行的彼此相邻的像素电极23之间的空间中布置了电场屏蔽布线18a，并且像素电极的像素电极电势由于信号线17的信号线电势的极性反转而改变。在间隙23中产生的像素电极之间的寄生电容（ C_{pp} ）被最小化，以防止前级中的像素电极的像素电势升高，并且消除了液晶显示元件10的水平条纹状的显示不均。